

럼 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 전극 접속 구조, 이의 제조 방법 및 이를 포함하는 디지타이저

기술분야

- [1] 본 발명은 전극 접속 구조, 이의 제조 방법 및 이를 포함하는 디지타이저에 관한 것이다. 보다 상세하게는, 복층 도전 구조를 포함하는 전극 접속 구조, 이의 제조 방법 및 이를 포함하는 디지타이저에 관한 것이다.

배경기술

- [2] 최근, 화상 표시 장치에 각종 센싱 기능 및 통신 기능이 결합되어, 예를 들면 스마트폰 형태로 구현되고 있다. 예를 들면, 상기 화상 표시 장치의 표시 패널 상에 터치 패널 또는 터치 센서가 부착되어 윈도우 면에 표시되는 메뉴를 선택하여 정보 입력 기능이 함께 구현된 전자 기기들이 개발되고 있다.
- [3] 또한, 한국등록특허 제10-1750564호에 개시된 바와 같이, 화상 표시 장치의 배면부 측으로 전자기 방식에 의해 아날로그 좌표 정보를 디지털 신호로 변환시키는 디지타이저가 배치되고 있다,
- [4] 상기 디지타이저는 층간 절연층을 사이에 두고 서로 연결된 복층 구조의 도전 라인들을 포함할 수 있다. 저저항을 통한 충분한 전류 세기의 확보를 위해서는 도전 라인의 두께를 증가시키는 것이 바람직할 수 있다. 이 경우, 층간 절연층의 두께도 함께 증가될 수 있다.
- [5] 층간 절연층의 두께가 증가되는 경우, 도전 라인들의 상호 접속을 위한 비아 홀 혹은 콘택 홀의 형성이 원하는 형상 및 신뢰성을 갖도록 형성되지 않을 수 있다. 또한, 디지타이저의 두께 증가에 따라 폴딩 특성 또는 유연성이 저하되며, 도전 라인의 접속 특성 역시 열화될 수 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명의 일 과제는 향상된 기계적, 전기적 신뢰성을 갖는 전극 접속 구조를 제공하는 것이다.
- [7] 본 발명의 일 과제는 향상된 기계적, 전기적 신뢰성을 갖는 전극 접속 구조의 제조 방법을 제공하는 것이다.
- [8] 본 발명의 일 과제는 향상된 기계적, 전기적 신뢰성을 갖는 전극 접속 구조를 포함하는 디지타이저를 제공하는 것이다.

과제 해결 수단

- [9] 1. 기재층; 상기 기재층의 상면 상에 배치된 하부 도전 라인; 상기 기재층의 상기 상면 상에 형성되고, 상기 하부 도전 라인의 상면을 노출시키며 복층 계단 구조를 갖는 비아 홀을 포함하는 층간 절연 구조; 및 상기 층간 절연 구조 상에 배치되어 상기 비아 홀을 통해 상기 하부 도전 라인과 전기적으로 연결되는 상부

- 도전 라인을 포함하는, 전극 접속 구조.
- [10] 2. 위 1에 있어서, 상기 층간 절연 구조는 상기 기재층의 상기 상면으로부터 순차적으로 형성된 제1 층간 절연층 및 제2 층간 절연층을 포함하고,
- [11] 상기 제1 층간 절연층은 상기 하부 도전 라인의 상기 상면의 주변부를 덮는 제1 계단부를 포함하고, 상기 제2 층간 절연층은 상기 제1 계단부의 상면을 부분적으로 덮는 제2 계단부를 포함하는, 전극 접속 구조.
- [12] 3. 위 2에 있어서, 상기 비아 홀은 상기 제1 계단부에 의해 정의되는 제1 부분 및 상기 제2 계단부에 의해 정의되며 상기 제1 부분보다 확장된 폭을 갖는 제2 부분을 포함하는, 전극 접속 구조.
- [13] 4. 위 2에 있어서, 상기 제1 계단부 및 상기 제2 계단부는 각각 상기 하부 도전 라인의 상기 상면에 대해 경사진 측면을 갖는, 전극 접속 구조.
- [14] 5. 위 2에 있어서, 상기 하부 도전 라인의 상면 및 상기 제1 계단부의 상면 사이의 높이는 상기 제1 계단부의 상면 및 상기 제2 계단부의 상면 사이의 높이보다 큰, 전극 접속 구조.
- [15] 6. 위 1에 있어서, 상기 하부 도전 라인의 두께는 상기 상부 도전 라인의 두께보다 큰, 전극 접속 구조.
- [16] 7. 위 1에 있어서, 상기 하부 도전 라인의 두께는 $10\mu\text{m}$ 이상인, 전극 접속 구조.
- [17] 8. 위 1에 있어서, 상기 하부 도전 라인 및 상기 상부 도전 라인은 서로 교차하는 방향으로 연장하는, 전극 접속 구조.
- [18] 9. 기재층 상에 하부 도전 라인을 형성하는 단계; 상기 기재층 상에 상기 하부 도전 라인을 덮는 제1 코팅층을 형성하는 단계; 상기 제1 코팅층을 패터닝하여 상기 하부 도전 라인의 상면을 노출시키는 제1 비아 홀을 포함하는 제1 층간 절연층을 형성하는 단계; 상기 제1 층간 절연층 상에 상기 제1 비아 홀을 채우는 제2 코팅층을 형성하는 단계; 상기 제2 코팅층을 패터닝하여 상기 하부 도전 라인의 상면을 노출시키며 상기 제1 비아 홀보다 확장된 폭을 갖는 제2 비아 홀을 포함하는 제2 층간 절연층을 형성하는 단계; 및 상기 제2 층간 절연층 상에 상기 제1 비아 홀 및 상기 제2 비아 홀을 채우며 상기 하부 도전 라인과 연결되는 상부 도전 라인을 형성하는 단계를 포함하는, 전극 접속 구조의 제조 방법.
- [19] 10. 위 9에 있어서, 상기 제1 층간 절연층을 형성하는 단계는 상기 제2 코팅층을 형성하기 전에 상기 제1 코팅층을 프리-베이킹 및 포스트-베이킹하는 것을 포함하는, 전극 접속 구조의 제조 방법.
- [20] 11. 위 10에 있어서, 상기 포스트-베이킹은 상기 프리-베이킹보다 높은 온도에서 긴 시간동안 수행되는, 전극 접속 구조의 제조 방법.
- [21] 12. 위 11에 있어서, 상기 프리-베이킹 및 상기 포스트-베이킹 사이에 노광 공정을 수행하는 것을 더 포함하는, 전극 접속 구조의 제조 방법.
- [22] 13. 위 9에 있어서, 상기 제1 코팅층을 형성하는 단계는 제1 회전 속도로 제1 스핀 코팅 공정을 수행하는 것을 포함하고, 상기 제2 코팅층을 형성하는 단계는 제2 회전 속도로 제2 스핀 코팅 공정을 수행하는 것을 포함하는, 전극 접속

구조의 제조 방법.

- [23] 14. 위 13에 있어서, 상기 제1 회전 속도는 상기 제2 회전 속도보다 작은, 전극 접속 구조의 제조 방법.
- [24] 15. 상술한 실시예들에 따른 전극 접속 구조를 포함하고, 상기 하부 도전 라인은 복수의 하부 도전 라인들을 포함하고, 상기 상부 도전 라인은 복수의 상부 도전 라인들을 포함하며, 상기 하부 도전 라인들 및 상기 상부 도전 라인들이 상기 비아 홀을 통해 서로 조합되어 복수의 도전 코일들을 형성하는, 디지털타이저.
- [25] 16. 위 15에 있어서, 상기 하부 도전 라인들은 열 방향으로 연장하는 제1 하부 도전 라인들 및 제2 하부 도전 라인들을 포함하고, 상기 상부 도전 라인들은 행 방향으로 연장하는 제1 상부 도전 라인들 및 제2 상부 도전 라인들을 포함하는, 디지털타이저.
- [26] 17. 위 16에 있어서, 상기 도전 코일들은 상기 제1 상부 도전 라인들 및 상기 제2 하부 도전 라인들이 서로 연결되어 형성된 제1 도전 코일; 및 상기 제1 하부 도전 라인들 및 상기 제2 상부 도전 라인들이 서로 연결되어 형성된 제2 도전 코일을 포함하는, 디지털타이저.
- [27] 18. 위 15에 있어서, 상기 기재층은 벤딩 영역을 포함하고, 상기 벤딩 영역의 벤딩 축은 상기 상부 도전 라인과 교차하며, 상기 하부 도전 라인과 평행한, 디지털타이저.

발명의 효과

- [28] 본 발명의 실시예들에 따르는 전극 접속 구조에 있어서, 하부 도전 라인을 부분적으로 덮는 중간 절연 구조를 복층 계단 구조로 형성할 수 있다. 이에 따라, 하부 도전 라인의 두께가 증가되는 경우에도 중간 절연 구조를 통한 하부 도전 라인 및 상부 도전 라인의 접속 신뢰성을 확보할 수 있다. 상기 복층 계단 구조를 통해 상부 도전 라인의 접속 면적을 증가시켜 반복적인 폴딩, 벤딩에도 충분한 전극 접속 구조를 유지할 수 있다.
- [29] 상기 중간 절연 구조를 활용하여, 하부 도전 라인의 두께를 충분히 증가시켜 전류 통로를 증가시킬 수 있다. 이에 따라, 상기 전극 접속 구조를 디지털타이저의 도전 코일에 채용하여 전자기 유도 현상을 증폭을 통한 고해상도 및 향상된 플렉시블 특성을 갖는 디지털타이저가 제공될 수 있다.

도면의 간단한 설명

- [30] 도 1은 예시적인 실시예들에 따른 전극 접속 구조를 나타내는 개략적인 단면도이다.
- [31] 도 2 내지 도 4는 예시적인 실시예들에 따른 전극 접속 구조의 제조 방법을 설명하기 위한 개략적인 단면도들이다.
- [32] 도 5는 예시적인 실시예들에 따른 디지털타이저를 나타내는 개략적인 단면도이다.
- [33] 도 6 및 도 7은 예시적인 실시예들에 따른 디지털타이저에 포함되는 도전

코일들을 나타내는 개략적인 평면도들이다.

- [34] 도 8은 예시적인 실시예들에 따른 디지털타이저를 나타내는 개략적인 평면도이다.

발명의 실시를 위한 형태

- [35] 본 발명의 실시예들은 복층 구조의 도전 라인들 및 복층 구조의 층간 절연층을 포함하며 향상된 전기적 접속 신뢰성을 갖는 전극 접속 구조 및 이의 제조 방법을 제공한다. 또한, 본 발명의 실시예들은 상기 전극 접속 구조를 포함하는 화상 표시 장치를 제공한다.

- [36] 이하 도면을 참고하여, 본 발명의 실시예들을 보다 구체적으로 설명하도록 한다. 다만, 본 명세서에 첨부되는 다음의 도면들은 본 발명의 바람직한 실시예를 예시하는 것이며, 전술한 발명의 내용과 함께 본 발명의 기술사상을 더욱 이해시키는 역할을 하는 것이므로, 본 발명은 그러한 도면에 기재된 사항에만 한정되어 해석되어서는 아니된다.

- [37] 도 1은 예시적인 실시예들에 따른 전극 접속 구조를 나타내는 개략적인 단면도이다.

- [38] 도 1을 참조하면, 상기 전극 접속 구조는 기재층(105) 상에 형성된 하부 도전 라인(110) 및 상부 도전 라인(130)을 포함할 수 있다. 하부 도전 라인(110) 및 상부 도전 라인(130)은 층간 절연 구조(120)를 사이에 두고 서로 다른 층에 분리될 수 있다.

- [39] 기재층(105)은 도전 라인들(110, 130) 및 층간 절연 구조(120)의 형성을 위한 지지층 또는 필름 타입 기재를 포괄하는 의미로 사용된다. 예를 들면, 기재층(105)은 플렉시블 디스플레이에 적용 가능한 고분자를 포함할 수 있다. 상기 고분자의 예로서, 환형올레핀중합체(COP), 폴리에틸렌테레프탈레이트(PET), 폴리아크릴레이트(PAR), 폴리에테르이미드(PEI), 폴리에틸렌나프탈레이트(PEN), 폴리페닐렌설파이드(PPS), 폴리알릴레이트(polyallylate), 폴리이미드(PI), 셀룰로오스 아세테이트 프로피오네이트(CAP), 폴리에테르술폰(PES), 셀룰로오스 트리아세테이트(TAC), 폴리카보네이트(PC), 환형올레핀공중합체(COC), 폴리메틸메타크릴레이트(PMMA) 등을 들 수 있다.

- [40] 바람직하게는, 기재층(105)은 안정적인 벤딩 특성을 확보를 위해 폴리이미드를 포함할 수 있다.

- [41] 하부 도전 라인(110) 및 상부 도전 라인(130)은 각각 저저항 금속을 포함할 수 있다. 예를 들면, 하부 도전 라인(110) 및 상부 도전 라인(130)은 은(Ag), 금(Au), 구리(Cu), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 크롬(Cr), 티타늄(Ti), 텅스텐(W), 니오븀(Nb), 탄탈륨(Ta), 바나듐(V), 철(Fe), 망간(Mn), 코발트(Co), 니켈(Ni), 아연(Zn), 주석(Sn), 몰리브덴(Mo), 칼슘(Ca) 또는 이들 중 적어도 2 이상을 함유하는 합금을 포함할 수 있다.

- [42] 바람직하게는, 하부 도전 라인(110) 및 상부 도전 라인(130)은 저저항 구현을 위해 구리 혹은 구리 합금을 포함할 수 있다.
- [43] 층간 절연 구조(120)는 기재층(105) 상면 상에 형성되어 하부 도전 라인(110)을 부분적으로 덮을 수 있다. 층간 절연 구조(120)는 에폭시계 수지, 아크릴계 수지, 실록산계 수지, 폴리이미드계 수지 등과 같은 유기 절연 물질, 또는 실리콘 산화물, 실리콘 질화물 등과 같은 무기 절연 물질을 포함할 수 있다. 바람직하게는, 층간 절연 구조(120)는 플렉시블 특성 향상을 위해 유기 절연 물질을 사용하여 형성될 수 있다.
- [44] 층간 절연 구조(120)는 비아 홀(125)을 포함할 수 있다. 비아 홀(125)을 통해 하부 도전 라인(110)의 상면이 적어도 부분적으로 노출될 수 있다. 일 실시예에 있어서, 비아 홀(125)을 통해 하부 도전 라인(110)의 상면이 부분적으로 노출될 수 있다.
- [45] 예시적인 실시예들에 따르면, 층간 절연 구조(120)는 제1 층간 절연층(122) 및 제2 층간 절연층(124)을 포함하는 복층 구조를 가질 수 있다.
- [46] 제1 층간 절연층(122)은 하부 층간 절연층에 해당되며, 기재층(105) 상에 형성되어 하부 도전 라인(110)을 부분적으로 덮을 수 있다. 예를 들면, 제1 층간 절연층(122)은 하부 도전 라인(110)의 측벽과 접촉하며, 하부 도전 라인(110)의 상면을 부분적으로 덮을 수 있다.
- [47] 제1 층간 절연층(122)은 하부 도전 라인(110)의 상면을 덮는 제1 계단부(120a)를 포함할 수 있다. 제1 계단부(120a)의 측벽은 하부 도전 라인(110)의 상면에 대해 90도 미만의 각도로 경사질 수 있다. 예를 들면, 제1 계단부(120a)의 측벽 및 하부 도전 라인(110)의 상면 사이의 경사각은 약 30 내지 80도 범위일 수 있다.
- [48] 일부 실시예들에 있어서, 제1 계단부(120a)는 평면 방향에서 하부 도전 라인(110)의 상면의 주변부를 따라 형성되어 비아 홀(125)의 제1 부분(121)을 형성할 수 있다.
- [49] 제2 층간 절연층(124)은 상부 층간 절연층에 해당되며, 제1 층간 절연층(122) 상에 형성되어, 제1 계단부(120a)를 부분적으로 덮을 수 있다. 제2 층간 절연층(124)은 제1 계단부(120a) 상에 형성된 제2 계단부(120b)를 포함할 수 있다.
- [50] 제2 계단부(120b)의 측벽은 하부 도전 라인(110)의 상면 또는 제1 계단부(120a)의 상면에 대해 90도 미만의 각도로 경사질 수 있다. 예를 들면, 제2 계단부(120b)의 측벽 및 제1 계단부(120a)의 상면 사이의 경사각은 약 30 내지 80도 범위일 수 있다.
- [51] 일부 실시예들에 있어서, 제2 계단부(120b)는 평면 방향에서 하부 도전 라인(110)의 상면 또는 제1 계단부(120a)의 주변부를 따라 형성되어 비아 홀(125)의 제2 부분(123)을 형성할 수 있다.
- [52] 상술한 바와 같이, 비아 홀(125)은 하부 도전 라인(110)의 상면으로부터 순차적으로 형성되어 서로 일체로 연통되는 제1 부분(121) 및 제2 부분(123)을 포함할 수 있다.

- [53] 제1 부분(121)의 직경 또는 너비는 제2 부분(123)의 직경 또는 너비보다 작을 수 있다. 이에 따라, 비아 홀(125)의 단면 또는 측벽은 계단 형상을 가질 수 있다.
- [54] 비아 홀(125) 내부에는 상술한 금속 또는 합금이 충전되어, 하부 도전 라인(110)과 전기적으로 연결되는 상부 도전 라인(130)이 형성될 수 있다. 상부 도전 라인(130)은 비아 홀(125)을 충분히 채우며 제2 층간 절연층(124)의 제2 계단부(120b)의 상면을 적어도 부분적으로 덮을 수 있다.
- [55] 비아 홀(125) 내부에는 콘택(135)이 형성될 수 있다. 콘택(135)은 비아 홀(125) 내부에 형성된 상부 도전 라인(130)의 부분일 수 있으며, 상부 도전 라인(130)과 실질적으로 일체의 부재로 형성될 수 있다.
- [56] 일부 실시예들에 있어서, 하부 도전 라인(110)의 두께는 $10\mu\text{m}$ 이상일 수 있다. 예를 들면, 하부 도전 라인(110)의 두께는 10 내지 $20\mu\text{m}$, 또는 10 내지 $15\mu\text{m}$ 일 수 있다.
- [57] 상술한 바와 같이, 상대적으로 두껍게 형성된 하부 도전 라인(110)의 전기적 접속을 위한 층간 절연층의 두께도 증가될 수 있다. 상기 층간 절연층을 예를 들면, 단일 코팅 공정으로 형성하는 경우 하부 도전 라인(110)의 측벽이 노출되거나, 충분한 높이의 비아 홀(125)이 형성되지 않을 수 있다.
- [58] 그러나, 상술한 예시적인 실시예들에 따르면, 복층 구조의 층간 절연 구조(120)를 형성하여 하부 도전 라인(110)의 절연을 위한 충분한 두께의 절연층을 형성할 수 있다. 또한, 상부 도전 라인(130)과의 접속을 위한 충분한 높이 및 너비의 비아 홀(125)을 형성할 수 있다.
- [59] 또한, 층간 절연 구조(120)는 각각 경사진 측벽을 갖는 제1 계단부(120a) 및 제2 계단부(120b)를 포함하는 복층 계단 구조를 가질 수 있다. 이에 따라, 상부 도전 라인(130) 또는 콘택(135)의 비아 홀(125)과의 접촉 면적을 증가시키며 안정적인 전극 접속 신뢰성을 유지할 수 있다.
- [60] 일부 실시예들에 있어서, 제1 계단부(120a)의 제1 높이(H1)(예를 들면, 하부 도전 라인(110)의 상면 및 제1 계단부(120a)의 상면 사이의 거리)는 제2 계단부(120b)의 제2 높이(H2)(예를 들면, 제1 계단부(120a)의 상면 및 제2 계단부(120b)의 상면 사이의 거리)보다 클 수 있다.
- [61] 이에 따라, 제1 계단부(120a)를 통해 충분한 비아 홀(125)의 높이 및 면적을 확보한 후 제2 계단부(120b)를 통해 추가적인 비아 홀(125)의 높이 및 면적을 미세 조절할 수 있다.
- [62] 일 실시예에 있어서, 제1 층간 절연층(122)의 두께를 제2 층간 절연층(124)의 두께보다 크게 형성하여 상술한 계단부들(120a, 120b)의 높이를 조절할 수 있다.
- [63] 예를 들면, 제1 층간 절연층(122)의 두께는 약 7 내지 $10\mu\text{m}$, 제2 층간 절연층(124)의 두께는 약 5 내지 $7\mu\text{m}$ 일 수 있다.
- [64] 하부 도전 라인(110)의 상면 모서리에서 비아 홀(125)에 노출된 제1 계단부(120a)의 상면의 모서리까지의 제1 너비(W1)는 비아 홀(125)에 노출된 제2 계단부(120b)의 상면의 모서리 및 제1 계단부(120a)의 상면의 모서리 사이의 제2

너비(W2)보다 작을 수 있다.

[65] 이에 따라, 비아 홀(125)을 통한 충분한 상부 도전 라인(130)의 접촉 면적을 확보하여 안정적인 전극 접속 구조를 구현할 수 있다.

[66] 예를 들면, 제1 너비(W1) 및 제2 너비(W2)는 2 내지 300 μm 범위에서 조절될 수 있다.

[67] 일부 실시예들에 있어서, 상부 도전 라인(130)의 두께는 하부 도전 라인(110)의 두께보다 작을 수 있다. 예를 들면, 상부 도전 라인(130)의 두께는 약 6 μm 이하일 수 있으며, 바람직하게는 약 1 내지 6 μm 일 수 있다.

[68] 상부 도전 라인(130)의 너비를 상대적으로 얇게 형성하여, 하부 도전 라인(110)으로부터 충분한 채널 전류 혹은 도전 코일 전류를 확보하면서, 폴딩 또는 벤딩 특성을 향상시킬 수 있다. 또한, 박막 형태의 상부 도전 라인(130)을 활용하여 상술한 복층 계단 구조의 비아 홀(125)에의 밀착 특성이 보다 증진될 수 있다.

[69] 층간 절연 구조(120) 상에는 상부 도전 라인(130)을 덮는 패시베이션 층(140)이 형성될 수 있다. 예를 들면, 패시베이션 층은 층간 절연 구조(120)와 실질적으로 동일하거나 유사한 유기 절연 물질 또는 무기 절연 물질을 포함할 수 있다.

[70] 도 2 내지 도 4는 예시적인 실시예들에 따른 전극 접속 구조의 제조 방법을 설명하기 위한 개략적인 단면도들이다. 도 1을 참조로 설명한 구조 및 재질에 대한 상세한 설명은 생략된다.

[71] 도 2를 참조하면, 기재층(105) 상에 하부 도전 라인(110)을 형성할 수 있다.

[72] 예를 들면, 기재층(105)의 상면 상에 상술한 금속 또는 합금을 포함하는 하부 도전막을 형성할 수 있다. 상기 하부 도전막을 소정의 너비로 패터닝하여 하부 도전 라인(110)을 형성할 수 있다.

[73] 상술한 바와 같이, 하부 도전 라인(110)은 약 10 μm 이상의 두께로 형성될 수 있다.

[74] 도 3을 참조하면, 기재층(105) 상에 하부 도전 라인(110)을 부분적으로 덮는 제1 층간 절연층(122)을 형성할 수 있다.

[75] 예를 들면, 기재층(105) 상에 하부 도전 라인(110)을 전체적으로 덮도록 제1 코팅층을 형성할 수 있다. 예시적인 실시예들에 따르면, 상기 제1 코팅층은 에폭시계 수지, 아크릴계 수지, 실록산계 수지, 이미드계 수지, 노불락계 수지 등과 같은 감광성 수지를 포함하는 감광성 조성물을 사용하여 제1 스핀 코팅 공정을 통해 형성될 수 있다.

[76] 상기 제1 코팅층에 대해 예를 들면, 약 80 내지 110°C의 온도에서 프리-베이킹(pre-baking)(또는 소프트 베이킹) 공정을 수행할 수 있다. 이후, 비아 홀(125)의 제1 부분(121) 형성을 위한 마스크를 사용하여 노광 공정을 수행할 수 있다.

[77] 일부 실시예들에 있어서, 상기 노광 공정 이후 포스트-베이킹 공정을 예를 들면, 약 130 내지 160°C의 온도에서 수행할 수 있다.

- [78] 이후, 예를 들면 알칼리 수용액을 사용한 현상 공정을 통해 상기 제1 코팅층을 부분적으로 제거하여 비아 홀(125)의 제1 부분(121)(예를 들면, 제1 비아 홀)을 형성할 수 있다. 이에 따라, 제1 계단부(120a)를 포함하며 하부 도전 라인(110)의 상면을 부분적으로 노출시키는 제1 층간 절연층(122)을 형성할 수 있다.
- [79] 일 실시예에 있어서, 상기 포스트-베이킹 공정은 상기 프리-베이킹 공정보다 긴 시간동안 수행될 수 있다. 예를 들면, 상기 프리-베이킹 공정은 약 3 내지 10분, 상기 포스트-베이킹 공정은 약 20 내지 30분간 수행될 수 있다.
- [80] 상기 포스트-베이킹 공정을 충분한 시간 및 온도로 수행하여, 후술하는 제2 층간 절연층(124) 혹은 비아 홀(125)의 제2 부분(123) 형성 시 제1 계단부(120a)의 손상을 방지할 수 있다.
- [81] 도 4를 참조하면, 제1 층간 절연층(122) 상에 제2 층간 절연층(124)을 형성할 수 있다.
- [82] 예를 들면, 제1 층간 절연층(122) 상에 상술한 감광성 조성물을 제2 스핀 코팅 공정을 통해 형성하여 제2 코팅층을 형성할 수 있다. 상기 제2 코팅층은 제1 부분(121)을 채우도록 형성될 수 있다.
- [83] 상기 제2 코팅층에 대해 예를 들면, 약 80 내지 110°C의 온도에서 프리-베이킹 공정을 수행할 수 있다. 이후, 비아 홀(125)의 제2 부분(123) 형성을 위한 마스크를 사용하여 노광 공정을 수행할 수 있다.
- [84] 일부 실시예들에 있어서, 상기 노광 공정 이후 포스트-베이킹 공정을 예를 들면, 약 130 내지 160°C의 온도에서 수행할 수 있다.
- [85] 이후, 예를 들면 알칼리 수용액을 사용한 현상 공정을 통해 상기 제2 코팅층을 부분적으로 제거하여 비아 홀(125)의 제2 부분(123)(예를 들면, 제2 비아 홀)을 형성할 수 있다. 이에 따라, 제2 계단부(120a)를 포함하며 하부 도전 라인(110)의 상면을 부분적으로 노출시키는 제2 층간 절연층(124)을 형성할 수 있다.
- [86] 상기 현상 공정에서 상기 제2 코팅층의 제1 부분(121)에 형성된 부분도 함께 제거될 수 있다. 상술한 바와 같이, 제1 층간 절연층(122)은 프리-베이킹 및 포스트-베이킹 공정을 통해 경화된 상태이므로 제1 계단부(120a)의 손상 없이 비아 홀(125)의 제2 부분(123)을 형성할 수 있다.
- [87] 이에 따라, 제1 부분(121) 및 제2 부분(123)이 병합되어 비아 홀(125)이 형성될 수 있다. 또한, 제1 계단부(120a) 및 제2 계단부(120b)를 포함하는 복층 계단 구조의 층간 절연 구조(120)가 형성될 수 있다.
- [88] 제2 층간 절연층(124) 형성 시에도 상기 포스트-베이킹 공정은 상기 프리-베이킹 공정보다 긴 시간동안 수행될 수 있다. 예를 들면, 상기 프리-베이킹 공정은 약 3 내지 10분, 상기 포스트-베이킹 공정은 약 20 내지 30분간 수행될 수 있다.
- [89] 일부 실시예들에 있어서, 제1 층간 절연층(122) 형성을 위한 상기 제1 스핀 코팅 공정의 제1 회전 속도는 제2 층간 절연층(124) 형성을 위한 제2 스핀 코팅 공정의 제2 회전 속도보다 작을 수 있다.

- [90] 예를 들면, 상기 제1 스핀 코팅 공정의 제1 회전 속도는 약 300 내지 500rpm, 상기 제2 스핀 코팅 공정의 제2 회전 속도는 약 600 내지 900 rpm으로 조절될 수 있다.
- [91] 상술한 바와 같이, 스핀 코팅 회전 속도를 조절하여 제1 계단부(120a)의 높이를 충분히 증가시키고, 제2 계단부(120b)를 통해 비아 홀(125)의 너비를 확장하여 하부 및 상부 도전 라인들(110, 130) 사이의 접촉 신뢰성이 향상될 수 있다.
- [92] 다시, 도 1을 참조하면, 제2 층간 절연층(124) 상에 비아 홀(125)을 채우는 하부 도전층을 형성할 수 있다. 이후, 상기 하부 도전층을 소정의 너비로 패터닝하여 비아 홀(125)을 통해 하부 도전 라인(110)과 접촉하는 콘택(135)을 포함하는 상부 도전 라인(130)을 형성할 수 있다.
- [93] 도 5는 예시적인 실시예들에 따른 디지털라이저를 나타내는 개략적인 단면도이다. 도 6 및 도 7은 예시적인 실시예들에 따른 디지털라이저에 포함되는 도전 코일들을 나타내는 개략적인 평면도들이다. 예를 들면, 도 5는 도 6에 표시된 I-I' 라인을 따라 두께 방향으로 절단한 단면도이다.
- [94] 도 5 내지 도 7에서, 디지털라이저(100) 또는 기재층(105)의 상면에 평행하며 서로 교차하는 두 방향을 제1 방향 및 제2 방향으로 정의한다. 예를 들면, 상기 제1 방향 및 제2 방향은 서로 수직하게 교차할 수 있다.
- [95] 상기 제1 방향은 디지털라이저(100)의 너비 방향, 행 방향 혹은 X-방향에 대응될 수 있다. 상기 제2 방향은 디지털라이저(100)의 길이 방향, 열 방향 혹은 Y-방향에 대응될 수 있다.
- [96] 도 5 내지 도 7을 참조하면, 디지털라이저(100)는 도 1을 참조로 설명한 예시적인 실시예들에 따른 전극 접촉 구조를 포함할 수 있다. 예시적인 실시예들에 따르면, 디지털라이저(100)는 기재층(105) 상에 형성된 하부 도전 라인(110) 및 상부 도전 라인(130)을 포함할 수 있다. 하부 도전 라인(110) 및 상부 도전 라인(130)은 층간 절연 구조(120)를 사이에 두고 서로 다른 층에 분리될 수 있다.
- [97] 예시적인 실시예들에 따른 디지털라이저(100)는 제1 도전 코일(50)(도 6 참조) 및 제2 도전 코일(70)(도 7 참조)을 포함할 수 있다.
- [98] 제1 도전 코일(50) 및 제2 도전 코일(70)은 하부 도전 라인(110) 및 상부 도전 라인(130)이 콘택들(135)에 의해 조합되어 정의될 수 있다.
- [99] 하부 도전 라인(110)은 제1 하부 도전 라인(112)(도 7 참조) 및 제2 하부 도전 라인(114)(도 6 참조)을 포함할 수 있다. 상부 도전 라인(130)은 제1 상부 도전 라인(132)(도 6 참조) 및 제2 상부 도전 라인(134)(도 7 참조)을 포함할 수 있다.
- [100] 제1 하부 도전 라인(112)은 및 제2 하부 도전 라인(114)은 제2 방향으로 연장할 수 있다. 제1 상부 도전 라인(132) 및 제2 상부 도전 라인(134)은 제1 방향으로 연장할 수 있다.
- [101] 도 6에 도시된 바와 같이, 상부 도전 라인(130)의 제1 상부 도전 라인(132) 및 하부 도전 라인(110)의 제2 하부 도전 라인(114)이 서로 결합되어 제1 도전 코일(50)을 형성할 수 있다.

- [102] 제1 상부 도전 라인(132) 및 제2 하부 도전 라인(114)은 함께 제1 도전 코일(50)을 형성하여 전자기 유도를 통한 입력 펜에 대한 센싱 라인으로 함께 제공될 수 있다.
- [103] 예를 들면, 제1 상부 도전 라인(132) 및 제2 하부 도전 라인(114)은 제1 콘택(135a)을 통해 서로 전기적으로 연결될 수 있다. 복수의 제1 상부 도전 라인들(132) 및 복수의 제2 하부 도전 라인들(114)이 복수의 제1 콘택들(135a)을 통해 서로 전기적으로 연결되어 하나의 제1 도전 코일(50) 내에 복수의 도전 루프가 포함될 수 있다. 예를 들면, 하나의 제1 도전 코일(50) 내에 4개의 제1 도전 루프들이 포함될 수 있다.
- [104] 일부 실시예들에 있어서, 상기 제1 도전 루프들은 평면 방향에서 서로 다른 사이즈 혹은 면적을 가질 수 있다. 제1 콘택(135a)은 층간 절연 구조(120)를 관통하여 제1 상부 도전 라인(132)과 실질적으로 일체로 형성될 수 있다.
- [105] 상기 제1 도전 루프들 중 어느 하나의 제1 도전 루프에는 제1 입력 라인(113) 및 제1 출력 라인(115)이 연결될 수 있다. 예를 들면, 제1 입력 라인(113)은 상기 제1 도전 루프들 중 최내측의 제1 도전 루프에 연결될 수 있다. 제1 출력 라인(115)은 상기 제1 도전 루프들 중 최외곽의 제1 도전 루프에 연결될 수 있다.
- [106] 제1 입력 라인(113)으로부터 입력된 전류는 상기 제1 도전 루프들을 통해 하부 도전 라인(110) 및 상부 도전 라인(130)을 교대로 순환하며, 제1 출력 라인(115)을 통해 배출될 수 있다.
- [107] 일부 실시예들에 있어서, 제1 입력 라인(113) 및 제1 출력 라인(115)은 하부 도전 라인(110)에 포함될 수 있다.
- [108] 일부 실시예들에 있어서, 하부 도전 라인(110)은 제1 내부 연결 라인(114a)을 포함할 수 있다. 예를 들면, 이웃하는 제1 도전 루프들이 제1 내부 연결 라인(114a)에 의해 연결될 수 있다.
- [109] 도 7에 도시된 바와 같이, 하부 도전 라인(110)의 제1 하부 도전 라인(112) 및 상부 도전 라인(130)의 제2 상부 도전 라인(134)이 서로 결합되어 제2 도전 코일(70)을 형성할 수 있다.
- [110] 제1 하부 도전 라인(112) 및 제2 상부 도전 라인(134)은 함께 제2 도전 코일(70)을 형성하여 전자기 유도를 통한 입력 펜에 대한 센싱 라인으로 함께 제공될 수 있다.
- [111] 예를 들면, 제1 하부 도전 라인(112) 및 제2 상부 도전 라인(134)은 제2 콘택(135b)을 통해 서로 전기적으로 연결될 수 있다. 복수의 제1 하부 도전 라인들(112) 및 복수의 제2 상부 도전 라인들(134)이 복수의 제2 콘택들(135b)을 통해 서로 전기적으로 연결되어 하나의 제2 도전 코일(70) 내에 복수의 도전 루프가 포함될 수 있다. 예를 들면, 하나의 제2 도전 코일(70) 내에 4개의 제2 도전 루프들이 포함될 수 있다.
- [112] 일부 실시예들에 있어서, 상기 제2 도전 루프들은 평면 방향에서 서로 다른 사이즈 혹은 면적을 가질 수 있다. 제2 콘택(135b)은 층간 절연 구조(120)를

관통하여 제2 상부 도전 라인(134)과 실질적으로 일체로 형성될 수 있다.

- [113] 상기 제2 도전 루프들 중 어느 하나의 제2 도전 루프에는 제2 입력 라인(117) 및 제2 출력 라인(119)이 연결될 수 있다. 예를 들면, 제2 입력 라인(117)은 상기 제2 도전 루프들 중 최내측의 제2 도전 루프에 연결될 수 있다. 제2 출력 라인(119)은 상기 제2 도전 루프들 중 최외곽의 제2 도전 루프에 연결될 수 있다.
- [114] 제2 입력 라인(117)으로부터 입력된 전류는 상기 제2 도전 루프들을 통해 하부 도전 라인(110) 및 상부 도전 라인(130)을 교대로 순환하며, 제2 출력 라인(119)을 통해 배출될 수 있다.
- [115] 일부 실시예들에 있어서, 제2 입력 라인(117) 및 제2 출력 라인(119)은 하부 도전 라인(110)에 포함될 수 있다.
- [116] 일부 실시예들에 있어서, 상부 도전 라인(130)은 외부 연결 라인(134a)을 더 포함할 수 있다. 예를 들면, 외부 연결 라인(134a)에 의해 제2 입력 라인(117) 및 제2 출력 라인(119)이 제2 도전 루프와 제2 콘택(135b)을 통해 연결될 수 있다.
- [117] 일 실시예에 있어서, 외부 연결 라인(134a)은 2개의 서로 다른 제2 도전 코일에 연결될 수도 있다. 예를 들면, 어느 하나의 제2 도전 코일(70)에 연결된 출력 라인(119)은 외부 연결 라인(134a)을 통해 다른 제2 도전 코일(70)의 입력 라인(117)에 연결될 수도 있다.
- [118] 일부 실시예들에 있어서, 상부 도전 라인(130)은 제2 내부 연결 라인(134b)을 더 포함할 수도 있다. 예를 들면, 제2 내부 연결 라인(134b)에 의해 제2 도전 코일(70) 내에서 이웃하는 제2 도전 루프들이 서로 연결될 수 있다.
- [119] 도 6 및 도 7에서는 하나의 도전 코일 내에 4개의 도전 루프가 포함되는 것으로 도시되었으나, 도전 코일 내의 도전 루프의 개수는 화상 표시 장치의 사이즈 및 해상도 등을 고려하여 조절될 수 있다.
- [120] 도 6 및 도 7을 참조로 설명한 바와 같이, 제1 도전 코일(50) 및 제2 도전 코일(70)은 각각 복수의 서로 다른 사이즈의 도전 루프들을 포함할 수 있다.
- [121] 이에 따라, 디지털라이저(100)를 통해 생성되는 자기장 세기를 충분히 증가시켜 예를 들면, 화상 표시 장치의 윈도우 면에 접촉하는 입력 펜으로의 에너지 전달을 효율적으로 증진시킬 수 있다.
- [122] 또한, 하부 도전 라인(110) 및 상부 도전 라인(130)을 콘택(135)을 통해 연결하여 도전 루프를 형성하므로, 제한된 공간 내에서의 도전 코일의 루프 개수를 효율적으로 증가시키며 전자기 유도 효율성을 향상시킬 수 있다.
- [123] 상술한 바와 같이, 하부 도전 라인(110)의 두께는 상부 도전 라인(130)의 두께보다 클 수 있다. 도 8을 참조로 후술하는 바와 같이, 상부 도전 라인(130)은 제1 방향(예를 들면, 행 방향 또는 너비 방향)으로 연장하며 벤딩 축과 교차할 수 있다. 예를 들면, 상부 도전 라인(130)은 상기 벤딩 축과 수직할 수 있다. 하부 도전 라인(110)은 제2 방향(열 방향 또는 길이 방향)으로 연장하며 실질적으로 상기 벤딩 축과 평행할 수 있다.
- [124] 예시적인 실시예들에 따르면, 상기 벤딩 축과 교차함에 따라 벤딩 스트레스가

쉽게 전달되는 상부 도전 라인(130)의 두께를 감소시켜 도전 라인 내부에서의 크랙 방지를 감소 또는 억제할 수 있다. 상기 벤딩 축과 평행하여 벤딩 스트레스로부터 상대적으로 자유로운 제1 하부 도전 라인(110)은 큰 두께로 형성함에 따라, 도전 코일을 통한 전류 통로를 확장시켜 충분한 전자기 유도 효과를 구현할 수 있다.

- [125] 또한, 도 1을 참조로 설명한 바와 같이, 콘택(135)은 복층 계단 구조의 비아 홀(125)을 포함하는 층간 절연 구조(120) 내에 형성될 수 있다. 이에 따라, 하부 도전 라인(110)의 두께가 증가되는 경우에도 소정의 절연성을 유지하면서 상부 도전 라인(130)과의 안정적인 접촉 신뢰성을 확보할 수 있다.
- [126] 도 8은 예시적인 실시예들에 따른 디지털타이저를 나타내는 개략적인 평면도이다. 설명의 편의를 위해, 도 8에서는 도전 코일의 상세 구조/구성의 도시는 생략되었다.
- [127] 도 8을 참조하면, 기재층(105)의 상면 상에 복수의 제1 도전 코일들(50) 및 제2 도전 코일들(70)이 배열될 수 있다.
- [128] 제1 도전 코일(50)은 상기 제1 방향 혹은 행 방향으로 연장할 수 있다. 복수의 제1 도전 코일들(50)은 상기 제2 방향 또는 열 방향을 따라 배열될 수 있다.
- [129] 예를 들면, n 개의 제1 도전 코일들(50-1 내지 50- n)이 순차적으로 상기 제2 방향을 따라 배열될 수 있다(n 은 자연수).
- [130] 제2 도전 코일(70)은 상기 제2 방향 혹은 열 방향으로 연장할 수 있다. 복수의 제2 도전 코일들(70)은 상기 제1 방향 또는 행 방향을 따라 배열될 수 있다.
- [131] 예를 들면, m 개의 제2 도전 코일들(70-1 내지 70- m)이 순차적으로 상기 제1 방향을 따라 배열될 수 있다.
- [132] 기재층(105)의 중앙부에는 벤딩 영역(BA)이 포함될 수 있다. 벤딩 영역(BA) 내에는 상기 제2 방향으로 연장하는 벤딩 축(80)이 위치할 수 있다. 예시적인 실시예들에 따른 디지털타이저(100)는 벤딩 축(80) 주변으로 굴곡되거나 접힐 수 있다.
- [133] 상술한 바와 같이, 일부 실시예들에 있어서, 벤딩 축(80)과 교차하는 상부 도전 라인(130)의 두께는 상대적으로 작을 수 있다. 따라서, 벤딩 스트레스가 직접적으로 인가되는 상부 도전층(130)의 크랙을 방지하며 유연성을 증가시킬 수 있다.
- [134] 벤딩 축(80)과 평행하며 벤딩 스트레스가 상대적으로 작은 하부 도전 라인(110)의 두께는 증가시켜, 저항을 감소시키고 도전 코일을 통한 자기장 생성 효율을 향상시킬 수 있다.
- [135] 또한, 도 1을 참조로 설명한 전극 접속 구조를 활용하여 상부 도전 라인(130)의 두께가 감소되는 경우에도 반복적인 폴딩 혹은 벤딩 시 안정적인 도전 코일(50, 70)의 전기적 연결이 유지되어 원하는 전자기 생성을 구현할 수 있다.
- [136] 이하, 본 발명의 이해를 돕기 위하여 바람직한 실시예를 제시하나, 이들 실시예는 본 발명을 예시하는 것일 뿐 첨부된 특허청구범위를 제한하는 것이

아니며, 본 발명의 범주 및 기술사상 범위 내에서 실시예에 대한 다양한 변경 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허청구범위에 속하는 것도 당연한 것이다.

[137] **실시예**

[138] 도 1에 도시된 구조를 갖는 전극 접속 구조를 형성하였다. 구체적으로, 10 μ m의 두께의 폴리이미드 기판 상에 12 μ m의 두께의 Cu 하부 도전 라인을 형성하였다.

[139] 이후, 아크릴계 유기 감광성 물질을 사용하여 순차적으로 제1 층간 절연층 및 제2 층간 절연층을 포함하며 비아 홀을 포함하는 층간 절연 구조를 형성하였다.

[140] 도 1에 표시된 제1 계단부 및 제2 계단부의 수치들을 아래 표 1에 기재된 바와 같다.

[141] [표1]

제1 높이(H1)	3 μ m
제2 높이(H2)	2 μ m
제1 너비(W1)	5 μ m
제2 너비(W2)	8 μ m
제1 계단부 경사각	60°
제2 계단부 경사각	55°

[142] 이후, 비아 홀을 채우며 하부 도전 라인과 연결되는 Cu 상부 도전 라인(두께: 6 μ m)을 형성하였다

[143] **비교예**

[144] 제1 코팅층 및 제2 코팅층을 하부 도전 라인을 덮도록 형성한 후 1회의 패터닝 공정을 통해 계단 구조가 없는 연속적인 측벽을 갖는 비아 홀(측벽 경사각 60°)을 형성한 것을 제외하고는 실시예와 동일한 방법으로 전극 접속 구조를 형성하였다.

[145] **굴곡 평가**

[146] 실시예 및 비교예의 전극 접속 구조를 굴곡 평가 지그를 사용하여 곡률 1R의 굴곡테스트를 20만회 수행한후, Fluke 사의 87-5 저항측정기를 사용하여 저항을 측정하였다. 측정결과는 하기 표 2와 같다.

[147] [표2]

	저항
실시예	5.3~5.7 Ω
비교예	단선되어 측정 불가

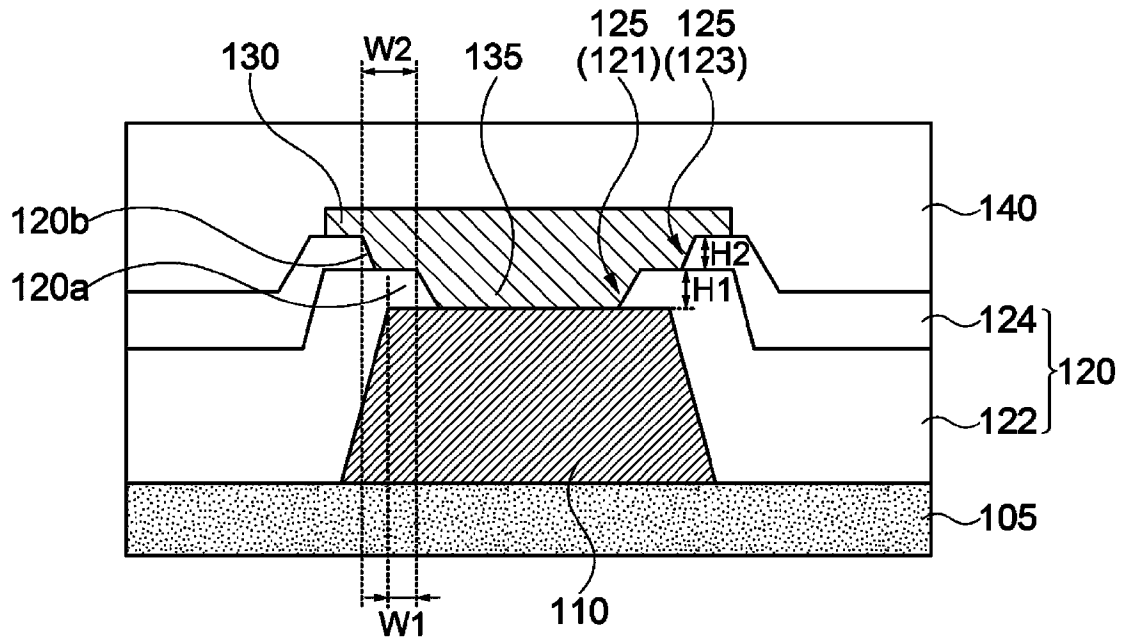
[148] 표 2를 참조하면, 굴곡 수행 후 비교예의 전극 접속 구조에서는 상부 도전 라인의 들뜸 또는 크랙에 의해 단선이 발생하여 저항 값이 측정되지 않았다.

청구범위

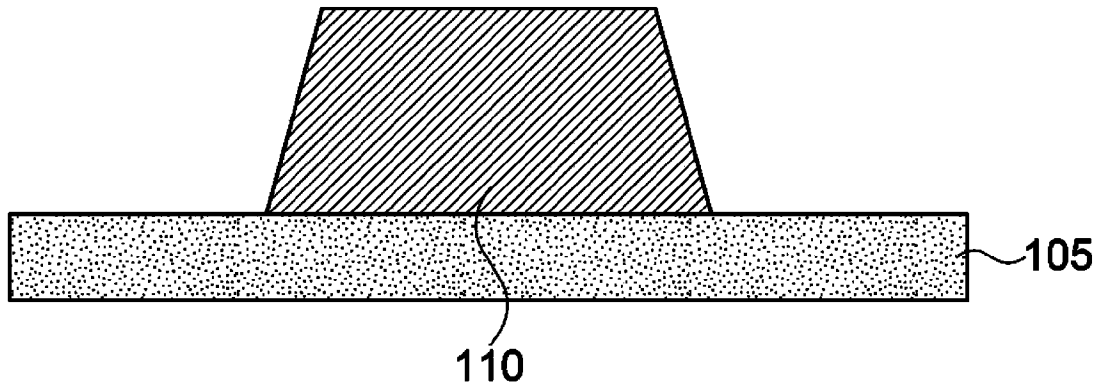
- [청구항 1] 기재층;
 상기 기재층의 상면 상에 배치된 하부 도전 라인;
 상기 기재층의 상기 상면 상에 형성되고, 상기 하부 도전 라인의 상면을 노출시키며 복층 계단 구조를 갖는 비아 홀을 포함하는 층간 절연 구조;
 및
 상기 층간 절연 구조 상에 배치되어 상기 비아 홀을 통해 상기 하부 도전 라인과 전기적으로 연결되는 상부 도전 라인을 포함하는, 전극 접속 구조.
- [청구항 2] 청구항 1에 있어서, 상기 층간 절연 구조는 상기 기재층의 상기 상면으로부터 순차적으로 형성된 제1 층간 절연층 및 제2 층간 절연층을 포함하고,
 상기 제1 층간 절연층은 상기 하부 도전 라인의 상기 상면의 주변부를 덮는 제1 계단부를 포함하고,
 상기 제2 층간 절연층은 상기 제1 계단부의 상면을 부분적으로 덮는 제2 계단부를 포함하는, 전극 접속 구조.
- [청구항 3] 청구항 2에 있어서, 상기 비아 홀은 상기 제1 계단부에 의해 정의되는 제1 부분 및 상기 제2 계단부에 의해 정의되며 상기 제1 부분보다 확장된 폭을 갖는 제2 부분을 포함하는, 전극 접속 구조.
- [청구항 4] 청구항 2에 있어서, 상기 제1 계단부 및 상기 제2 계단부는 각각 상기 하부 도전 라인의 상기 상면에 대해 경사진 측벽을 갖는, 전극 접속 구조.
- [청구항 5] 청구항 2에 있어서, 상기 하부 도전 라인의 상면 및 상기 제1 계단부의 상면 사이의 높이는 상기 제1 계단부의 상면 및 상기 제2 계단부의 상면 사이의 높이보다 큰, 전극 접속 구조.
- [청구항 6] 청구항 1에 있어서, 상기 하부 도전 라인의 두께는 상기 상부 도전 라인의 두께보다 큰, 전극 접속 구조.
- [청구항 7] 청구항 1에 있어서, 상기 하부 도전 라인의 두께는 10 μ m 이상인, 전극 접속 구조.
- [청구항 8] 청구항 1에 있어서, 상기 하부 도전 라인 및 상기 상부 도전 라인은 서로 교차하는 방향으로 연장하는, 전극 접속 구조.
- [청구항 9] 기재층 상에 하부 도전 라인을 형성하는 단계;
 상기 기재층 상에 상기 하부 도전 라인을 덮는 제1 코팅층을 형성하는 단계;
 상기 제1 코팅층을 패터닝하여 상기 하부 도전 라인의 상면을 노출시키는 제1 비아 홀을 포함하는 제1 층간 절연층을 형성하는 단계;
 상기 제1 층간 절연층 상에 상기 제1 비아 홀을 채우는 제2 코팅층을 형성하는 단계;
 상기 제2 코팅층을 패터닝하여 상기 하부 도전 라인의 상면을 노출시키며

- 상기 제1 비아 홀보다 확장된 폭을 갖는 제2 비아 홀을 포함하는 제2 층간 절연층을 형성하는 단계; 및
- 상기 제2 층간 절연층 상에 상기 제1 비아 홀 및 상기 제2 비아 홀을 채우며 상기 하부 도전 라인과 연결되는 상부 도전 라인을 형성하는 단계를 포함하는, 전극 접속 구조의 제조 방법.
- [청구항 10] 청구항 9에 있어서, 상기 제1 층간 절연층을 형성하는 단계는 상기 제2 코팅층을 형성하기 전에 상기 제1 코팅층을 프리-베이킹 및 포스트-베이킹하는 것을 포함하는, 전극 접속 구조의 제조 방법.
- [청구항 11] 청구항 10에 있어서, 상기 포스트-베이킹은 상기 프리-베이킹보다 높은 온도에서 긴 시간동안 수행되는, 전극 접속 구조의 제조 방법.
- [청구항 12] 청구항 11에 있어서, 상기 프리-베이킹 및 상기 포스트-베이킹 사이에 노광 공정을 수행하는 것을 더 포함하는, 전극 접속 구조의 제조 방법.
- [청구항 13] 청구항 9에 있어서, 상기 제1 코팅층을 형성하는 단계는 제1 회전 속도로 제1 스핀 코팅 공정을 수행하는 것을 포함하고, 상기 제2 코팅층을 형성하는 단계는 제2 회전 속도로 제2 스핀 코팅 공정을 수행하는 것을 포함하는, 전극 접속 구조의 제조 방법.
- [청구항 14] 청구항 13에 있어서, 상기 제1 회전 속도는 상기 제2 회전 속도보다 작은, 전극 접속 구조의 제조 방법.
- [청구항 15] 청구항 1의 전극 접속 구조를 포함하고,
상기 하부 도전 라인은 복수의 하부 도전 라인들을 포함하고, 상기 상부 도전 라인은 복수의 상부 도전 라인들을 포함하며,
상기 하부 도전 라인들 및 상기 상부 도전 라인들이 상기 비아 홀을 통해서로 조합되어 복수의 도전 코일들을 형성하는, 디지타이저.
- [청구항 16] 청구항 15에 있어서, 상기 하부 도전 라인들은 열 방향으로 연장하는 제1 하부 도전 라인들 및 제2 하부 도전 라인들을 포함하고,
상기 상부 도전 라인들은 행 방향으로 연장하는 제1 상부 도전 라인들 및 제2 상부 도전 라인들을 포함하는, 디지타이저.
- [청구항 17] 청구항 16에 있어서, 상기 도전 코일들은 상기 제1 상부 도전 라인들 및 상기 제2 하부 도전 라인들이 서로 연결되어 형성된 제1 도전 코일; 및
상기 제1 하부 도전 라인들 및 상기 제2 상부 도전 라인들이 서로 연결되어 형성된 제2 도전 코일을 포함하는, 디지타이저.
- [청구항 18] 청구항 15에 있어서, 상기 기재층은 벤딩 영역을 포함하고,
상기 벤딩 영역의 벤딩 축은 상기 상부 도전 라인과 교차하며, 상기 하부 도전 라인과 평행한, 디지타이저.

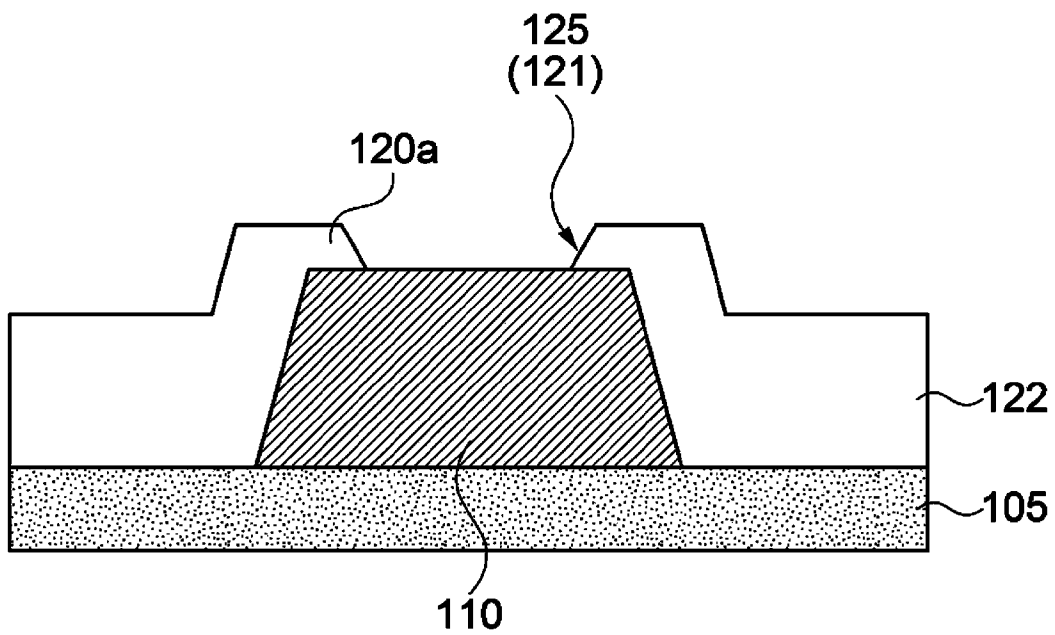
[도1]



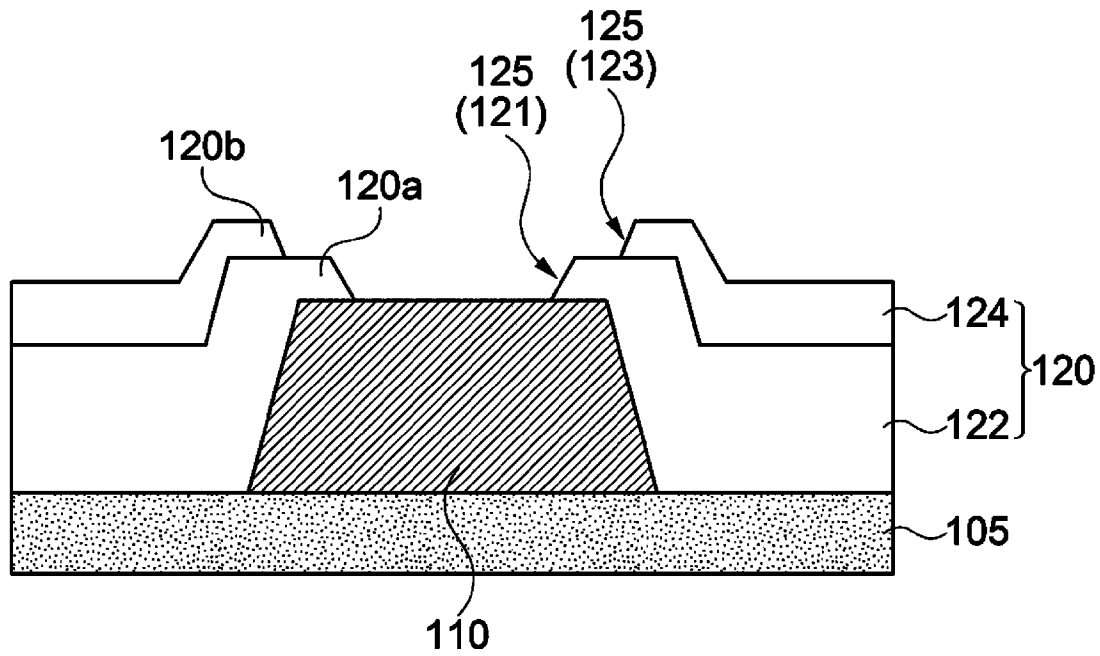
[도2]



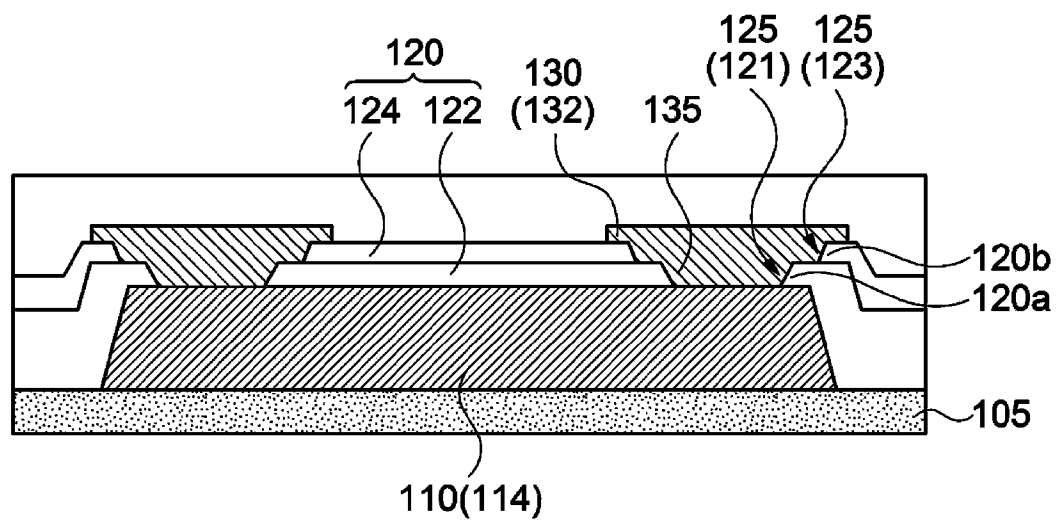
[도3]



[도4]



[도5]

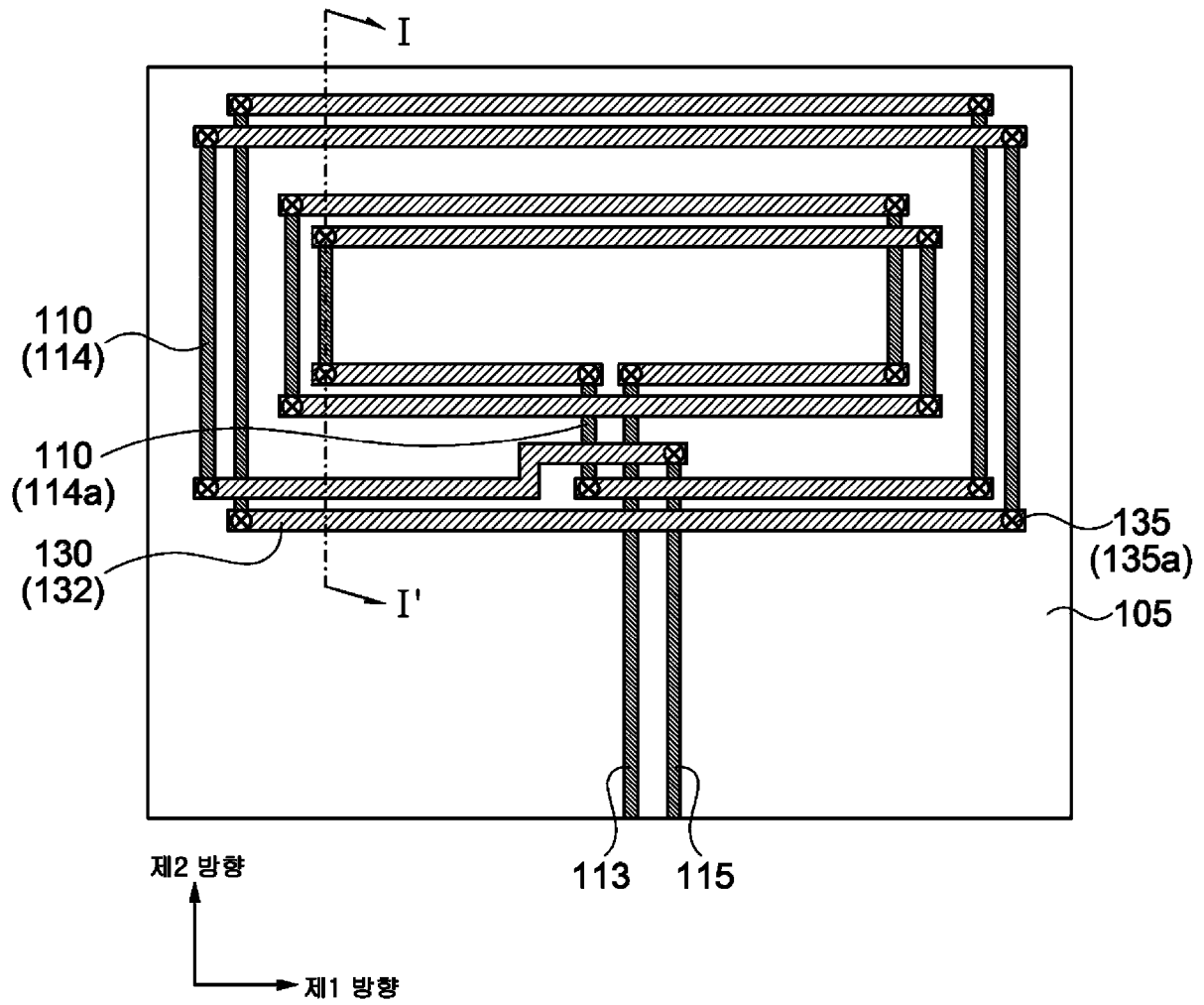
100

제1 방향

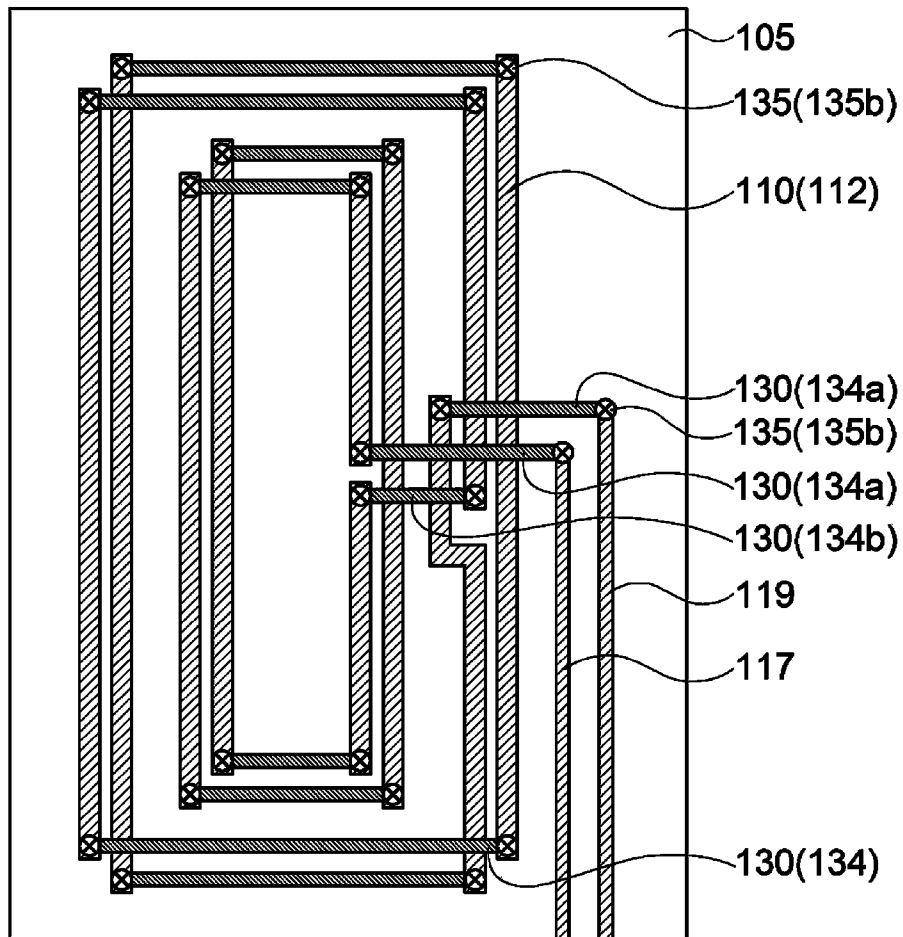


제2 방향

[도6]

50

[도7]

70

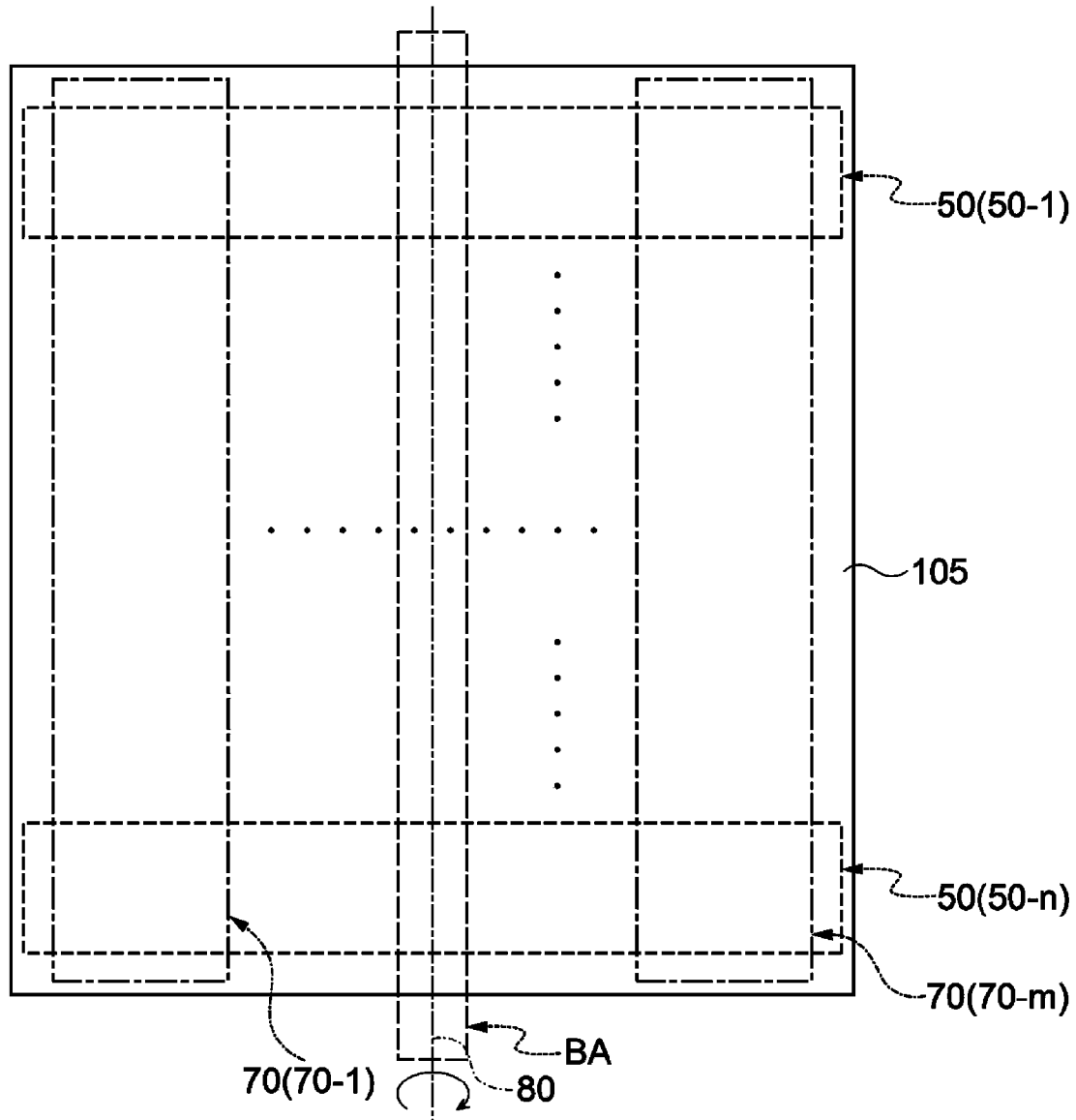
제2 방향



제1 방향



[도8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/000139

A. CLASSIFICATION OF SUBJECT MATTER G06F 3/041(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F 3/041(2006.01); G06F 3/044(2006.01); H01L 51/50(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 디지털타이저(digitizer), 절연층(insulating layer), 도전라인(conductive line), 비아홀(via hole), 계단(stairs)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-164757 A (TRENDON TOUCH TECHNOLOGY CORP.) 08 September 2014 (2014-09-08) See paragraphs [0016]-[0022], [0026] and [0030]; claims 12-13; and figures 2-7.	1-7,9-14
Y		8,15-18
Y	KR 10-2015-0103612 A (LG INNOTEK CO., LTD.) 11 September 2015 (2015-09-11) See paragraphs [0018], [0028]-[0029] and [0036]; claim 1; and figure 1.	8,15-18
Y	KR 10-2021-0016258 A (SAMSUNG DISPLAY CO., LTD.) 15 February 2021 (2021-02-15) See paragraphs [0055] and [0125]-[0127]; claim 8; and figures 1b and 5.	17-18
A	KR 10-2012-0130990 A (SAMSUNG ELECTRONICS CO., LTD.) 04 December 2012 (2012-12-04) See paragraphs [0038]-[0044]; claims 5-6; and figures 5-8.	1-18
A	KR 10-2018-0095174 A (DONGWOO FINE-CHEM CO., LTD.) 27 August 2018 (2018-08-27) See paragraphs [0049]-[0057]; claims 1-7; and figures 1-4.	1-18
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19 April 2022		Date of mailing of the international search report 19 April 2022
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2022/000139

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2014-164757	A	08 September 2014	CN	104007860	A	27 August 2014
				CN	104007860	B	08 February 2017
				EP	2770409	A2	27 August 2014
				EP	2770409	A3	03 May 2017
				EP	2770409	B1	12 February 2020
				JP	5695235	B2	01 April 2015
				KR	10-1604458	B1	17 March 2016
				KR	10-2014-0105370	A	01 September 2014
				US	2014-0240616	A1	28 August 2014
				US	2015-0234486	A1	20 August 2015
				US	2017-0192544	A9	06 July 2017
				US	9733676	B2	15 August 2017
KR	10-2015-0103612	A	11 September 2015	KR	10-2173060	B1	02 November 2020
KR	10-2021-0016258	A	15 February 2021	CN	112306309	A	02 February 2021
				EP	3771974	A1	03 February 2021
				JP	2021-026775	A	22 February 2021
				US	2021-0034180	A1	04 February 2021
KR	10-2012-0130990	A	04 December 2012	EP	2527962	A2	28 November 2012
				EP	2527962	B1	21 November 2018
				US	2012-0299850	A1	29 November 2012
KR	10-2018-0095174	A	27 August 2018	CN	108459762	A	28 August 2018
				CN	108459762	B	09 July 2021
				US	10474266	B2	12 November 2019
				US	2018-0239478	A1	23 August 2018

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G06F 3/041(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) G06F 3/041(2006.01); G06F 3/044(2006.01); H01L 51/50(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 디지털타이저(digitizer), 절연층(insulating layer), 도전라인(conductive line), 비아 홀(via hole), 계단(stairs)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2014-164757 A (TRENDON TOUCH TECHNOLOGY CORP.) 2014.09.08 단락 [0016]-[0022], [0026], [0030]; 청구항 12-13; 및 도면 2-7	1-7,9-14
Y		8,15-18
Y	KR 10-2015-0103612 A (엘지이노텍 주식회사) 2015.09.11 단락 [0018], [0028]-[0029], [0036]; 청구항 1; 및 도면 1	8,15-18
Y	KR 10-2021-0016258 A (삼성디스플레이 주식회사) 2021.02.15 단락 [0055], [0125]-[0127]; 청구항 8; 및 도면 1b, 5	17-18
A	KR 10-2012-0130990 A (삼성전자주식회사) 2012.12.04 단락 [0038]-[0044]; 청구항 5-6; 및 도면 5-8	1-18
A	KR 10-2018-0095174 A (동우 화인켐 주식회사) 2018.08.27 단락 [0049]-[0057]; 청구항 1-7; 및 도면 1-4	1-18
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2022년04월19일(19.04.2022)		국제조사보고서 발송일 2022년04월19일(19.04.2022)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 양정록 전화번호 +82-42-481-5709

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2014-164757 A	2014/09/08	CN 104007860 A	2014/08/27
		CN 104007860 B	2017/02/08
		EP 2770409 A2	2014/08/27
		EP 2770409 A3	2017/05/03
		EP 2770409 B1	2020/02/12
		JP 5695235 B2	2015/04/01
		KR 10-1604458 B1	2016/03/17
		KR 10-2014-0105370 A	2014/09/01
		US 2014-0240616 A1	2014/08/28
		US 2015-0234486 A1	2015/08/20
		US 2017-0192544 A9	2017/07/06
		US 9733676 B2	2017/08/15
KR 10-2015-0103612 A	2015/09/11	KR 10-2173060 B1	2020/11/02
KR 10-2021-0016258 A	2021/02/15	CN 112306309 A	2021/02/02
		EP 3771974 A1	2021/02/03
		JP 2021-026775 A	2021/02/22
		US 2021-0034180 A1	2021/02/04
KR 10-2012-0130990 A	2012/12/04	EP 2527962 A2	2012/11/28
		EP 2527962 B1	2018/11/21
		US 2012-0299850 A1	2012/11/29
KR 10-2018-0095174 A	2018/08/27	CN 108459762 A	2018/08/28
		CN 108459762 B	2021/07/09
		US 10474266 B2	2019/11/12
		US 2018-0239478 A1	2018/08/23