(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0110462
(43) 공개일자 2009년10월22일

(51) Int. Cl.
H01L 29/778 (2006.01)
(21) 출원번호 10-2008-0035977
(22) 출원일자 2008년04월18일
심사청구일자 2008년04월18일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
김태근
경기도 성남시 분당구 이매동 122번지 금강아파트 103-1301
김동호
경기도 부천시 소사구 범박동 현대홈타운아파트 411동 2501호
(뒷면에 계속)
(74) 대리인
김정식

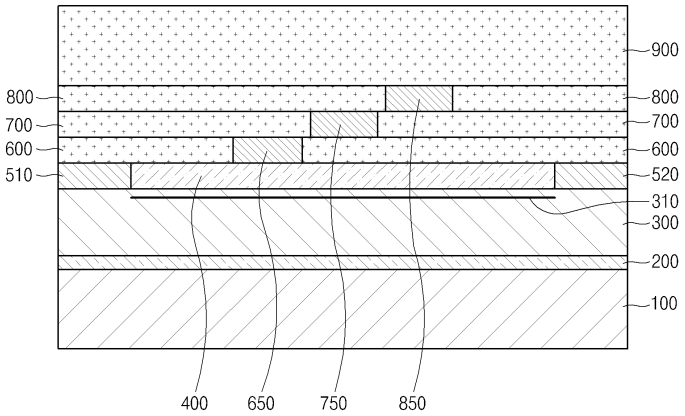
전체 청구항 수 : 총 18 항

(54) 고 전자 이동도 트랜지스터 및 그 제조방법

(57) 요 약

본 발명은 고 전자 이동도 트랜지스터 및 이의 제조 방법을 개시한다. 본 발명은 AlGaN/GaN 고 전자 이동도 트랜지스터의 게이트 전극층을 서로 접촉되지 않는 단차 구조로 형성함으로써, 게이트 전극과 드레인 전극간에 발생하는 전계의 집중을 억제하여 전계의 피크치를 감소시키고, 국부적인 애벌런치 항복의 억제하여 드레인 전류의 증가를 감소시켜 선형적인 드레인 전류 특성을 나타내는 효과가 있다. 또한, 계단형 게이트 전극에 인가되는 입력 전압을 제어함으로써, 소자의 선형성, 고출력 및 고주파 특성을 향상시켜 저전력 소비, 저비용화의 실현이 가능할 뿐만 아니라 RF 소자로의 응용에 적합한 AlGaN/GaN 고이동도 트랜지스터를 제공하는 효과가 있다.

대 표 도 - 도1



(72) 발명자

김수진

서울시 강동구 길1동 349-13

김재무

경기도 안산시 사동 신우A 603동 1301호

특허청구의 범위

청구항 1

반도체 기판;

상기 반도체 기판위에 형성된 고저항층;

상기 고저항층 위에 형성된 장벽층; 및

상기 장벽층위에 형성된 복수의 게이트 전극층을 포함하는 것을 특징으로 하는 고 전자 이동도 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 복수의 게이트 전극층은 서로 접촉되지 않도록 이격되어 형성된 것을 특징으로 하는 고 전자 이동도 트랜지스터.

청구항 3

제 1 항에 있어서,

상기 복수의 게이트 전극층은 서로 단차지도록 형성된 것을 특징으로 하는 고 전자 이동도 트랜지스터.

청구항 4

제 1 항에 있어서,

상기 복수의 게이트 전극층은 상호 접촉되지 않고 점진적으로 상향 또는 하향 단차 구조를 갖도록 형성된 것을 특징으로 하는 고 전자 이동도 트랜지스터.

청구항 5

제 1 항에 있어서,

상기 장벽층과 서로 접촉하면서 상기 고저항층 위에 형성된 소오스 전극층 및 드레인 전극층을 더 포함하는 것을 특징으로 하는 고 전자 이동도 트랜지스터.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 복수의 전극층은 상기 장벽층에 대해서 직상방에 위치하는 것을 특징으로 하는 고 전자 이동도 트랜지스터.

청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 고저항층은 GaN로 형성된 것을 특징으로 하는 고 전자 이동도 트랜지스터.

청구항 8

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 장벽층은 AlGaN로 형성된 것을 특징으로 하는 고 전자 이동도 트랜지스터.

청구항 9

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 반도체 기판과 상기 고저항층 사이에 형성된 버퍼층을 더 포함하는 것을 특징으로 하는 고 전자 이동도 트랜지스터.

청구항 10

(a) 반도체 기판위에 고저항층을 형성하는 단계;

(b) 상기 고저항층위에 장벽층을 형성하는 단계; 및

(c) 상기 장벽층위에 복수의 게이트 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 고 전자 이동도 트랜지스터 제조 방법.

청구항 11

제 10 항에 있어서, 상기 (c) 단계에서

상기 복수의 게이트 전극층은 서로 접촉되지 않도록 이격되어 형성되는 것을 특징으로 하는 고 전자 이동도 트랜지스터 제조 방법.

청구항 12

제 10 항에 있어서, 상기 (c) 단계에서

상기 복수의 게이트 전극층은 서로 단차지도록 형성되는 것을 특징으로 하는 고 전자 이동도 트랜지스터 제조 방법.

청구항 13

제 10 항에 있어서, 상기 (c) 단계에서

상기 복수의 게이트 전극층은 상호 접촉되지 않고 점진적으로 상향 또는 하향 단차 구조를 갖도록 형성되는 것을 특징으로 하는 고 전자 이동도 트랜지스터 제조 방법.

청구항 14

제 10 항에 있어서, 상기 (b) 단계는

(b1) 상기 장벽층을 형성하는 단계; 및

(b2) 상기 고저항층이 드러나도록 상기 장벽층의 일부를 식각하여 소오스 전극층 및 드레인 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 고 전자 이동도 트랜지스터 제조 방법.

청구항 15

제 10 항 내지 제 14 항 중 어느 한 항에 있어서, 상기 (c) 단계에서

상기 복수의 전극층은 상기 장벽층에 대해서 직상방에 위치하도록 형성되는 것을 특징으로 하는 고 전자 이동도 트랜지스터 제조 방법.

청구항 16

제 10 항 내지 제 14 항 중 어느 한 항에 있어서, 상기 (b) 단계에서

상기 고저항층은 GaN로 형성되는 것을 특징으로 하는 고 전자 이동도 트랜지스터 제조 방법.

청구항 17

제 10 항 내지 제 14 항 중 어느 한 항에 있어서, 상기 (c) 단계에서

상기 장벽층은 AlGaN로 형성되는 것을 특징으로 하는 고 전자 이동도 트랜지스터 제조 방법.

청구항 18

제 10 항 내지 제 14 항 중 어느 한 항에 있어서, 상기 (a) 단계에서

상기 반도체 기판에 버퍼층을 형성하고 상기 버퍼층위에 상기 고저항층을 형성하는 것을 특징으로 하는 고 전자 이동도 트랜지스터 제조 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 트랜지스터 및 그 제조 방법에 관한 것으로서, 보다 구체적으로는 고 전자 이동도 트랜지스터 및 그 제조 방법에 관한 것이다.

배 경 기 술

<2> 일반적으로 반도체 물질중에서 밴드갭(Band gap)이 서로 다른 두 물질을 접촉시킬때 밴드갭이 큰 물질을 도핑하면 작은 밴드갭 물질의 전자 친화력이 상대적으로 크므로 도핑한 밴드갭이 큰 물질로부터 도핑하지 않은 밴드갭이 작은 물질로 자유전자가 이동하여 그 경계면에서 100Å정도 아래에 고 전자 이동도의 이차원 전자가스층을 형성하고, 이러한 전자가스층을 이용하여 고 전자 이동도 트랜지스터(High Electron Mobility Transistor)를 제작한다는 것은 이미 잘 알려진 사실이다.

<3> 일반적으로 고 전자 이동도 트랜지스터 (HEMT)는 III-V족 화합물반도체 중 밴드갭에너지 (bandgap energy) 차이가 큰 두 종류의 소재들을 이종접합 (hetero-junction)시켜 이로 인해 발생되는 전도대 (conduction band)의 불연속성 (discontinuity)에 의한 이차원 전자가스층 (2-dimensional electron gas, 2-DEG)을 채널 (channel)로 이용하는 전자소자이다.

<4> 이러한 HEMT의 구현을 위하여 고출력, 고주파 및 고온 특성이 필수적으로 요구되지만, 기존의 III-V족 화합물반도체들의 경우 작은 전도대의 불연속성 및 낮은 항복전압 등과 같은 문제점으로 인해 앞서 기술한 특성들이 제한되는 단점을 갖고 있다.

<5> 이를 해결하기 위하여, 큰 밴드갭에너지 (bandgap energy), 높은 열전도도 (thermal conductivity) 및 높은 항복전압 (breakdown voltage) 등의 우수한 소재적 특성을 바탕으로 하는 질화물 (GaN) 기반의 HEMT가 최근 고주파 대역 (radio frequency, RF)의 전자소자로서 각광받고 있다.

<6> 하지만, AlGaN/GaN HEMT 구현 시, 소자의 특성을 제어하는 게이트 전극 구조로 단일 게이트 전극을 주로 사용하는데, 이러한 전극 구조는 게이트 전극과 드레인 전극 사이에 전계를 집중시켜 게이트 전극의 가장자리에서 집중된 전계에 의한 애벌런치 항복 (avalanche breakdown)을 발생시키게 되며, 이로 인해 항복 전압의 감소 및 비선형적인 드레인 전류의 증가를 가져온다.

<7> 또한, 게이트 전극 영역에서의 항복 현상은 게이트 전극으로의 누설전류 (leakage current)의 증가시키고 소자의 이득 (gain)을 감소시켜 소비 전력의 상승 및 게이트 전극과 드레인 전극 간 커패시턴스 (capacitance)를 증가시켜 고 전자 이동도 트랜지스터의 고출력 및 고주파 특성을 제한시키는 문제점을 나타낸다.

발명의 내용

해결 하고자하는 과제

<8> 본 발명이 해결하고자 하는 과제는 게이트 전극의 가장자리에서 전계가 집중되어 애벌런치 항복이 발생하는 것을 방지하여 고출력 및 고주파 특성이 향상된 고 전자 이동도 트랜지스터를 제공하는 것이다.

과제 해결수단

<9> 상술한 기술적 과제를 이루기 위한 본 발명의 고 전자 이동도 트랜지스터는, 반도체 기판; 반도체 기판위에 형성된 고저항층; 고저항층 위에 형성된 장벽층; 및 장벽층위에 형성된 복수의 게이트 전극층을 포함한다.

<10> 또한, 상술한 복수의 게이트 전극층은 서로 접촉되지 않도록 이격되어 형성될 수 있다.

<11> 또한, 상술한 복수의 게이트 전극층은 서로 단차지도록 형성될 수 있다.

<12> 또한, 상술한 복수의 게이트 전극층은 상호 접촉되지 않고 점진적으로 상향 또는 하향 단차 구조를 갖도록 형성될 수 있다.

<13> 또한, 상술한 고 전자 이동도 트랜지스터는, 장벽층과 서로 접촉하면서 고저항층 위에 형성된 소오스 전극층 및

드레인 전극층을 더 포함할 수 있다.

<14> 또한, 상술한 복수의 전극층은 장벽층에 대해서 직상방에 위치할 수 있다.

<15> 또한, 상술한 고저항층은 GaN로 형성될 수 있다.

<16> 또한, 상술한 장벽층은 AlGaN로 형성될 수 있다.

<17> 또한, 상술한 고 전자 이동도 트랜지스터는 반도체 기판과 고저항층 사이에 형성된 버퍼층을 더 포함할 수 있다.

<18> 한편, 상술한 기술적 과제를 이루기 위한 본 발명의 고전자 이동도 트랜지스터 제조 방법은, (a) 반도체 기판위에 고저항층을 형성하는 단계; (b) 고저항층위에 장벽층을 형성하는 단계; 및 (c) 장벽층위에 복수의 게이트 전극층을 형성하는 단계를 포함한다.

<19> 또한, 상술한 (c) 단계에서, 복수의 게이트 전극층은 서로 접촉되지 않도록 이격되어 형성될 수 있다.

<20> 또한, 상술한 (c) 단계에서, 복수의 게이트 전극층은 서로 단차지도록 형성될 수 있다.

<21> 또한, 상술한 (c) 단계에서, 복수의 게이트 전극층은 상호 접촉되지 않고 점진적으로 상향 또는 하향 단차 구조를 갖도록 형성될 수 있다.

<22> 또한, 상술한 (b) 단계는, (b1) 장벽층을 형성하는 단계; 및 (b2) 고저항층이 드러나도록 장벽층의 일부를 식각하여 소오스 전극층 및 드레인 전극층을 형성할 수 있다.

<23> 또한, 상술한 (c) 단계에서, 복수의 전극층은 장벽층에 대해서 직상방에 위치하도록 형성될 수 있다.

<24> 또한, 상술한 (b) 단계에서, 고저항층은 GaN로 형성될 수 있다.

<25> 또한, 상술한 (c) 단계에서, 장벽층은 AlGaN로 형성될 수 있다.

<26> 또한, 상술한 (a) 단계에서, 반도체 기판에 버퍼층을 형성하고 버퍼층위에 고저항층을 형성할 수 있다.

효 과

<27> 상술한 바와 같이, 본 발명은 AlGaN/GaN 고 전자 이동도 트랜지스터의 게이트 전극층을 서로 접촉되지 않는 단차 구조로 형성함으로써, 게이트 전극과 드레인 전극간에 발생하는 전계의 집중을 억제하여 전계의 피크치를 감소시키고, 국부적인 애벌런치 항복의 억제하여 드레인 전류의 증가를 감소시켜 선형적인 드레인 전류 특성을 나타내는 효과가 있다.

<28> 또한, 계단형 게이트 전극에 인가되는 입력 전압을 제어함으로써, 소자의 선형성, 고출력 및 고주파 특성을 향상시켜 저전력 소비, 저비용화의 실현이 가능할 뿐만 아니라 RF 소자로의 응용에 적합한 AlGaN/GaN 고이동도 트랜지스터를 제공하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<29> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 따른 고 전자 이동도 트랜지스터 및 이의 제조 방법을 설명한다.

<30> 도 1 은 본 발명의 바람직한 실시 예에 따른 고 전자 이동도 트랜지스터의 구조를 도시하는 도면이다. 도 1 을 참조하면, 본 발명의 고 전자 이동도 트랜지스터(이하, "HEMT"로 약칭함)는 실리콘 기판, 사파이어(Al_2O_3) 기판, 또는 실리콘 카바이드(SiC) 기판으로 구현되는 반도체 기판(100)위에 AlN, ZrN, TiN 또는 HfN 등의 금속-질화물계 버퍼층(200)이 형성되고, 버퍼층(200)위에 1×10^{15} /cm 농도로 도핑된 GaN층인 고저항층(300)이 형성된다.

<31> 한편, 고저항층(300)위에는 고저항층(300)보다 더 넓은 밴드갭을 갖는 장벽층(400)이 중앙에 형성되고, 장벽층(400)의 양 옆에는 소오스 전극층(510)과 드레인 전극층(520)이 각각 형성되어 있다. 장벽층(400)은 Al이 약 30 % 포함된 도핑되지 않은 AlGaN 층으로 구현되는 것이 바람직하다.

<32> 한편, 장벽층(400)위에 복수의 게이트 전극층이 서로 중첩되지 않도록 계단식으로 형성된다.

<33> 구체적으로, 장벽층(400)위에 제 1 게이트 전극층(650)이 형성되고, 제 1 게이트 전극층(650)이 형성되지 않은 장벽층(400)의 상부와 소오스 전극층(510) 및 드레인 전극층(520)위에는 제 1 절연층(600)이 형성된다.

<34> 또한, 장벽층(400)위에 형성된 제 1 절연층(600)위에 제 1 게이트 전극층(650)과 중첩되지 않도록 제 2 게이트 전극층(750)이 형성되고, 제 2 게이트 전극층(750) 주변에 제 2 절연층(700)이 형성된다.

<35> 또한, 장벽층(400)위에 형성된 제 1 절연층(600) 및 장벽층(400) 상부 영역으로서 제 1 절연층(600) 위에 형성된 제 2 절연층(700) 위에 제 3 게이트 전극층(850)이 제 2 게이트 전극층(750)과 중첩되지 않도록 형성되고 그 주변에 제 3 절연층(800)이 형성되며, 제 3 게이트 전극층(850) 및 제 3 절연층(800) 위에 제 4 절연층(900)이 형성된다.

<36> 상술한 본 발명의 고 전자 이동도 트랜지스터에 형성된 게이트 전극 구조는 복수의 게이트 전극층이 서로 접촉되지 않으면서 장벽층의 직상부에 위치하는 것을 특징으로 하고, 특히, 복수의 게이트 전극층들이 점진적으로 상향 또는 하향 단차 구조로 형성되는 것을 특징으로 한다. 이하에서는 이러한 게이트 전극층들의 구조를 계단형 게이트 전극 구조로 약칭한다.

<37> 또한, 본 발명의 복수의 게이트 전극층들에 게이트 전압을 인가하면 장벽층과 고저항층의 경계로부터 고저항층 내부로 약 10 nm의 깊이에 2차원 전자가스층(2-DEG층;310)이 형성된다.

<38> 도 2a 내지 도 2s는 본 발명의 바람직한 실시 예에 따른 고 전자 이동도 트랜지스터의 제조 방법을 설명하는 도면이다. 도 2a 내지 도 2s 를 참조하여 본 발명의 바람직한 실시 예에 따른 고 전자 이동도 트랜지스터의 제조 방법을 설명한다.

<39> 먼저, 도 2a 를 참조하면, 실리콘 기판, 사파이어(Al_2O_3) 기판, 또는 실리콘 카바이드(SiC) 기판으로 구현되는 반도체 기판위에 AlN, ZrN, TiN 또는 HfN 등의 금속-질화물계 버퍼층(200)을 스퍼터링(sputtering) 방법, ALD(atomic layer deposition) 방법, 또는 CVD(chemical-vapor deposition) 방법 등을 이용하여 약 25 nm의 두께로 형성한다.

<40> 그 후, 도 2b 에 도시된 바와 같이, 버퍼층(200)위에 metal-organic chemical vapor deposition (MOCVD) 방법이나 molecular-beam epitaxy (MBE) 방법을 이용하여 1×10^{15} /cm의 농도로 도핑된 GaN층인 고저항층(300)을 1.5 μm 내지 2 μm 두께로 형성한다.

<41> 고저항층(300)이 형성된 후, 도 2c 에 도시된 바와 같은, 알루미늄 (Al)이 30 % 포함된 도핑되지 않은 장벽층(400)인 $Al_{0.3}Ga_{0.7}N$층을 약 25 nm 내지 30 nm 두께로 고저항층(300) 위에 MOCVD (Metal-Organic Chemical Vapor Deposition) 방법이나 MBE(Molecular-Beam Epitaxy) 방법을 이용해 형성한다. 이 때, $Al_{0.3}Ga_{0.7}N$층의 도핑 농도는 약 1×10^{12} /cm 이하가 바람직하다.

<42> 그 후, 도 2d 에 도시된 바와 같이, 소오스 전극층(510) 및 드레인 전극층(520)을 형성하기 위해서 장벽층(400)의 일부를 식각하여 제거한다. 본 발명의 바람직한 실시예는 BCl_3/Cl_2 혼합가스(37.5:7.5 비율)를 이용하여 장벽층(400)을 ICP/RIE 건식식각한 후, HCl (염산) 용액을 이용하여 린싱(Rinsing)한다. 이 때, 식각 두께는 약 30 nm 정도가 바람직하다.

<43> 식각이 완료되면, 도 2e 에 도시된 바와 같이, 식각된 영역에 전자선 증발법(e-beam evaporation)을 이용해 Ti(300Å)/Al(1000Å)/Ni(300Å)/Au(1000Å)의 순서로 소오스 및 드레인 전극층(520)을 형성한다. 증착 공정을 수행한 후, 우수한 오믹 특성을 얻기 위해서 질소 분위기 (N_2)에서 약 900 ℃로 30초간 급속열처리(rapid thermal annealing, RTA) 공정을 수행하는 것이 바람직하다.

<44> 그 후, 도 2f 에 도시된 바와 같이, 소오스 및 드레인 전극이 형성된 HEMT 소자의 표면 누설전류 및 표면 보호를 위해서 장벽층(400)과 소오스 전극층(510) 및 드레인 전극층(520)위에 제 1 절연층(600)을 ALD(atomic layer deposition) 방법을 이용해서 200 nm 두께로 형성하고, 제 1 게이트 전극층(650)을 장벽층(400) 위에 형성하기 위해서 도 2g 에 도시된 바와 같이, 제 1 절연층(600)의 일부를 식각한 후, 도 2h 에 도시된 바와 같이, 식각 영역에 제 1 게이트 전극층(650)을 형성한다.

<45> 본 발명의 바람직한 실시 예는, 제 1 게이트 전극층(650)을 형성하기 위해서, Si_3N_4로 형성된 제 1 절연층(600)을 O_2/SF_6 혼합가스를 5:45 비율로 혼합하여 ICP/RIE 건식식각한 후 BOE (buffered oxide etchant, 5:1 희석 불산) 용액을 이용하여 1분간 린싱하고, Ni(500Å)/Au(1500Å)를 이용하여 전자선 증발법으로 제 1 게이트 전극층(650)을 형성한다.

<46> 본 발명의 바람직한 실시 예의 제 1 게이트 전극층(650)의 위치는 소오스 전극층(510)으로부터 1 μm 정도 이격되어 위치하는 것이 바람직하며, 그 폭은 500 nm로 형성되는 것이 적당하다.

<47> 한편, 제 1 절연층(600) 및 제 1 게이트 전극층(650)이 형성된 후, 그 위에 제 2 절연층(700)을 200 nm의 두께로 제 1 절연층(600)과 동일한 물질과 동일한 방식으로 형성하고(도 2i 참조), 제 2 게이트 전극층(750)을 형성하기 위해서, 도 2g 를 참조하여 상술한 것과 동일한 방식으로 제 2 절연층(700)의 일부를 식각한 후(도 2j 참조), 도 2h 를 참조하여 상술한 것과 동일한 방식으로 제 2 게이트 전극층(750)을 형성한다(도 2k 참조).

<48> 상술한 과정에서 형성되는 제 2 게이트 전극층(750)은 장벽층(400)의 상부 영역에 위치하고, 제 1 게이트 전극층(650)과 중첩되지 않도록 형성된다. 본 발명의 바람직한 실시 예에서, 제 2 게이트 전극층(750)은 제 1 게이트 전극층(650)과 100 nm 정도 이격된 위치에 500 nm의 폭으로 형성되는 것이 바람직하다.

<49> 한편, 제 2 절연층(700) 및 제 2 게이트 전극층(750)이 형성된 후, 그 위에 제 3 절연층(800)을 200 nm의 두께로 제 1 절연층(600) 및 제 2 절연층(700)과 동일한 물질과 동일한 방식으로 형성하고(도 2l 참조), 제 3 게이트 전극층(850)을 형성하기 위해서, 도 2g 및 도 2j 를 참조하여 상술한 것과 동일한 방식으로 제 3 절연층(800)의 일부를 식각한 후(도 2m 참조), 도 2h 및 도 2k 를 참조하여 상술한 것과 동일한 방식으로 제 3 게이트 전극층(850)을 형성한다(도 2n 참조).

<50> 상술한 과정에서 형성되는 제 3 게이트 전극층(850)은 장벽층(400)의 상부 영역에 위치하고, 제 1 게이트 전극층(650) 및 제 2 게이트 전극층(750)과 중첩되지 않도록 형성된다. 본 발명의 바람직한 실시예에서, 제 3 게이트 전극층(850)은 제 2 게이트 전극층(750)과 100 nm 정도 이격된 위치에 500 nm의 폭으로 형성되는 것이 바람직하다.

<51> 제 3 게이트 전극층(850)과 제 3 절연층(800)이 형성된 후, 도 2o 에 도시된 바와 같이, 제 3 게이트 전극층(850) 및 제 3 절연층(800)의 상부에 제 4 절연층(900)을 ALD(atomic layer deposition) 방법을 이용해 형성한다. 이 때, 증착하는 제 4 절연층(900)은 제 1 절연층(600) 내지 제 3 절연층(800)과 동일한 물질로 약 1 μm 두께로 형성되는 것이 바람직하다.

<52> 제 4 절연층(900)이 형성된 후, 후술하는 바와 같이, 절연층을 관통하여 각 게이트 전극층들이 드러나게 하는 비아홀(via hole)을 형성하고, 그 내부에 게이트 전극층들로 전압을 인가하기 위한 게이트 전극 제어부들을 형성한다.

<53> 도 2p 내지 도 2S 를 참조하여 설명하면, 먼저, 제 4 절연층(900) 중 제 1 게이트 전극층(650)에 대응되는 영역에 제 1 게이트 전극 제어부(1000)와 제 1 게이트 전극층(650)을 연결하는 비아-홀 (920;via-hole)의 형성을 위해 티타늄 (Ti)을 전자선 증발법 (e-beam evaporation) 방법을 이용해 식각을 위한 금속 마스크(910)를 패터닝한다(도 2p 참조).

<54> 그 후, 도 2q 에 도시된 바와 같이, 비아-홀 형성을 위해 제 4 절연층(900)부터 제 2 절연층(700)까지 O_2/SF_6 혼합가스를 5:45 비율로 혼합하여 ICP/RIE 건식식각을 수행한 후 BOE (buffered oxide etchant, 5:1 희석 불산) 용액을 이용하여 1분간 린싱(rinsing)한다. 이 후, 생성된 비아-홀의 금속 접착도(adhesion)를 향상시키기 위해 Au(930)를 스퍼터링(sputtering) 방법을 이용하여 seeding하고, 5:1 BOE 용액을 이용해 Ti 금속 마스크를 식각하여 제거한다. 이 때, seeding 되는 Au의 두께는 약 100 Å정도가 적당하다.

<55> 그 후, 도 2r 에 도시된 바와 같이, 비아-홀(via hole)을 포토레지스트(photoresist, PR, 미도시됨)로 패터닝한 후, 도금 (Au-plating) 방법을 이용하여 제 1 게이트 제어 전극부(1010)를 형성한다. 이 때, 형성하는 Au 전극 제어부의 두께는 1 μm 정도가 바람직하다.

<56> 또한, 도 2s 에 도시된 바와 같이, 제 1 게이트 제어 전극부(1010)를 형성한 방식과 동일한 방식으로 제 2 게이트 전극층(750)에 대한 제 2 게이트 제어 전극부(1020)와 제 3 게이트 전극층(850)에 대한 제 3 게이트 제어 전극부(1030)를 차례로 형성하여 고 전자 이동도 트랜지스터를 완성한다.

<57> 지금까지 본 발명의 바람직한 실시 예에 따른 고 전자 이동도 트랜지스터 및 그 제조 방법을 설명하였다. 상술한 실시 예는 본 발명의 기술적 사상의 범위내에서 다양한 변형예가 도출될 수 있다. 예컨대, 상술한 본 발명의 바람직한 실시 예에서는 제 1 절연층(600) 내지 제 4 절연층(900)을 동일한 물질로 형성하는 것으로 기재하였으나 서로 다른 물질로 형성될 수도 있다. 또한, 절연층들을 식각하는 방식이나 비아홀을 형성하는 방식도 서로 다른 방식이 적용될 수도 있다.

<58> 도 3 내지 도 6 은 본 발명에 따른 고 전자 이동도 트랜지스터의 성능과 종래의 단일 전극 구조를 갖는 고 전자 이동도 트랜지스터의 성능을 비교하는 도면이다.

<59> 먼저, 도 3 은 종래의 단일 게이트 전극 구조의 고 전자 이동도 트랜지스터와 본 발명의 고 전자 이동도 트랜지스터의 전계 분산도(electric field distribution) 및 전류 유동도(current-flow ratio)를 비교하는 도면이다.

<60> 도 3 에 도시된 바와 같이, 단일 게이트 전극 구조에서 발생하는 게이트 전극 가장자리의 전계는 약 7×10^5 V/cm의 상대적으로 높은 전계 분산도를 가지는 반면, 본 발명의 계단형 게이트 전극 구조의 경우 약 2.5×10^5 V/cm의 낮은 전계 분산도를 보임에 따라 효과적으로 게이트 전극의 가장자리 항복 현상을 억제할 수 있다. 또한, 전류 유동도를 고려했을 때, 단일 게이트 전극 구조의 경우 게이트 전극 부근에서 항복현상에 의해 발생한 추가적인 캐리어들로 인한 급격한 전류 흐름의 증가를 보이는 반면, 계단형 게이트 전극 구조의 경우 전계가 효과적으로 분산됨에 따라 항복현상의 억제로 인해 급격한 전류 유동의 증가 역시 억제된다.

<61> 도 4는 종래의 단일 게이트 전극 구조의 고 전자 이동도 트랜지스터와 본 발명의 고 전자 이동도 트랜지스터의 (a) I_D-V_D 특성 비교, (b) I_D-V_G 특성 비교, (c) 기판 누설전류 비교 및 (d) 2-DEG 내 온도 특성 비교를 각각 도시한 도면이다.

<62> 도 4의 (a)에서 도시한 드레인 전류-드레인 전압 특성 (I_D-V_D)에서와 같이 종래 구조에서의 DC 특성은 상기한 항복현상에 의해 발생된 추가적인 캐리어들로 인해 게이트 전압에 의한 핀치오프 (pinch-off) 지점 이후부터 급격한 드레인 전류의 증가를 보이는 반면, 본 발명의 경우에 DC 특성은 넓어진 게이트 면적으로 인해 드레인 전류가 다소 감소한 특성을 나타내지만 핀치오프 지점 이후에서 발생하는 급격한 드레인 전류의 증가가 제어된 안정적인 드레인 전류 특성을 보인다.

<63> 도 4의 (b)의 드레인 전류-게이트 전압 (ID-VG) 특성은 본 발명의 경우가 종래 구조에 비해 약 15 % 정도 낮은 전류 특성에도 불구하고 약 10 % 정도 증가한 이득 (transconductance, Gm) 특성을 나타냄을 알 수 있다.

<64> 또한, 도 4의 (c) 및 (d)에서 도시되 바와 같이, 게이트 전압에 의해 발생하는 기판으로의 누설전류 및 2-DEG 내 온도변화의 경우, 기존 단일 게이트 구조에 비해 본 발명에서 제안한 계단형 적층 게이트 구조의 기판 누설전류는 게이트 전압 0 V 기준으로 고려했을 때 약 50 % 정도 감소된 향상된 특성을 갖으며 2-DEG 채널 내 생성되는 열특성 역시 상대적으로 적게 발생함을 알 수 있다.

<65> 도 5는 종래의 단일 게이트 전극 구조의 고 전자 이동도 트랜지스터와 본 발명의 고 전자 이동도 트랜지스터의 (a) C_{gd} 특성 비교 및 (b) C_{gs} 특성 비교를 각각 도시한 도면이다.

<66> 도 5 에 도시된 바와 같이 계단형 게이트 전극의 구조적인 특성으로 인해 기존 구조에 비해 게이트-드레인 전극간 커패시턴스 값과 게이트-소스 전극간 커페시턴스 값이 약 2배 이상 증가한 특성을 얻은 데 반해서 상대적으로 안정적인 DC 특성이 확보되어 전반적인 G_m 값은 증가하는 특성을 보임을 알 수 있다.

<67> 도 6 은 종래의 단일 게이트 전극 구조의 고 전자 이동도 트랜지스터와 본 발명의 고 전자 이동도 트랜지스터의 transducer 전력이득 (G_T) 특성을 비교한 도면이다.

<68> 본 발명의 계단형 게이트 전극 구조의 경우 종래 단일 전극 구조의 차단주파수 (cut-off frequency)는 약 0.3 GHz 정도 감소하는 경향이 있는 반면 단일 소자를 통해서 확보가능한 전력이득인 transducer 전력 이득은 약 3 dB 정도 증가하는 향상된 고주파 특성을 보여준다.

<69> 이제까지 본 발명에 대하여 그 바람직한 실시 예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허 청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

<70> 도 1 은 본 발명의 바람직한 실시예에 따른 고 전자 이동도 트랜지스터의 구조를 도시하는 도면이다.

<71> 도 2a 내지 도 2s는 본 발명의 바람직한 실시예에 따른 고 전자 이동도 트랜지스터의 제조 방법을 설명하는 도

면이다.

<72> 도 3 은 종래의 단일 게이트 전극 구조의 고 전자 이동도 트랜지스터와 본 발명의 고 전자 이동도 트랜지스터의 전계 분산도 및 전류 유동도를 비교하는 도면이다.

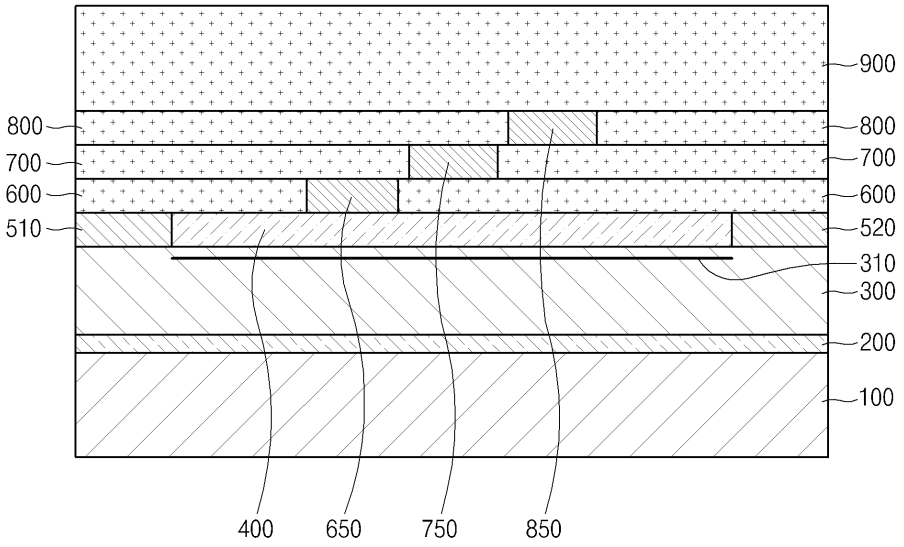
<73> 도 4 는 종래의 단일 게이트 전극 구조의 고 전자 이동도 트랜지스터와 본 발명의 고 전자 이동도 트랜지스터의 (a) I_D-V_D 특성 비교, (b) I_D-V_G 특성 비교, (c) 기판 누설전류 비교 및 (d) 2-DEG 내 온도 특성 비교를 각각 도시한 도면이다.

<74> 도 5는 종래의 단일 게이트 전극 구조의 고 전자 이동도 트랜지스터와 본 발명의 고 전자 이동도 트랜지스터의 (a) C_{gd} 특성 비교 및 (b) C_{gs} 특성 비교를 각각 도시한 도면이다.

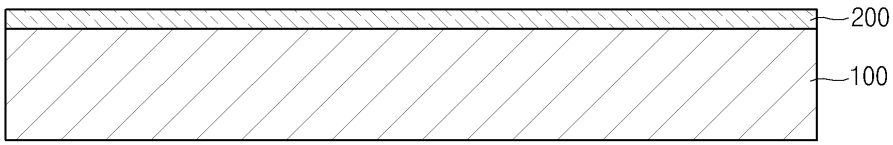
<75> 도 6 은 종래의 단일 게이트 전극 구조의 고 전자 이동도 트랜지스터와 본 발명의 고 전자 이동도 트랜지스터의 transducer 전력이득 (G_T) 특성을 비교한 도면이다.

도면

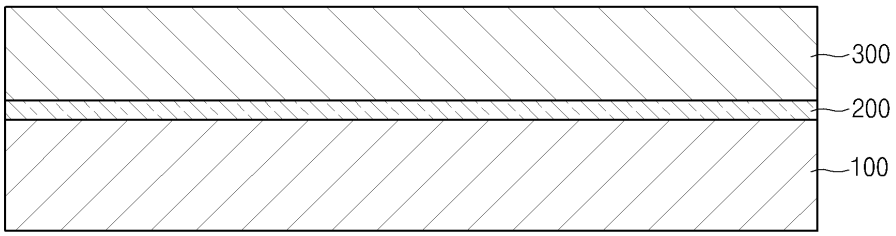
도면1



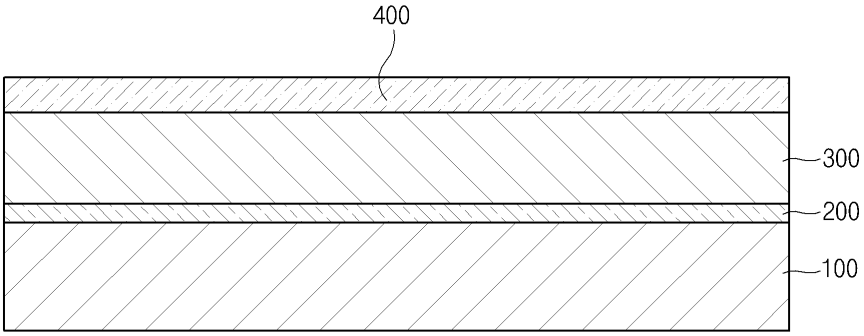
도면2a



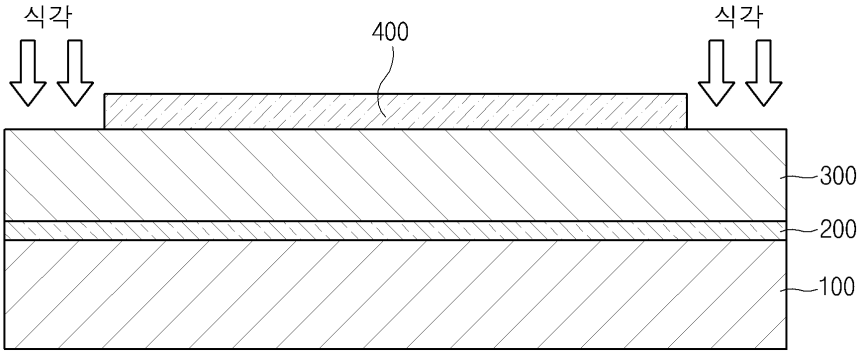
도면2b



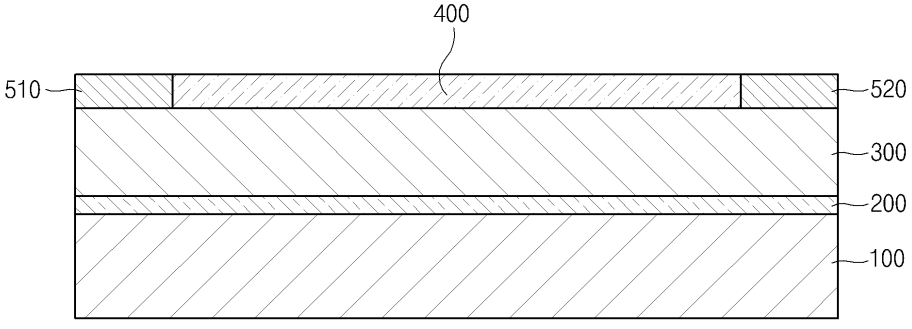
도면2c



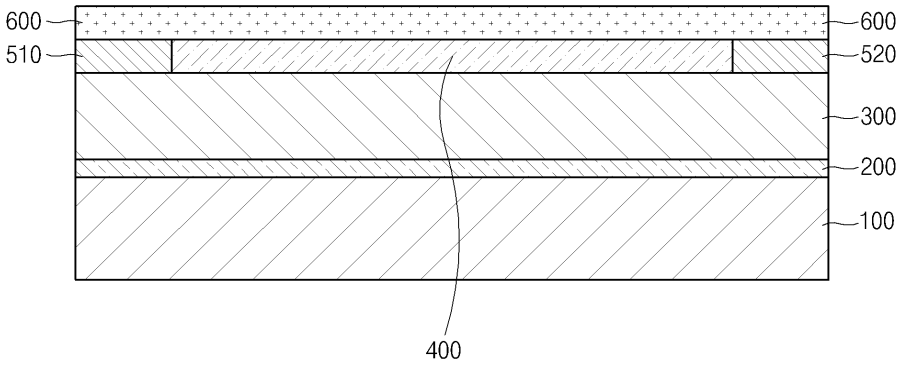
도면2d



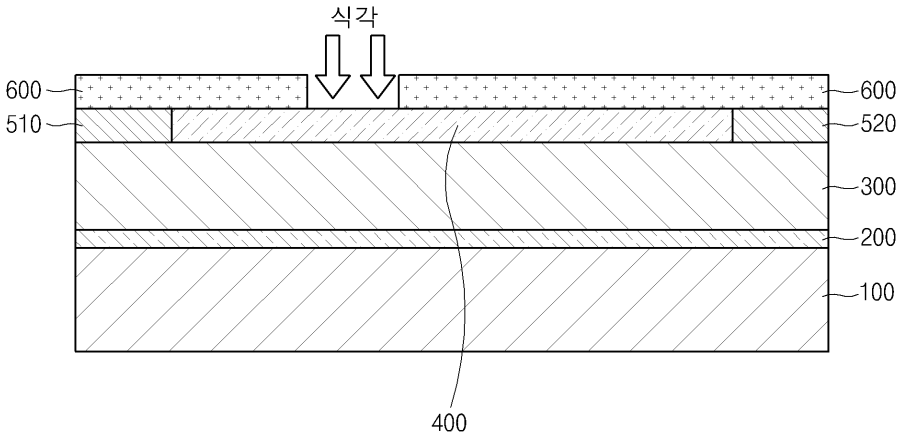
도면2e



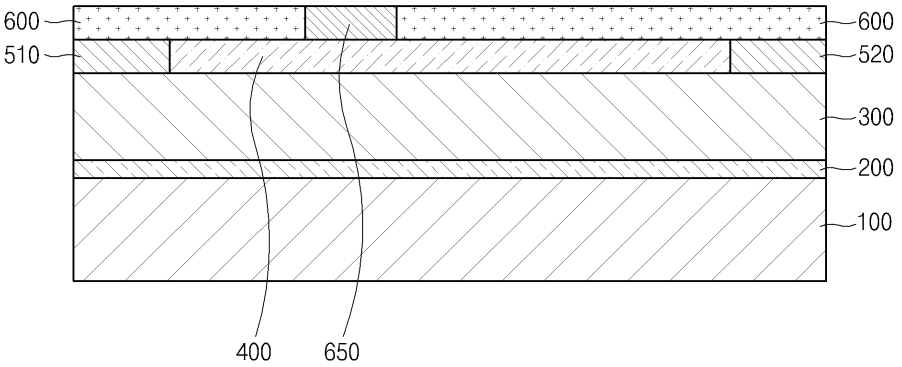
도면2f



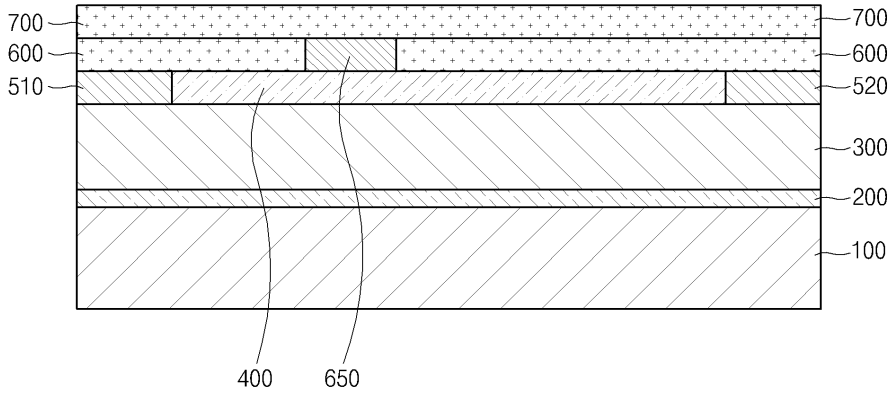
도면2g



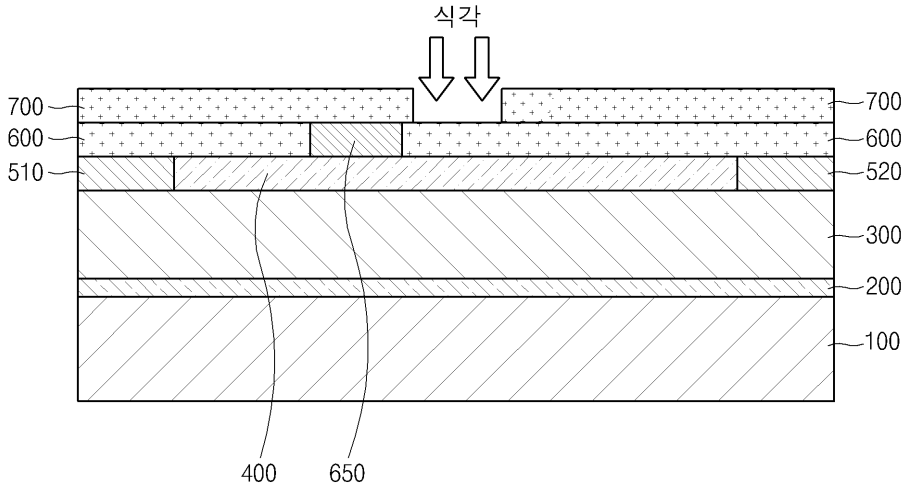
도면2h



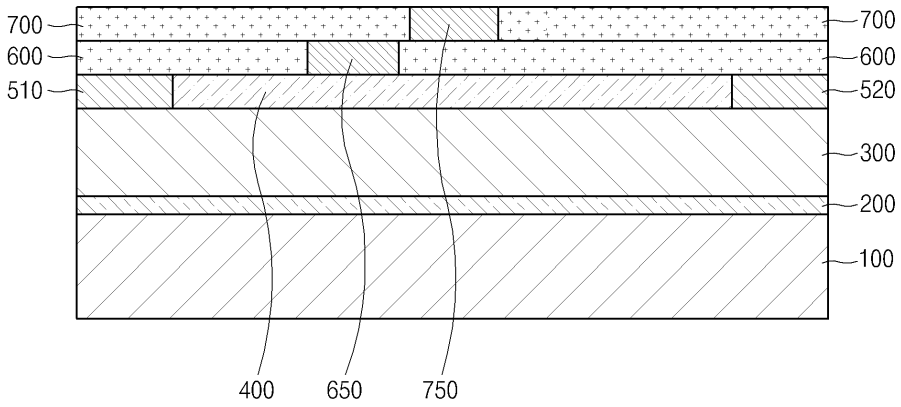
도면2i



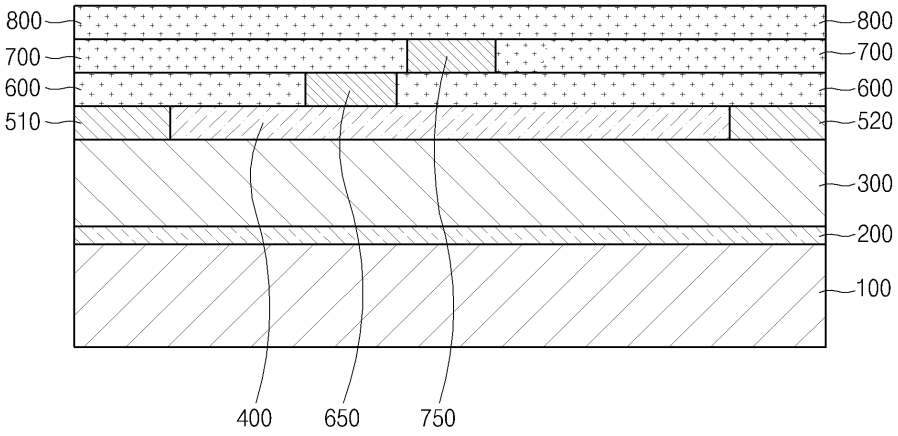
도면2j



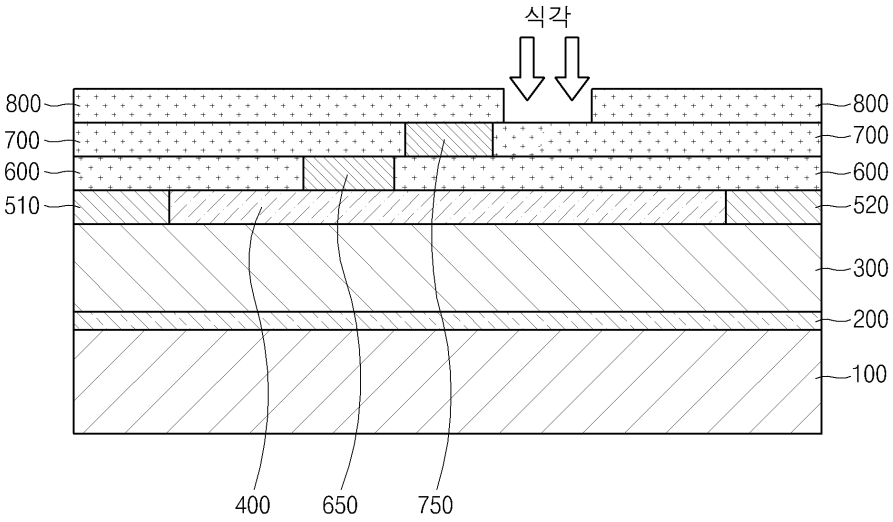
도면2k



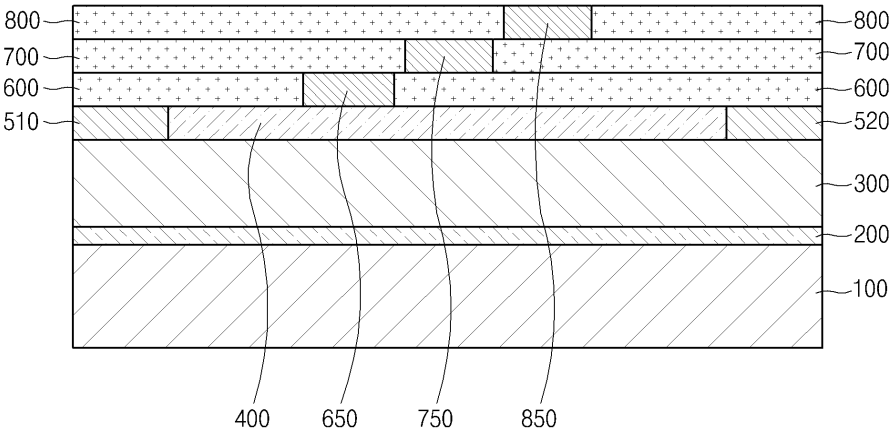
도면21



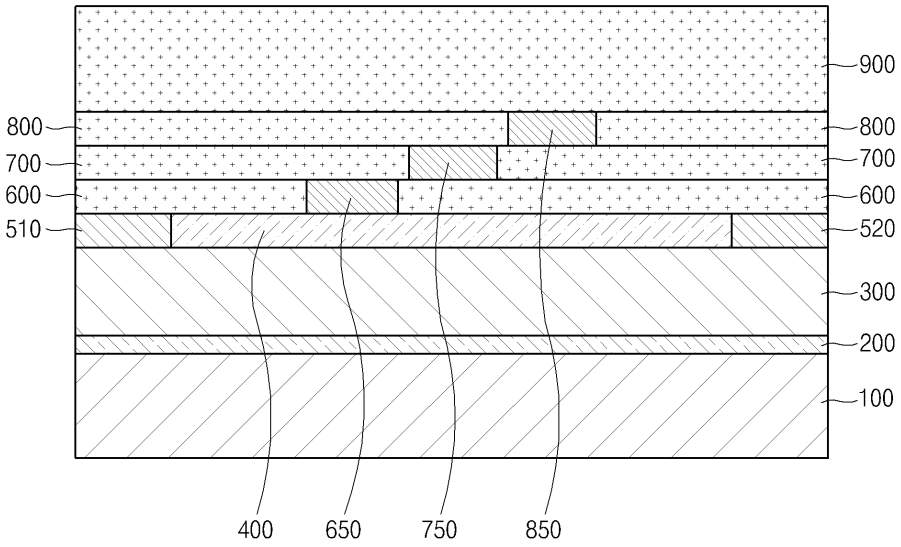
도면2m



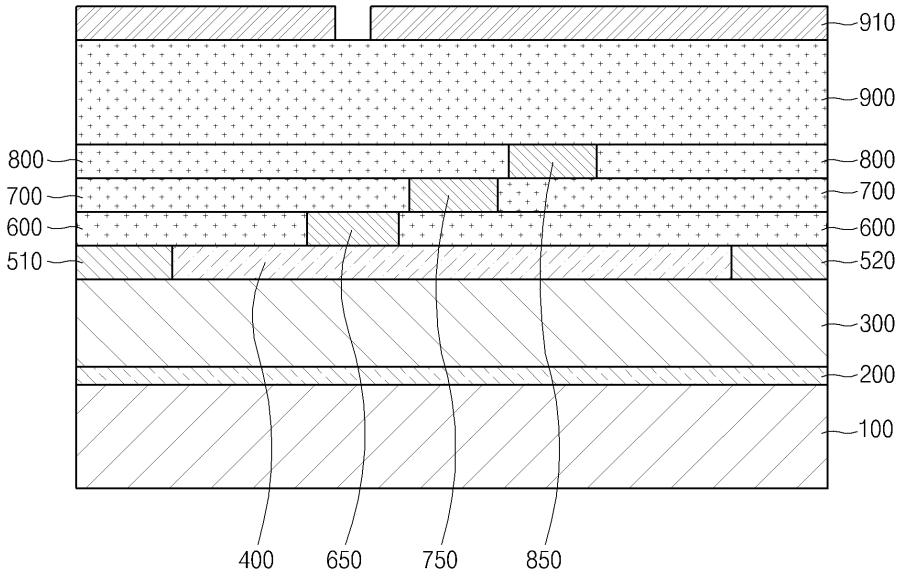
도면2n



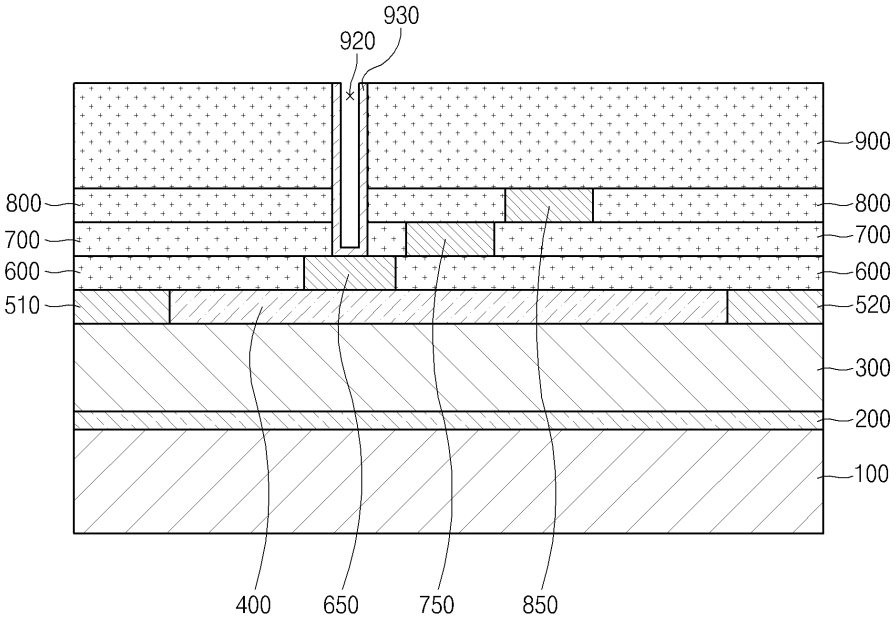
도면2o


900
800
800
700
700
600
600
510
520
300
200
100
400
650
750
850

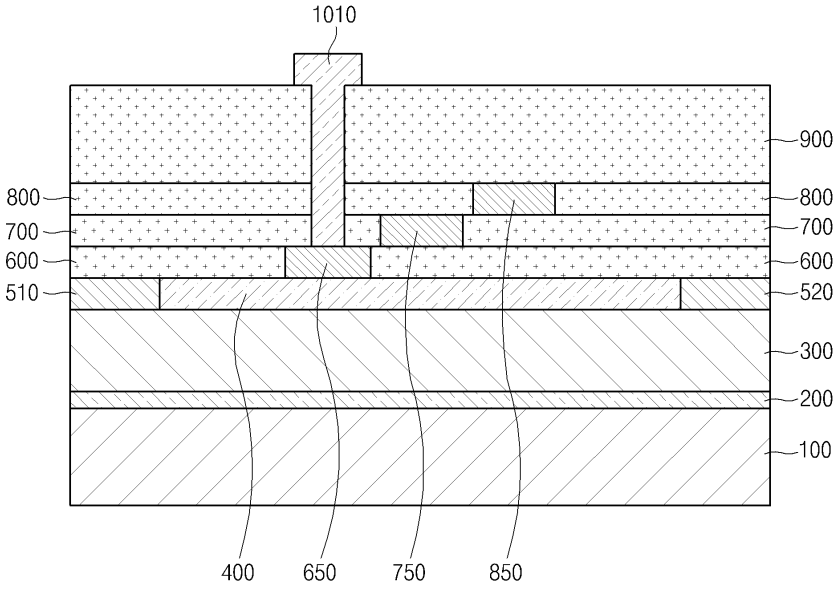
도면2p


910
900
800
800
700
700
600
600
510
520
300
200
100
400
650
750
850

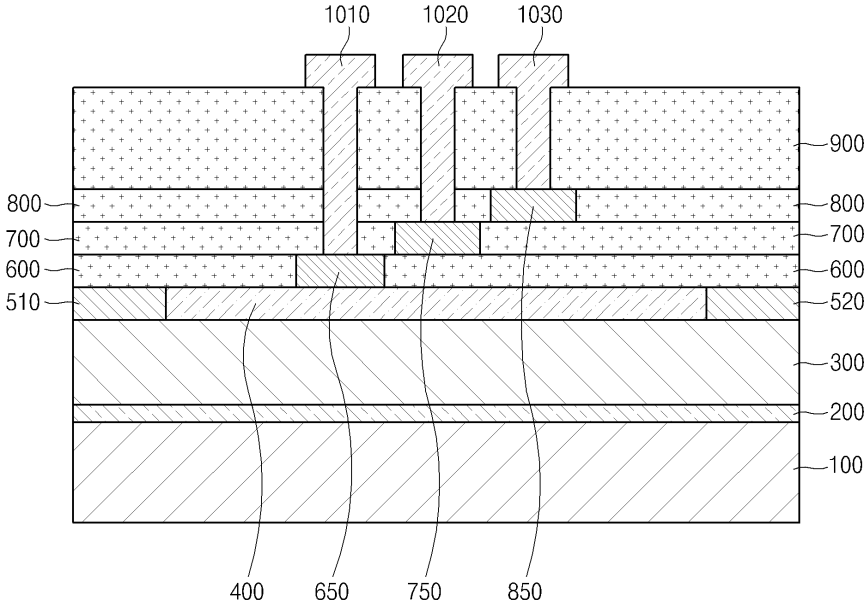
도면2q


930
920
900
800
800
700
700
600
600
510
520
300
200
100
400
650
750
850

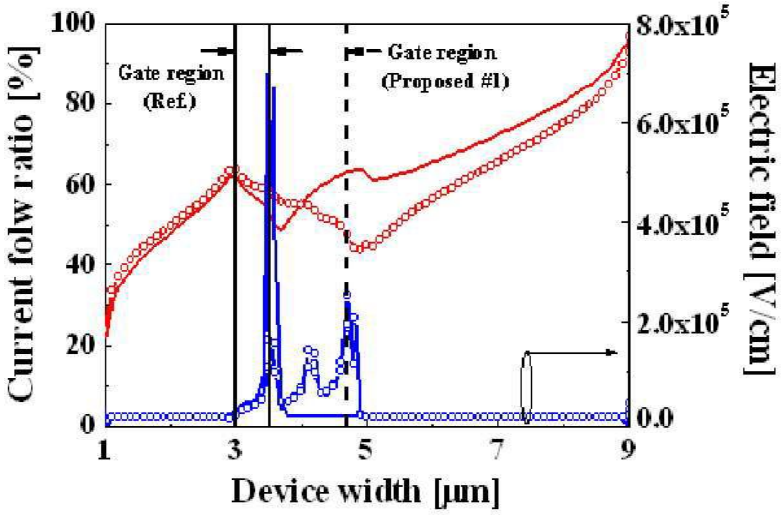
도면2r


1010
900
800
800
700
700
600
600
510
520
300
200
100
400
650
750
850

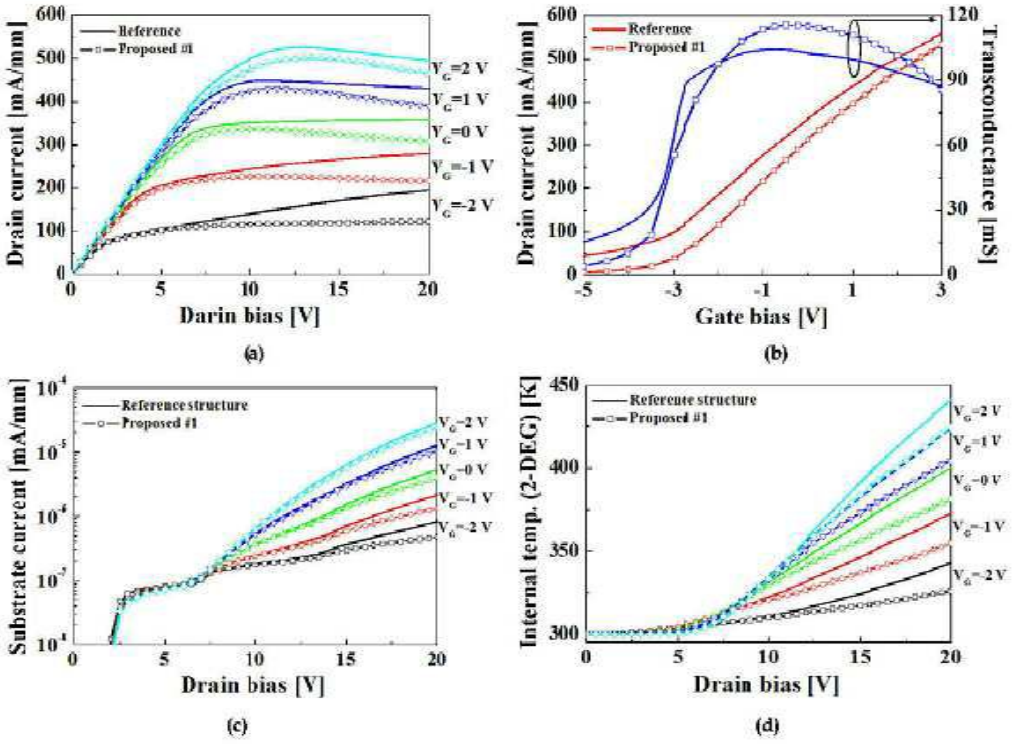
도면2s


1010
1020
1030
900
800
700
600
510
800
700
600
520
300
200
100
400
650
750
850

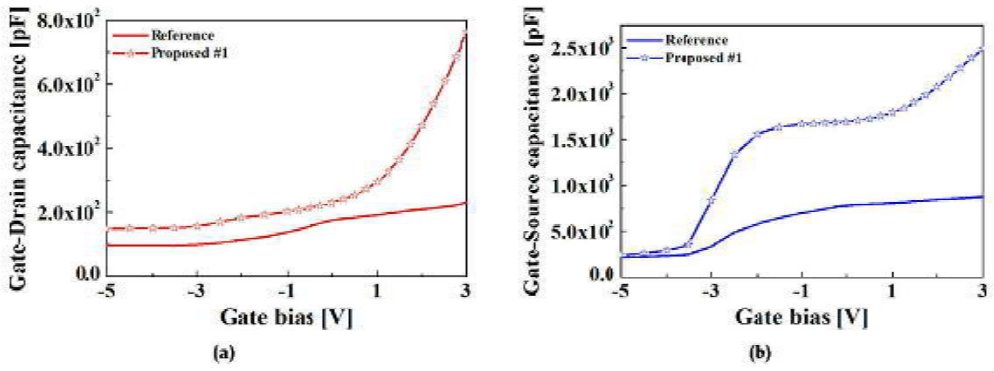
도면3


Current folw ratio [%]
Electric field [V/cm]
Device width [μm]
Gate region (Ref.)
Gate region (Proposed #1)
100
80
60
40
20
0
1
3
5
7
9
8.0x10^5
6.0x10^5
4.0x10^5
2.0x10^5
0.0

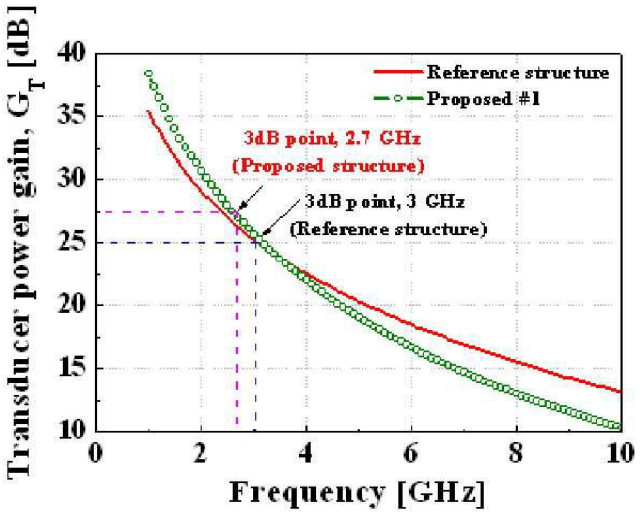
도면4


Reference
Proposed #1
Drain current [mA/mm]
Darin bias [V]
V_G=2 V
V_G=1 V
V_G=0 V
V_G=-1 V
V_G=-2 V
(a)
Drain current [mA/mm]
Transconductance [mS]
Gate bias [V]
(b)
Reference structure
Proposed #1
Substrate current [mA/mm]
Drain bias [V]
(c)
Internal temp. (2-DEG) [K]
Drain bias [V]
(d)

도면5


Reference
Proposed #1
Gate-Drain capacitance [pF]
Gate bias [V]
(a)
Gate-Source capacitance [pF]
Gate bias [V]
(b)

도면6


Transducer power gain, G_T [dB]
Frequency [GHz]
Reference structure
Proposed #1
3dB point, 2.7 GHz
(Proposed structure)
3dB point, 3 GHz
(Reference structure)
40
35
30
25
20
15
10
0
2
4
6
8
10