

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H03K 17/00

(45) 공고일자 1998년12월15일

(11) 등록번호 특0153603

(24) 등록일자 1998년07월06일

(21) 출원번호 특1995-012087

(65) 공개번호 특1996-043513

(22) 출원일자 1995년05월16일

(43) 공개일자 1996년12월23일

(73) 특허권자           삼성전자주식회사   김광호  
                          경기도 수원시 팔달구 매탄동 416번지  
(72) 발명자           조일재  
                          경기도 용인군 기흥읍 농서리 산24번지  
(74) 대리인           이건주

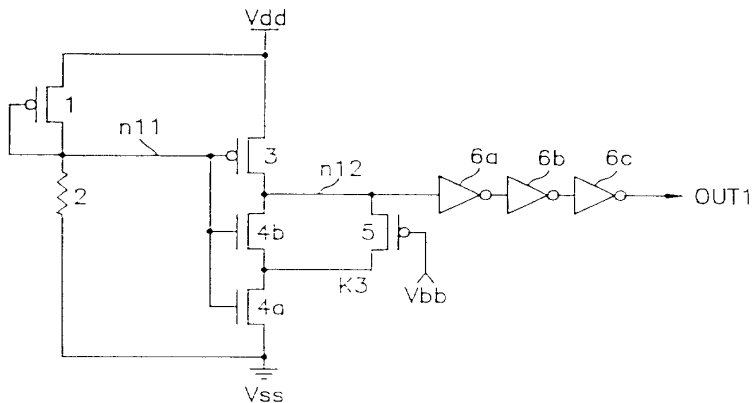
심사관 : 김재욱

**(54) 반도체 장치의 파워-업 리세트신호 발생회로**

**요약**

1. 청구범위에 기재된 발명이 속하는 기술 분야 : 고밀도의 집적화를 위해 반도체 장치내 엔모오스 트랜지스터의 문턱전압이 낮아지는 경우에도 정확한 리세트신호를 발생할 수 있도록 개량한 파워-업 리세트신호 발생회로에 관한 기술이다.
2. 발명이 해결하려고 하는 기술적 과제 : 반도체 장치내의 엔모오스 트랜지스터의 기판에 백 바이어스가 인가되지 않는 저전압의 영역에서 상기 엔모오스 트랜지스터의 문턱전압  $V_{tn0}$ 이 낮은 경우에도 반도체 장치의 파워-업 리세트신호를 정확히 발생할 수 있는 회로를 제공한다.
3. 발명의 해결방법의 요지 : 반도체 공정에 따라 엔모오스 트랜지스터의 문턱전압이 낮아지는 경우, 엔모오스 트랜지스터의 기판에 공급되는 백 바이어스 전압이 발생되기 전까지 리세트신호를 발생하는 피모오스 트랜지스터를 구동한다. 그리고, 상기 백 바이어스 전압이 발생되면 상기 리세트신호 출력용 트랜지스터에 접속된 리세트신호 차단용 피모오스 트랜지스터를 구동하여 출력을 풀다운시킨다.
4. 발명의 중요한 용도 : 반도체 장치의 초기화 회로

**대표도**



**명세서**

[발명의 명칭]

반도체 장치의 파워-업 리세트신호 발생회로

[도면의 간단한 설명]

제1도는 종래의 반도체 장치의 파워-업 리세트신호 발생회로도.

제2도는 본 발명에 따른 파워-업 리세트신호 발생회로도.

제3도는 제2도에 도시된 파워-업 리세트신호 발생회로의 동작을 설명하기 위한 전압 레벨의 파형도이다.

[발명의 상세한 설명]

본 발명은 반도체 장치에 전원을 초기 공급시에 파워-업 리세트신호를 발생하기 위한 리세트신호 발생회

로에 관한 것으로, 특히 고밀도의 집적화를 위해 반도체 장치내 엔채널 모오스 전계 효과 트랜지스터(N-channel MOS Field effect transistor)(이하 엔모오스 트랜지스터라 칭함)의 문턱전압(Threshold voltage)이 낮아지는 경우에도 정확히 리세트신호를 발생할 수 있도록 개량된 파워-업 리세트신호 발생회로에 관한 것이다.

통상적으로, 반도체 장치는 외부의 전원공급장치로부터 램프 파형(ramp wave)의 전원전압 Vdd가 공급될 때 상기 공급되는 전원전압 Vdd의 레벨이 엔모오스 트랜지스터의 문턱전압 Vtn(이하 Vtn이라 칭함)에 피채널 모오스 전계 효과 트랜지스터(이하 피모오스 트랜지스터라 칭함)의 문턱전압 Vtp(이하 Vtp라함)을 합한 전압 레벨 이상이어야 동작한다. 상기과 같은 전원전압 Vdd의 입력에 의해 동작되는 반도체 장치는 외부로부터의 전원전압이 초기 입력될 때 반도체 장치내의 디바이스의 오동작을 방지하기 위해 리세트신호를 발생하는 파워-업 리세트신호 발생회로를 내장하고 있다. 이러한 파워-업 리세트신호 발생회로는 Vtn + Vtp의 전압 레벨 이하에서도 동작할 수 있어야 정확한 리세트 펄스를 발생하게 된다.

이러한 파워-업 리세트신호 발생회로 선행기술로서는 Andrew M. Love에 의해 1991년 7월 9일자로 특허된 미합중국 특허번호 5,030,845에 상세히 기술되어 있다.

제1도는 상기 선행 기술의 구성을 보인 도면으로서, 도면의 참조 번호 10, 11, 14a 및 15는 피모오스 트랜지스터이고, 12, 16은 엔모오스 트랜지스터이며, 13은 엔채널 캐패시터, 14b는 피채널 캐패시터이다. 제1도와 같은 구성을 갖는 종래의 파워-업 리세트신호 발생회로는 파워-업시 이를 검출하여 논리 하이 레벨의 리세트 펄스를 발생함을 상기 특허 5,030,845호의 기재로서 알 수 있다.

그러나, 상기와 같은 회로는 고밀도로 집적화된 메모리 장치에서 사용할 수 없는 문제가 발생한다. 왜냐하면, 고밀도로 집적화된 다이나믹 랜덤 액세스 메모리(DRAM)는 전원전압 Vdd의 이용 효율 및 반도체 기판상에 형성되는 엔모오스 트랜지스터의 문턱전압을 안정화시키기 위한 백 바이어스 전압 발생기(Back bias voltage generator)를 내장하고 있기 때문이다. 상기 백 바이어스 발생기는 약 -1볼트 내지 -2볼트의 백 바이어스 전압 Vbb를 발생하여 엔모오스 트랜지스터의 기판에 인가한다. 상기 백 바이어스 전압 Vbb를 발생시키기 위한 백 바이어스 전압 발생기도 통상적인 반도체 회로가 동작하는 경우와 같이 입력되는 전원전압 Vdd의 레벨이 Vtn+Vtp의 레벨 보다 높을 때 동작하게 된다. 따라서, 상기 제1도에 도시된 파워-업 리세트신호 발생회로는 엔모오스 트랜지스터의 백 바이어스 전압 Vbb가 발생하기 전의 레벨인 Vdd Vtn+Vtp의 전원영역에서 오동작할 수 있는 문제가 발생한다. 이의 문제점을 상세히 설명하면 하기와 같다.

고밀도의 반도체 장치를 제작하기 위해서는 반도체 제조 공정이 변화되어야 한다. 즉, 엔모오스 트랜지스터의 문턱전압의 레벨을 더욱 낮추기 위한 공정이 필요로 하게 된다. 이러한 반도체 공정의 변화에 따라 엔모오스 트랜지스터의 문턱전압 Vtn을 낮추는 경우, 엔모오스 트랜지스터의 기판에 공급되는 백 바이어스 전압 Vbb가 발생하기 전의 전압 레벨(Vdd Vtn + Vtp) 상태에서 상기 문턱전압 Vtn은 백 바이어스 전압 Vbb가 발생된 후의 문턱전압 Vtn 보다 더 낮게된다.

따라서, 램프 파형의 전원전압 Vdd가 제1도에 도시된 피모오스 트랜지스터 10과 11의 문턱전압 Vtp합보다 더 높아지면 제1도의 내부 노드 N1의 전압 Vn1은 전원전압 Vdd에서 피모오스 트랜지스터 10과 11의 문턱전압 Vtp합을 뺀 전압[Vdd-(Vtp<sub>11</sub> + Vtp<sub>10</sub>)](여기서, Vtp<sub>11</sub>은 피모오스 트랜지스터 11의 문턱전압 Vtp<sub>10</sub>은 피모오스 트랜지스터 10의 문턱전압임)으로 된다. 상기 내부노드 N1에 게이트가 접속된 엔모오스 트랜지스터 16은 백 바이어스 전압 Vbb이 발생하기 전의 낮은 문턱전압 Vth를 갖는 상태에서 상기 내부노드 N2의 전압 Vn1에 의해 턴온되어 출력 OUT를 로우의 레벨로 유지시켜 파워-업시 하이의 리세트 펄스를 발생시키지 않을 수 있게 된다.

이와 같은 문제를 해결하기 위하여 제1도에 도시된 엔모오스 트랜지스터 16의 채널 길이(Channel length), 즉 드레인-소오스간의 길이를 통상 사용하는 엔모오스 트랜지스터(통상적으로 16메가 비트용량의 메모리내의 주변회로에서 사용하는 엔모오스 트랜지스터의 채널 길이는 약 1.1 $\mu$ m정도임)의 것보다 크게 하면 전원전압 Vdd가 충분히 높은 하이 레벨의 전압에서도 출력 OUT가 계속하여 하이로 출력됨으로서 반도체 장치 내부의 회로들이 리세트상태로 있게되어 반도체 장치가 동작되지 않게 된다.

따라서 본 발명의 목적은 백 바이어스 전압 발생기를 갖는 고밀도의 반도체 메모리 장치에서 초기의 파워-업을 검출하여 리세트신호를 정확히 발생하는 파워-업 리세트신호 발생회로를 제공함에 있다.

본 발명의 다른 목적은 엔모오스 트랜지스터의 기판에 백 바이어스가 인가되지 않는 저전압의 영역에서 상기 엔모오스 트랜지스터의 문턱전압 Vtn이 낮은 경우에도 반도체 장치의 파워-업 리세트신호를 정확히 발생할 수 있는 회로를 제공함에 있다.

본 발명의 또다른 목적은 고밀도의 집적화를 위해 공정의 변화에 따라 엔모오스 트랜지스터의 문턱전압 Vtn의 변화에 둔감한 파워-업 리세트신호 발생회로를 제공함에 있다.

상기의 본 발명의 목적은 제1채널형 모오스 트랜지스터와 제2채널형 모오스 트랜지스터를 포함하여 갖는 반도체 장치의 파워-업 리세트신호 발생회로에 있어서, 제1채널형 모오스 트랜지스터의 제1문턱전압과 제2채널형 모오스 트랜지스터의 제2문턱전압 합인 레벨 보다 높은 전원전압의 입력에 응답하여 백 바이어스 전압을 상기 제2채널형 모오스 트랜지스터의 기판에 공급하는 백 바이어스 전압 발생 수단과, 접지전압과 전원전압의 입력단자 사이에 접속되어 상기 전원전압이 제1문턱전압 이상의 레벨로 상승될 때 상승되는 파워-업 제어신호를 발생하는 풀업수단과, 상기 파워-업 제어신호의 초기의 입력에 응답하여 상기 전원전압을 리세트신호로서 출력하는 제1채널형의 모오스 트랜지스터와, 상기 리세트신호 출력단자와 상기 접지전압단자의 사이에 접속되어 있으며 상기 백 바이어스의 전압의 입력에 응답하여 상기 리세트신호의 출력을 차단하는 리세트 신호 출력제어수단으로 구성된 회로를 제공함으로써 달성되어 진다.

이하 본 발명의 실시예에 따른 파워-업 리세트신호 발생회로의 동작을 첨부한 제2도 및 제3도를 참조하여 상세하게 설명한다.

제2도는 본 발명에 따른 파워-업 리세트신호 발생회로도이고, 제3도는 제2도에 도시된 파워-업 리세트신

호 발생회로의 동작을 설명하기 위한 전압 레벨의 파형도이다.

제2도를 참조하면, 전원전압단자와 접지전압단자의 사이에는 전원전압 Vdd의 증가에 비례하여 증가되는 폴업 제어신호를 출력하는 폴업수단이 접속되어 있다. 이때, 상기 폴업수단은 전원전압 Vdd에 소오스가 접속된 제1채널형 모오스 트랜지스터, 예를 들면 피모오스 트랜지스터 1을 가지며, 상기 피모오스 트랜지스터 1의 게이트와 드레인은 내부 노드 n11에 접속되어 있다. 상기 내부 노드 n11과 접지전압단자의 전압 Vss에는 저항 2가 접속되어 있다. 따라서, 전원전압 Vdd의 레벨이 제3도와 같이 증가되면 피모오스 트랜지스터 1의 소오스-드레인간의 전류 Ip1에 의해 내부 노드 n11의 전압이 설정된다. 상기 내부 노드 n11에는 저항 2가 접속되어 있어 이 내부 노드 n11의 전압을 Vn11이라 하면 이는 다음과 같다.

$$V_{n11} = I_{p1} \times R \dots \text{식 1}$$

단, 여기서 R은 저항 2의 저항 값이다.

이때, 대기시의 전류 소모를 억제하기 위해 상기 폴업수단내의 피모오스 트랜지스터 1의 소오스-드레인의 채널 길이(channel length)는 통상 사용하는 (예를 들면, 반도체 메모리 장치의 주변회로에 사용하는) 피모오스 트랜지스터의 채널 길이(예컨대, 16메가 비트의 용량을 가지는 메모리의 주변회로에서 사용하는 피모오스 트랜지스터의 채널 길이는 약 1.3 $\mu\text{m}$ 정도임) 보다 약 10배 이상 큰 것(예를 들면, 13 $\mu\text{m}$ 정도)을 사용한 예이며, 저항 2는 수백k $\Omega$  이상의 것으로 사용한 것이다.

상기 폴업수단의 피모오스 트랜지스터 1과 저항 2에 의해 상기 식 1과 같이 증가되는 내부 노드 n11의 전압 Vn11, 즉, 폴업 제어 신호는 소오스가 상기 전원전압 Vdd에 접속된 피모오스 트랜지스터 3의 게이트에 인가된다. 상기 피모오스 트랜지스터 3의 드레인은 출력노드 n12에 접속되어 있다. 그리고, 상기 출력노드 n12에는 엔모오스 트랜지스터 4a, 4b 및 피모오스 트랜지스터 5로 구성된 리세트신호 출력제어수단내의 엔모오스 트랜지스터 4b의 드레인이 접속되고, 상기 엔모오스 트랜지스터 4b의 소오스와 접지전압 Vss의 사이에는 또다른 엔모오스 트랜지스터 4a의 드레인과 소오스가 접속되어 있다.

이때, 상기 엔모오스 트랜지스터 4b 및 4a의 게이트들 각각은 상기한 폴업수단내의 내부 노드 n11에 접속되어 있다. 상기 엔모오스 트랜지스터 4b의 드레인과 소오스에는 피모오스 트랜지스터 5의 소오스와 드레인이 각각 접속되어 있으며, 상기 피모오스 트랜지스터 5의 게이트에는 백 바이어스 전압 발생기(도시하지 않았음)으로부터 발생된 백 바이어스 전압 Vbb이 공급된다. 상기와 같은 구성중, 상기 엔모오스 트랜지스터 4b의 채널 길이는 반도체 장치내에서 이웃하고 있는 통상의 엔모오스 트랜지스터의 채널 길이(예컨대 약 1.1 $\mu\text{m}$ 정도)보다 약 15배정도(16.5 $\mu\text{m}$ ) 큰 것이다. 그리고, 상기 제2도와 같은 구성중, 상기 엔모오스 트랜지스터 4a와 피모오스 트랜지스터 5의 채널 길이는 통상 사용하는 모오스 전계 효과 트랜지스터의 채널 길이를 갖는다.

따라서, 제3도에 도시된 바와 같이 폴업수단의 내부 노드 n11의 전압 Vn11이 전원전압 Vdd에 비례하여 증가되면 상기 피모오스 트랜지스터 3의 드레인의 단자 전압 Vn12도 상기 전원전압 Vdd를 따라 증가되어짐을 알 수 있다. 상기와 같이 전원전압 Vdd의 레벨이 0볼트로부터 Vtn + Vtp 이하의 레벨까지 증가되어 피모오스 전계 효과 트랜지스터 3의 드레인이 접속된 노드 n12의 전압 Kn12이 증가되어도 본 발명에 따른 제2도의 파워-업 리세트신호 발생회로내의 피모오스 전계 효과 트랜지스터 5는 온되지 않는다. 왜냐하면, 반도체 공정 변화에 따라 엔모오스 트랜지스터의 문턱전압 Vtn이 낮은 경우, 초기 파워-업에 의해 제3도와 같이 증가되는 전원전압 Vdd의 레벨(Vdd Vtn + Vtp)은 백 바이어스 전압 발생기를 동작시키지 못하기 때문이다.

이때, 제2도의 노드 n12에 드레인이 접속된 엔모오스 트랜지스터 4b의 채널 길이는 통상의 엔모오스 트랜지스터의 채널 길이 보다 약 15배 이상 되기 때문에 내부 노드 n11의 전압 Vn11의 전압이 증가하여도 상기 출력 노드 n12의 레벨을 풀 다운하지 못하게 된다. 따라서, 초기 파워-업시에 상기 출력 노드 n12의 출력 레벨은 전원전압 Vdd의 레벨로서 하이이며, 이에 접속된 인버터 체인 6a, 6b, 6c에 의해 출력된 리세트신호는 로우로 출력되어 반도체 장치내의 회로들을 리세트하게 된다.

계속된 파워-업에 의해 상기 전원전압 Vdd의 레벨이 Vtn + Vtp이상의 레벨로 상승되어 백 바이어스 전압 발생기(도시하지 않았음에 유의하여야 한다.)로부터 백 바이어스 전압 Vbb(약 -1볼트 내지 -2볼트의 전압)이 발생하면, 상기 백 바이어스 전압 Vbb을 게이트로 입력하는 피모오스 트랜지스터 5가 턴온된다. 이때, 상기 출력 노드 n12의 하이의 전압은 상기 피모오스 전계 효과 트랜지스터 5의 소오스-드레인 및 엔모오스 트랜지스터 4a의 드레인-소오스 간을 통하여 풀 다운되어 로우로 천이 된다. 따라서, 상기 출력 노드 n12의 로우의 신호는 인버터 체인 6a, 6b, 6c들에 의해 하이(전원전압 Vdd의 레벨)로 반전 버퍼링되어 반도체 장치내의 회로들로 공급됨으로써 리세트가 해제 된다.

상기 인버터 6a, 6b, 6c들 각각은 통상의 것과 같이 엔모오스 트랜지스터와 피모오스 트랜지스터로 구성된 것으로서, 이들 각각은 상기 출력 노드 n12의 전압을 반도체 장치내의 각 회로로 버퍼링하기 위한 것이다. 이때, 엔모오스 트랜지스터와 피모오스 트랜지스터들로 각각 구성되는 상기 인버터 6a, 6b, 6c들내의 각 모오스 트랜지스터들의 채널 길이는 통상의 모오스 전계 효과 트랜지스터(예를 들면, 반도체 장치내에서 이웃하는 주변회로에 위치한 모오스 전계효과 트랜지스터)의 채널 길이보다 수 십배 큰 것을 사용하여 전류소모를 방지토록 한 구성을 갖는다.

상술한 바와 같이 본 발명은 반도체 공정의 변화에 따라 엔모오스 트랜지스터의 문턱전압 Vtn이 낮은 상태에서도 엔모오스 트랜지스터의 기판으로 공급되는 백 바이어스 전압을 이용하여 리세트신호의 출력을 제어함으로써 안정된 리세트신호를 발생시킬 수 있다.

## (57) 청구의 범위

**청구항 1**

제1채널형의 모오스 트랜지스터와 제2채널형의 모오스 트랜지스터를 포함하여 갖는 반도체 장치의 파워-업 리세트신호 발생회로에 있어서, 전원전압이 제1채널형 모오스 트랜지스터의 제1문턱전압과 제2채널형 모오스 트랜지스터의 제2문턱전압 합의 레벨 보다 높을 때 응답하여 백 바이어스 전압을 상기 제2채널형 트랜지스터의 기판에 공급하는 백 바이어스 전압 발생 수단과, 전원전압과 접지전압의 입력단자 사이에 접속되어 상기 전원전압이 제1문턱전압 이상의 레벨로 상승될 때 상승되는 파워-업 제어신호를 발생하는 풀업 수단과, 상기 파워-업 제어신호의 초기의 입력에 응답하여 상기 전원전압을 리세트 신호로서 출력하는 제1채널형의 제1모오스 트랜지스터와, 상기 리세트신호 출력단자와 상기 접지전압단자의 사이에 접속되어 있으며 상기 백 바이어스의 전압의 입력에 응답하여 상기 리세트신호의 출력을 차단하는 리세트신호 출력 제어 수단으로 구성함을 특징으로 하는 반도체 메모리 장치의 파워-업 리세트신호 발생회로.

**청구항 2**

제1항에 있어서, 상기 풀업제어수단은 상기 전원전압에 소오스가 접속되고, 상기 접지전압에 일측이 접속된 저항의 타측의 내부 노드에 게이트와 드레인이 공통 접속되어진 제1채널형의 제2모오스 트랜지스터임을 특징으로하는 반도체 메모리 장치의 파워-업 리세트신호 발생회로.

**청구항 3**

제2항에 있어서, 상기 제1채널형의 제1모오스 트랜지스터는 상기 전원전압과 리세트신호 출력 노드 각각에 소오스와 드레인이 접속되며 상기 내부 노드로부터 게이트로 입력되는 파워-업 제어신호에 응답하여 리세트신호를 출력하는 피모오스 트랜지스터임을 특징으로 하는 반도체 메모리 장치의 파워-업 리세트신호 발생회로.

**청구항 4**

제3항에 있어서, 상기 리세트신호 출력제어수단은, 상기 리세트신호 출력단자와 전지전압에 소오스와 드레인이 접속되고, 상기 백 바이어스 전압이 게이트로 입력시에 응답하여 상기 출력노드의 전압을 상기 접지전압의 레벨로 풀다운하는 제1채널형의 제3모오스 트랜지스터임을 특징으로 하는 반도체 메모리 장치의 파워-업 리세트신호 발생회로.

**청구항 5**

제1항 내지 제4항중의 어느 하나의 항에 있어서, 상기 리세트신호 단자에는 리세트신호의 출력을 반도체 장치 내부의 회로로 버퍼링하기 위한 인버터가 적어도 하나 이상 접속됨을 특징으로 하는 반도체 메모리 장치의 파워-업 리세트신호 발생회로.

**청구항 6**

제4항에 있어서, 상기 제1채널형의 제3모오스 트랜지스터의 소오스와 드레인 각각에 드레인과 소오스간의 패스가 접속되고, 상기 내부 노드의 전압을 게이트로 입력하는 제2채널형의 제4모오스 트랜지스터가 더 접속됨을 특징으로 하는 반도체 메모리 장치의 파워-업 리세트신호 발생회로.

**청구항 7**

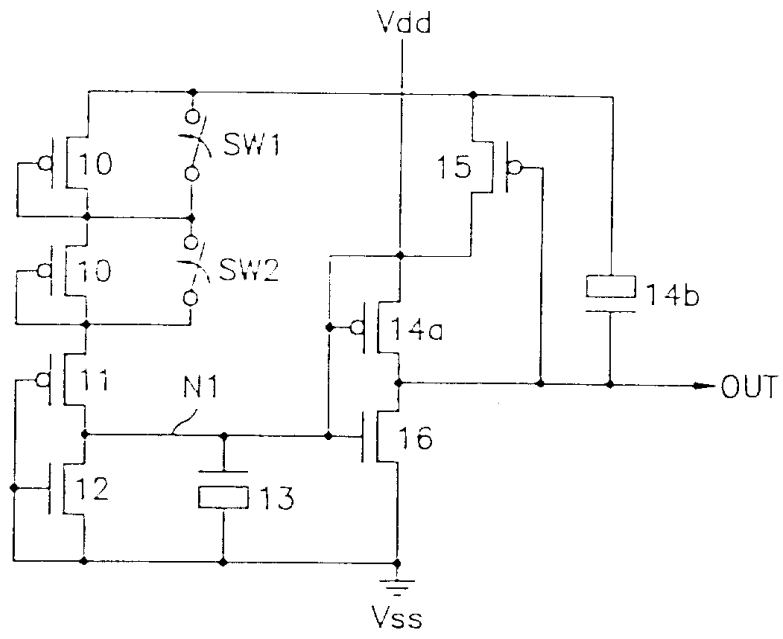
제4항 또는 제6에 있어서, 내부 노드의 전압 증가에 응답하여 상기 제1채널형의 제3모오스 트랜지스터의 드레인으로부터 상기 접지전압의 사이에 드레인-소오스의 패스가 형성되고, 상기 내부 노드의 전압을 게이트로 입력하는 제2채널형의 제5모오스 트랜지스터가 더 접속됨을 특징으로 하는 반도체 메모리 장치의 파워-업 리세트신호 발생회로.

**청구항 8**

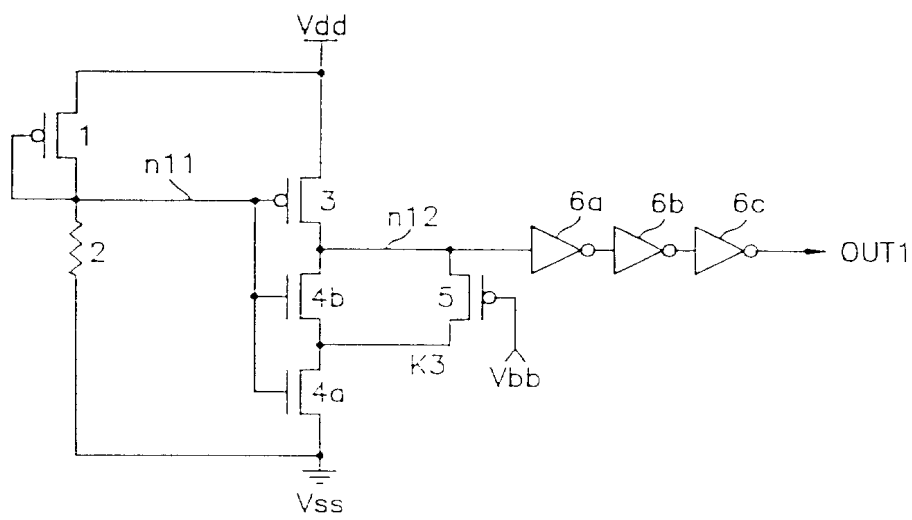
제6항에 있어서, 상기 제2채널형의 제4모오스 트랜지스터의 드레인-소오스의 채널 길이는 반도체 장치내에서 이웃하는 주변회로내의 제2채널형의 모오스 트랜지스터들의 드레인-소오스의 채널 길이보다 적어도 15배 이상임을 특징으로 하는 반도체 메모리 장치의 파워-업 리세트신호 발생회로.

**도면**

도면1



도면2



도면3

