(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0142509
(43) 공개일자 2015년12월22일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *H01L 21/335* (2006.01)
(21) 출원번호 10-2014-0071562
(22) 출원일자 2014년06월12일
심사청구일자 2014년06월12일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김규태
경기도 안양시 동안구 부림로 13 꿈마을현대아파트 606동 603호
진준언
서울특별시 강서구 방화대로45길 56-15
최준희
서울특별시 성북구 인촌로27길 24-4
(74) 대리인
이동건

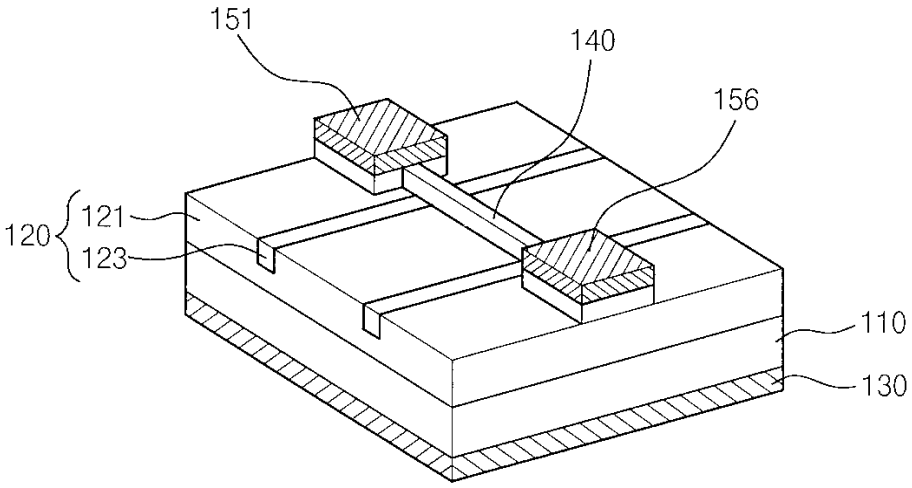
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **전계효과 트랜지스터**

(57) 요 약

트랜지스터는, 상호 이격된 소스 영역과 드레인 영역 및 소스 영역과 드레인 영역을 연결하는 채널 영역이 정의된 기판, 기판 상에 형성된 게이트 절연막 구조물, 게이트 절연막 구조물 상에 소스 영역 및 드레인 영역 내에 각각 형성된 소스 전극과 드레인 전극, 게이트 절연막 구조물 상에 채널 영역 내에 형성된 채널 및 채널을 전기적으로 온/오프시키도록 구비된 게이트 전극을 포함하고, 게이트 절연막 구조물은 채널 영역 내에 형성된 적어도 한 쌍의 저유전체와 고유전체를 포함한다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

상호 이격된 소스 영역과 드레인 영역 및 상기 소스 영역과 상기 드레인 영역을 연결하는 채널 영역이 정의된 기판;

상기 기판 상에 형성된 게이트 절연막 구조물;

상기 게이트 절연막 구조물 상에 상기 소스 영역 및 상기 드레인 영역 내에 각각 형성된 소스 전극과 드레인 전극;

상기 게이트 절연막 구조물 상에 상기 채널 영역 내에 형성된 채널; 및

상기 채널을 전기적으로 온/오프시키도록 구비된 게이트 전극을 포함하고,

상기 게이트 절연막 구조물은 상기 채널 영역 내에 형성된 적어도 한 쌍의 저유전체와 고유전체를 포함하는 전계효과 트랜지스터.

청구항 2

제1항에 있어서, 상기 채널은 그래핀 물질로 이루어진 것을 특징으로 하는 전계효과 트랜지스터.

청구항 3

제2항에 있어서, 상기 채널은 평탄면을 갖는 것을 특징으로 하는 전계효과 트랜지스터.

청구항 4

제1항에 있어서, 상기 고유전체는 하프늄 산화물, 지르코늄 산화물, 실리콘 질화물, 탄탈륨 산화물, 카보나이즈드 피엠엠에이(carbonized PMMA) 중 적어도 하나를 포함하고,

상기 저유전체는 실리콘 산화물, HSQ(hydrogen silsesquioxane), MSQ(methyl silsesquioxane), 폴리이미드(polyimide), 파릴렌(parylene), 보이드(void) 중 적어도 하나를 포함하는 것을 특징으로 하는 전계효과 트랜지스터.

청구항 5

제1항에 있어서, 상기 고유전체 및 상기 저유전체는 2 이상의 유전율비를 갖는 것을 특징으로 하는 전계효과 트랜지스터.

청구항 6

제1항에 있어서, 상기 고유전체 및 상기 저유전체는 상기 채널 영역을 가로질러서 교대로 형성된 것을 특징으로 하는 전계효과 트랜지스터.

청구항 7

제1항에 있어서, 상기 게이트 절연막 구조물은 상기 고유전체 및 상기 저유전체 중 어느 하나가 다른 것의 상부 표면에 형성된 트렌치 내에 매립된 트렌치 구조를 갖는 특징으로 하는 전계효과 트랜지스터.

청구항 8

제1항에 있어서, 상기 게이트 전극은 상기 기판의 후면에 배치된 것을 특징으로 하는 전계효과 트랜지스터.

발명의 설명

기 술 분 야

[0001] 본 발명은 전계효과 트랜지스터에 관한 것으로, 더욱 상세하게는 게이트 신호에 의하여 소스 전극 및 드레인 전극들 사이에 형성된 채널을 통하여 전하가 이동하는 전계효과 트랜지스터에 관한 것이다.

배 경 기 술

[0002] 우수한 전기전도도를 가지는 그래핀에 대한 연구가 활발히 진행되고 있다. 특히, 그래핀은 주어진 두께의 그래핀의 결정 방향성에 따라서 전기적 특성이 변화하므로 사용자가 선택 방향으로의 전기적 특성을 발현시킬 수 있으므로 소자를 쉽게 설계할 수 있다는 장점이 있다. 이러한 그래핀의 특징은 향후 탄소계 전기 소자 또는 탄소계 전자기 소자 등에 매우 효과적으로 이용될 수 있다.

[0003] 특히, 2차원 6각형 탄소 구조(2-dimensional hexagonal carbon structure)를 가지는 그래핀(graphene)은 반도체를 대체할 수 있는 새로운 물질로서 연구 개발되고 있다. 그래핀은 제로 갭 반도체(zero gap semiconductor)이다. 또한, 캐리어 이동도(mobility) 가 상온에서 100,000 $cm^2V^{-1}s^{-1}$로 기존 실리콘 대비 약 100배 정도 높아 고속동작 소자, 예를 들어RF 소자(radio frequency device)에 적용될 수 있다.

[0004] 그래핀은 채널폭(channel width)을 10nm 이하로 작게 하여 그래핀 나노리본(graphene nano-ribbon)(GNR)을 형성하는 경우, 사이즈 효과(size effect)에 의하여 밴드갭(band gap)이 형성된다. 이와 같은 GNR을 이용하여 상온에서 작동이 가능한 전계 효과 트랜지스터(field effect transistor)를 제작할 수 있다. 한편, 상기 그래핀을 구부려서 밴드갭을 형성하여 채널로서 이용하는 방법이 알려져 있다.

[0005] 한편, 다중 포텐셜 배리어(multiple potential barrier)를 형성하기 위한 방법으로 채널 자체를 변경시킬 수 있다. 하지만 변경된 형상을 갖는 채널에 의하여 트랜지스터와 같은 전자 소자의 물리적인 특성이 변할 수 있다. 이와 다른 방법으로 채널을 이루는 물질에 도핑 공정을 국부적으로 수행하여 채널에 서로 다른 농도를 갖는 영역들을 형성할 수 있다. 하지만, 상기 도핑 공정을 좁은 채널 영역에 수행하는 데 어려움이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 목적은 다중 포텐셜 배리어를 가질 수 있는 전계 효과 트랜지스터를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 트랜지스터는, 상호 이격된 소스 영역과 드레인 영역 및 상기 소스 영역과 상기 드레인 영역을 연결하는 채널 영역이 정의된 기판, 상기 기판 상에 형성된 게이트 절연막 구조물, 상기 게이트 절연막 구조물 상에 상기 소스 영역 및 상기 드레인 영역 내에 각각 형성된 소스 전극과 드레인 전극, 상기 게이트 절연막 구조물 상에 상기 채널 영역 내에 형성된 채널 및 상기 채널을 전기적으로 온/오프시키도록 구비된 게이트 전극을 포함하고, 상기 게이트 절연막 구조물은 상기 채널 영역 내에 형성된 적어도 한 쌍의 저유전체와 고유전체를 포함한다.

[0008] 본 발명의 일 실시예에 있어서, 상기 채널은 그래핀 물질로 이루어질 수 있다. 여기서, 상기 채널은 평탄면을 가질 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 고유전체는 하프늄 산화물, 지르코늄 산화물, 실리콘 질화물, 탄탈륨 산화물, 카보나이즈드 피엠엠에이(carbonized PMMA) 중 적어도 하나를 포함하고, 상기 저유전체는 실리콘 산화물, HSQ(hydrogen silsesquioxane), MSQ(methyl silsesquioxane), 폴리이미드(polyimide), 파릴렌(parylene), 보이드(void) 중 적어도 하나를 포함할 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 고유전체 및 상기 저유전체는 2 이상의 유전율비를 가질 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 고유전체 및 상기 저유전체는 상기 채널 영역을 가로질러서 교대로 형성될 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 게이트 절연막 구조물은 상기 고유전체 및 상기 저유전체 중 어느 하나가 다른 것의 상부 표면에 형성된 트렌치 내에 매립된 트렌치 구조를 가질 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 게이트 전극은 상기 기판의 후면에 배치될 수 있다.

발명의 효과

[0014] 본 발명의 실시예들에 따른 전계효과 트랜지스터에 포함된 채널이 10nm 이상의 폭을 갖고 그래핀으로 이루어질 경우, 밴드갭이 형성될 수 있다. 또한, 채널이 구부러진 형상이 아니라 평탄면을 상기 게이트 절연막 구조물 상에 형성됨에 따라 그래핀을 구부려서 채널에 밴드갭을 형성할 경우, 그래핀 형상 변형에 따른 전기적 특성의 불확실성이 감소될 수 있다.

[0015] 또한, 전계효과 트랜지스터는 주기적인 멀티 포텐셜 배리어들을 가짐에 따라 상기 포텐셜에 의하여 전자들이 구속되는 래터럴 플래쉬 메모리 소자(lateral flash memory device)가 구현될 수 있다. 나아가 상기 멀티 포텐셜 배리어들이 형성됨에 따라 다중 레벨 셀 소자(multi level cell device)가 구현될 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 전계효과 트랜지스터를 나타낸 사시도이다.

도 2는 도 1의 기판을 설명하기 위한 평면도이다.

도 3은 본 발명의 일 실시예에 따른 전계효과 트랜지스터를 나타낸 단면도이다.

도 4는 실리콘 질화물을 이용하여 약 200nm의 트렌치 깊이를 갖는 고유전체를 갖는 게이트 절연막 구조물을 포함하는 전계효과 트랜지스터의 에너지 밴드 다이어그램을 나타낸 그래프이다.

도 5는 트렌치 깊이에 따른 표면 포텐셜을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부한 도면을 참조하여 본 발명의 실시예들에 대해 상세히 설명한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 첨부된 도면에 있어서, 대상물들의 크기와 양은 본 발명의 명확성을 기하기 위하여 실제보다 확대 또는 축소하여 도시한 것이다.

[0018] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0019] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "구비하다" 등의 용어는 명세서 상에 기재된 특징, 단계, 기능, 구성요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 다른 특징들이나 단계, 기능, 구성요소 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0020] 한편, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0021] 전계효과 트랜지스터

[0022] 도 1은 본 발명의 일 실시예에 따른 전계효과 트랜지스터를 나타낸 사시도이다. 도 2는 도 1의 기판을 설명하기 위한 평면도이다.

[0023] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 전계효과 트랜지스터는 기판(110), 게이트 절연막 구조물(120), 소스 전극(151), 드레인 전극(153), 채널(140) 및 게이트 전극(130)을 포함한다. 상기 전계효과 트랜지스터에 있어서, 게이트 전극(140)에 문턱 전압(Vth)이상이 인가될 경우 상기 채널(140)이 개방되어 상기 소스

전극(151) 및 상기 드레인 전극(156) 사이에 전자 또는 정공과 같은 전하가 이동할 수 있다.

[0024] 상기 기판(110)은 단결정 실리콘 물질 또는 단결정 게르마늄 물질로 이루어 질 수 있다. 또한, 상기 기판(110)은 실리콘-온-인슐레이터(silicon-on-insulator; SOI) 기판일 수 있다.

[0025] 한편, 상기 기판(110)은 바텀 게이트 전극으로 기능할 수 있다. 이때에는 별도의 게이트 전극을 형성할 필요가 없다. 예를 들면, 상기 기판(110)은 고농도의 불술물이 도핑된 실리콘, 탄탈륨 나이트라이드, 금, 알루미늄, 인듐 틴 옥사이드(indium tin oxide; ITO) 등으로 형성될 수 있다.

[0026] 상기 기판(110)에는 상호 이격된 소스 영역(111)과 드레인 영역(116) 및 상기 소스 영역(111)과 드레인 영역(116)을 연결하는 채널 영역(116)이 정의다.

[0027] 상기 게이트 절연막 구조물(120)은 상기 기판(110) 상에 형성된다. 상기 게이트 절연막 구조물(120)은 기판의 상면을 전체적으로 덮도록 형성될 수 있다. 상기 게이트 절연막 구조물(120)은 상기 게이트 전극(130) 및 상기 소스 전극/드레인 전극(151, 156) 사이에 개재된다. 상기 게이트 전극(130) 및 상기 채널(140)이 상호 전기적으로 절연될 수 있다.

[0028] 상기 게이트 절연막 구조물(120)은 전체적으로 약 100nm 내지 약 300nm의 두께를 갖도록 구비될 수 있다.

[0029] 상기 게이트 절연막 구조물(120)은 상기 채널 영역(114) 내에 형성된 적어도 한 쌍의 저유전체(121) 및 고유전체(123)를 포함한다. 상기 저유전체(121) 및 고유전체(123)의 유전율 비는 약 2 이상일 수 있다.

[0030] 상기 소스 전극(151)과 상기 그레인 전극(156)은 상기 게이트 절연막 구조물(120) 상에 형성된다. 또한, 상기 소스 전극(151) 및 상기 드레인 전극(156) 각각은 상기 소스 영역(111) 및 상기 드레인 영역(116)에 형성된다. 즉, 상기 소스 전극(151) 및 상기 그레인 전극(156)은 상기 소스 영역(111) 및 상기 드레인 영역(116)에 평면적으로 대응되도록 구비될 수 있다.

[0031] 상기 소스 전극(151) 및 상기 드레인 전극(156)은 상기 채널(140)과 오믹 콘택할 수 있는 금속으로 이루어질 수 있다. 또한, 상기 소스 전극(151) 및 드레인 전극(156) 각각은 다층 구조를 가질 수 있다. 예를 들면, 상기 소스 전극(151) 및 드레인 전극(156) 각각은 크롬/금, 티타늄/금 또는 팔라듐/금으로 이루어질 수 있다.

[0032] 상기 채널(140)은 상기 게이트 절연막 구조물(120) 상에 형성된다. 상기 채널(140)은 상기 채널 영역(114)에 형성된다. 즉, 상기 채널(140)은 상기 채널 영역(114)에 평면적으로 대응되도록 구비될 수 있다. 상기 게이트 전극(130)에 문턱 전압 이상의 전압이 인가될 경우, 상기 채널(140)은 온 상태(on state)를 유지함으로써 상기 채널(140)을 통하여 전하들이 상기 소스 전극(151) 및 상기 드레인 전극(156) 사이를 이동할 수 있다.

[0033] 상기 채널(140)은 그래핀 물질 또는 실리콘 나노 와이어를 포함할 수 있다.

[0034] 상기 채널(140)이 그래핀 물질로 이루어질 경우, 상기 채널(140)은 10nm 이상의 폭을 가질 수 있다.

[0035] 한편, 일반적으로 상기 채널(140)이 10nm 이상의 채널폭을 갖는 그래핀 물질로 이루어져서 단일막으로 이루어진 게이트 절연막 상에 형성될 경우, 상기 채널(140)에는 밴드갭이 형성되지 않는다.

[0036] 하지만, 상기 채널(140)이 저유전체(121) 및 고유전체(123)로 이루어진 게이트 절연막 구조물(120) 상에 형성될 경우, 상기 저유전체(121) 및 고유전체(123) 사이의 커패시턴스의 주기적인 변화가 발생하고, 이로부터 양자 우물의 배리어 변화가 발생한다. 이로써 전자 또는 정공과 같은 전하 이동도의 변화가 발생한다. 결과적으로 상기 채널(140)은 10nm 이상의 폭을 갖고 상기 그래핀으로 이루어질 경우, 밴드갭이 형성될 수 있다.

[0037] 또한, 상기 채널(140)은 구부러진 형상이 아니라 평탄면을 상기 게이트 절연막 구조물(120) 상에 가질 수 있다. 이로써 상기 그래핀을 구부려서 상기 채널(140)에 밴드갭을 형성할 경우, 그래핀 형상 변형에 따른 전기적 특성의 불확실성이 감소될 수 있다.

[0038] 상기 게이트 전극(130)은 상기 기판(110)의 하면에 형성될 수 있다. 이로써 바텀 게이트 구조를 갖는 전계효과 트랜지스터가 구현될 수 있다.

[0039] 본 발명의 일 실시예에 있어서, 상기 고유전체(123)는 하프늄 산화물, 지르코늄 산화물, 실리콘 질화물, 탄탈륨 산화물, 카보나이즈드 피엠엠에이(carbonized PMMA) 중 적어도 하나를 포함할 수 있다. 한편, 상기 저유전체(121)는 실리콘 산화물, HSQ(hydrogen silsesquioxane), MSQ(methyl silsesquioxane), 폴리이미드(polyimide), 파릴렌(parylene), 보이드(void) 중 적어도 하나를 포함할 수 있다.

[0040] 상기 한 쌍의 고유전체(123) 및 저유전체(121)는 상기 채널 영역(114)을 가로질러서 교대로 형성될 수 있다. 이

로써 상기 채널(140)을 포함하는 전계효과 트랜지스터에는 다수의 양자 우물들이 형성되고 배리어 변화가 발생할 수 있다.

[0041] 또한, 상기 고유전체(123) 및 저유전체(121)가 이루는 쌍이 복수개로 형성될 수 있다.

[0042] 한편, 본 발명의 일 실시예에 있어서, 상기 게이트 절연막 구조물(120)은 상기 고유전체(123) 및 상기 저유전체(121)가 상기 고유전체(123)의 상부 표면에 형성된 트렌치 내에 매립된 트렌치 구조를 가질 수 있다. 이로써 트렌치 구조를 갖는 게이트 절연막 구조물(120)이 용이하게 제조될 수 있다. 이때, 상기 트렌치는 상기 채널 영역(114)을 가로질러서 형성될 수 있다. 즉, 상기 트렌치는 상기 채널 영역(114)의 연장 방향에 대하여 수직한 방향으로 형성될 수 있다.

[0043] 보다 상세하게는 상기 고유전율 물질로 이루어진 박막(미도시)이 형성되고, 상기 박막의 상부 표면에 트렌치(미도시)를 형성하고, 상기 트렌치를 저유전율 물질로 매립한다. 이로써, 고유전체(123) 및 고유전체(123)의 상부 표면에 형성된 트렌치 내에 매립된 저유전체(121)를 포함하는 게이트 절연막 구조물(120)이 용이하게 형성될 수 있다. 또한, 상기 트렌치들 각각의 폭과 깊이, 간격을 조절함으로써 상기 트렌치들 각각을 매립하여 형성되는 저유전체(121)들 각각의 폭, 깊이와 저유전체(121)들 사이의 간격이 결정될 수 있다. 또한 상기 고유전체(123) 및 저유전체(121)의 위치는 상호 바뀔 수 있다.

[0044] 이로써 상기 트랜지스터는 주기적인 멀티 포텐셜 배리어들을 가짐에 따라 상기 포텐셜에 의하여 전자들이 구속되는 래터럴 플래쉬 메모리 소자(lateral flash memory device)가 구현될 수 있다. 나아가 상기 멀티 포텐셜 배리어들이 형성됨에 따라 다중 레벨 셀 소자(multi level cell device)가 구현될 수 있다.

[0045] 도 3은 본 발명의 일 실시예에 따른 전계효과 트랜지스터를 나타낸 단면도이다.

[0046] 도 3을 참조하면, 본 발명의 일 실시예에 따른 전계효과 트랜지스터는 기판(110), 게이트 절연막 구조물(120), 소스 전극(151), 드레인 전극(153), 채널(140) 및 게이트 전극(130)을 포함한다.

[0047] 본 발명의 일 실시예에 따른 전계효과 트랜지스터는 도 1 및 도2를 참고로 설명한 전계효과 트랜지스터와 게이트 전극 및 게이트 절연막 구조물을 제외하고는 실질적 동일하므로 나머지 요소들에 대한 상세한 설명은 생략하기로 한다.

[0048] 상기 게이트 절연막 구조물(120)은 상기 기판(110) 상에 형성된다. 상기 게이트 절연막 구조물(120)은 기판에 정의된 채널 영역 상에 형성될 수 있다. 즉, 상기 게이트 절연막 구조물(120)은 상기 채널 상에 형성될 수 있다.

[0049] 상기 게이트 절연막 구조물(120)은 전체적으로 약 100nm 내지 약 300nm의 두께를 갖도록 구비될 수 있다.

[0050] 상기 게이트 절연막 구조물(120)은 상기 채널 영역(114) 내에 형성된 적어도 한 쌍의 저유전체(121) 및 고유전체(123)를 포함한다. 상기 저유전체(121) 및 상기 교유전체(123) 각각이 교대로 배치될 수 있다. 또한 상기 유전체(121) 및 상기 교유전체(123) 각각은 스트라이프 형상을 가질 수 있다. 상기 저유전체(121) 및 고유전체(123)의 유전율 비는 약 2 이상일 수 있다.

[0051] 상기 게이트 전극(130)은 상기 게이트 절연막 구조물(120) 상에 형성될 수 있다. 이로써 탑 게이트 구조를 갖는 전계효과 트랜지스터가 구현될 수 있다.

[0052] 전계효과 트랜지스터에 대한 평가

[0053] 도 4는 실리콘 질화물을 고유전체로 이용하여 약 200nm의 트렌치 깊이를 갖는 고유전체를 갖는 게이트 절연막 구조물을 포함하는 트랜지스터의 에너지 밴드 다이어그램을 나타낸 그래프이다.

[0054] 먼저 테스트 대상이 되는 트랜지스터는 아래의 공정을 통하여 형성하였다. 단결정 실리콘 기판에 실리콘 산화물로 이루어진 저유전체 및 상기 저유전체의 상부 표면에 형성된 트렌치를 실리콘 질화물로 매립하여 형성된 고유전체를 포함하는 게이트 절연막 구조물을 형성하였다. 이후, 실리콘 나노 와이어를 이용하여 채널을 형성한 후, 상기 채널의 양 단부에 각각 소스 전극 및 드레인 전극을 형성하였다. 이때 상기 트렌치의 두께는 약 200nm이므로, 상기 고유전체의 깊이 또한 200nm 이다. 한편, 기판의 후면에 게이트 전극을 형성하여 트랜지스터를 제조하였다.

[0055] 도 4를 참조하면, 상기 트랜지스터는 200nm 깊이의 고유전체와 저유전체가 이루는 한 쌍이 교대로 채널을 교차

하도록 형성됨으로써, 상기 고유전체에 의하여 야기된 에너지 장벽이 강한 반전 영역에서 형성됨을 확인할 수 있다. 상기 고유전체에 높은 유전율에 의하여 높은 게이트 커패시턴스가 야기되고 이로 인하여, 게이트로로부터 수직한 전계가 영향을 받음을 확인할 수 있다.

[0056] 도 5는 트렌치 깊이에 따른 표면 포텐셜을 나타낸 그래프이다.

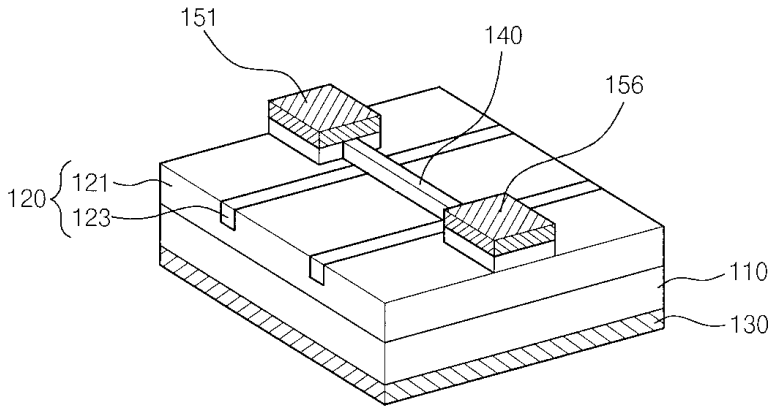
[0057] 도 5를 참조하면, 상기 트렌치의 깊이에 따라 에너지 배리어가 조절될 수 있음을 확인할 수 있다. 즉, 상기 트렌치의 깊이가 깊을수록 상기 에너지 배리어의 굴곡이 깊어짐을 확인할 수 있다. 이로써 상기 에너지 배리어에 의하여 전자가 구속될 수 있으며, 상기 구속된 전자는 에너지 배리어 이상의 에너지를 확보하여야 탈출할 수 있다.

산업상 이용가능성

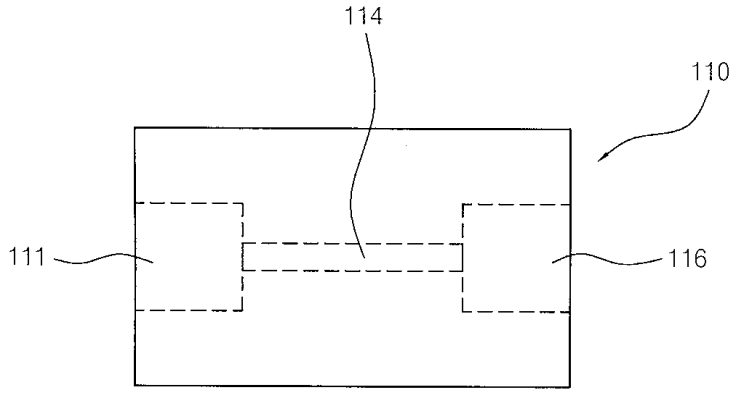
[0058] 본 발명의 실시예들에 따른 전계효과 트랜지스터는 주기적인 다중 포텐셜 배리어들을 가짐에 따라 상기 포텐셜에 의하여 전자들이 구속되는 래터럴 플래쉬 메모리 소자(lateral flash memory device)가 구현될 수 있다. 나아가 상기 다중 포텐셜 배리어들이 형성됨에 따라 다중 레벨 셀 소자(multi level cell device)가 구현될 수 있다.

도면

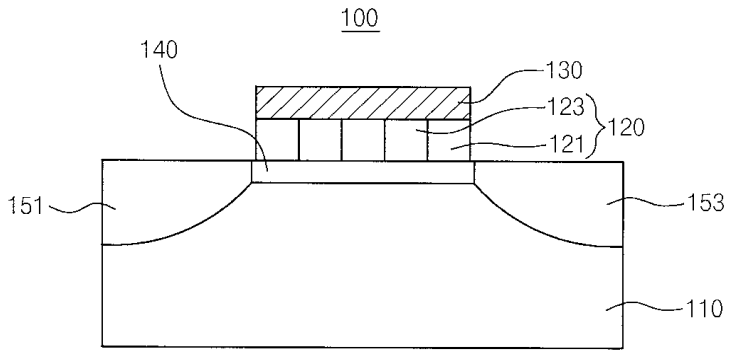
도면1



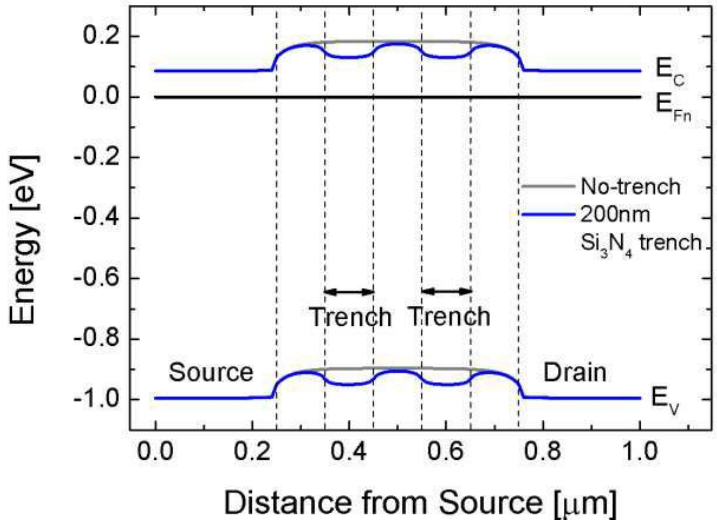
도면2



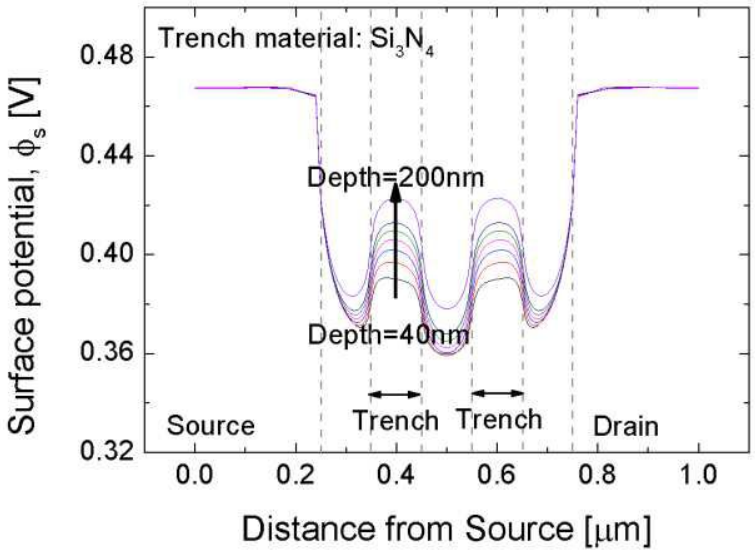
도면3


100
140
130
123
120
121
151
153
110

도면4


0.2
0.0
-0.2
-0.4
-0.6
-0.8
-1.0
Energy [eV]
E_C
E_Fn
No-trench
200nm
Si3N4 trench
Trench
Trench
Source
Drain
E_V
0.0
0.2
0.4
0.6
0.8
1.0
Distance from Source [μm]

도면5


Trench material: Si3N4
0.48
0.44
0.40
0.36
0.32
Surface potential, φs [V]
Depth=200nm
Depth=40nm
Source
Trench
Trench
Drain
0.0
0.2
0.4
0.6
0.8
1.0
Distance from Source [μm]