

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2017-108187
(P2017-108187A)

(43) 公開日 平成29年6月15日 (2017.6.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/07 (2006.01)	HO 1 L 25/04 C	5 F 1 3 6
HO 1 L 25/18 (2006.01)	HO 1 L 23/36 Z	
HO 1 L 23/36 (2006.01)	HO 1 L 23/36 D	

審査請求 有 請求項の数 7 O L (全 20 頁)

(21) 出願番号	特願2017-50688 (P2017-50688)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成29年3月16日 (2017.3.16)	(74) 代理人	100094916 弁理士 村上 啓吾
(62) 分割の表示	特願2014-525838 (P2014-525838)の分割	(74) 代理人	100073759 弁理士 大岩 増雄
原出願日	平成25年7月17日 (2013.7.17)	(74) 代理人	100127672 弁理士 吉澤 憲治
(31) 優先権主張番号	特願2012-160113 (P2012-160113)	(74) 代理人	100088199 弁理士 竹中 孝生
(32) 優先日	平成24年7月19日 (2012.7.19)	(72) 発明者	玉田 美子 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

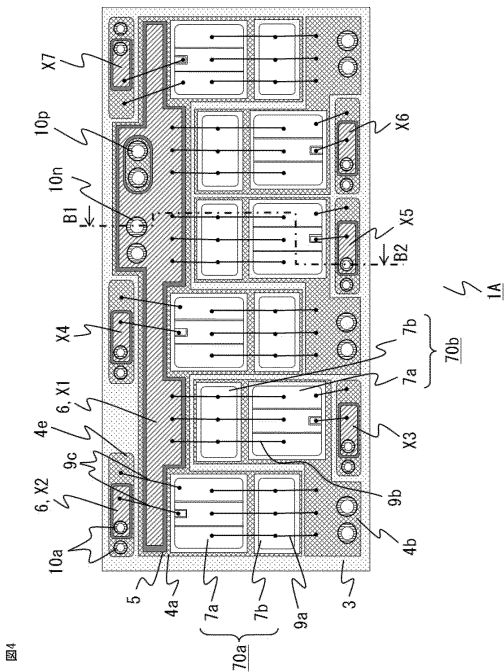
(54) 【発明の名称】 電力用半導体モジュール

(57) 【要約】

【課題】簡単な構成で小型化、低インダクタンス化を実現するとともに、熱抵抗の増大を抑えた電力用半導体モジュールを得る。

【解決手段】金属放熱体であるベース板2と、ベース板2上に設けられた第1絶縁層3と、第1絶縁層3上に設けられた第1配線パターン4とを備え、第1配線パターン4上の一部である所定領域には、樹脂製の第2絶縁層5のみを介して2層目の第2配線パターン6が積層されてパターン積層領域X1を形成している。そして、電力用半導体素子7は、第1配線パターン4上のパターン積層領域X1以外の領域に搭載されている。更に電力用半導体素子7は、自己消弧型半導体素子70を含み、自己消弧型半導体素子70のゲート電極用の配線又は出力電極の制御用配線の一方が第1配線パターン4に設けられ、他方が第2配線パターン6に設けられて積層されている。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

内部に正極側アーム及び負極側アームを構成する複数の電力用半導体素子を収納して構成される絶縁型の電力用半導体モジュールであって、
金属放熱体であるベース板と、
上記ベース板上に設けられた第 1 絶縁層と、
上記第 1 絶縁層上に設けられた第 1 配線パターンとを備え、
上記第 1 配線パターン上の所定領域は、樹脂製の第 2 絶縁層のみを介して 2 層目の第 2 配線パターンが積層されるパターン積層領域であり、上記所定領域において、上記第 1 配線パターンは、上記正極側アームを構成する上記電力用半導体素子の正極と電氣的に接続され、上記第 2 配線パターンは上記負極側アームを構成する上記電力用半導体素子の負極と電氣的に接続され、
上記複数の電力用半導体素子は、上記第 1 配線パターン上の上記パターン積層領域以外の領域に搭載され、
上記複数の電力用半導体素子は、ゲート電極、上記正極となる入力電極および上記負極となる出力電極を有する自己消弧型半導体素子を含み、
上記自己消弧型半導体素子の上記ゲート電極用の配線又は上記出力電極の制御用配線の一方が上記第 1 配線パターンに設けられ、他方が上記第 2 配線パターンに設けられて、上記ゲート電極用の配線と上記出力電極の制御用配線とが上記パターン積層領域にて積層され、
上記正極側アームの上記ゲート電極用の配線および上記出力電極の制御用配線が上記ベース板の一方の辺部に設けられ、上記負極側アームの上記ゲート電極用の配線および上記出力電極の制御用配線が上記ベース板の上記一方の辺部と対向する辺部に設けられている電力用半導体モジュール。

10

20

【請求項 2】

内部に正極側アーム及び負極側アームを構成する複数の電力用半導体素子を収納して構成される絶縁型の電力用半導体モジュールであって、
金属放熱体であるベース板と、
上記ベース板上に設けられた第 1 絶縁層と、
上記第 1 絶縁層上に設けられた第 1 配線パターンとを備え、
上記第 1 配線パターン上の所定領域は、樹脂製の第 2 絶縁層のみを介して 2 層目の第 2 配線パターンが積層されるパターン積層領域であり、上記所定領域において、上記第 1 配線パターンは、上記正極側アームを構成する上記電力用半導体素子の正極と電氣的に接続され、上記第 2 配線パターンは上記負極側アームを構成する上記電力用半導体素子の負極と電氣的に接続され、
上記複数の電力用半導体素子は、上記第 1 配線パターン上の上記パターン積層領域以外の領域に搭載され、
上記複数の電力用半導体素子は、ゲート電極、上記正極となる入力電極および上記負極となる出力電極を有する自己消弧型半導体素子を含み、
上記第 2 配線パターン上に第 3 絶縁層のみを介して積層される 3 層目の第 3 配線パターンと、上記第 3 配線パターン上に第 4 絶縁層のみを介して積層される 4 層目の第 4 配線パターンとを備え、
上記自己消弧型半導体素子の上記ゲート電極用の配線又は上記出力電極の制御用配線の一方が上記第 3 配線パターンに設けられ、他方が上記第 4 配線パターンに設けられて、上記ゲート電極用の配線と上記出力電極の制御用配線とが積層され、
上記正極側アームの上記ゲート電極用の配線および上記出力電極の制御用配線が上記ベース板の一方の辺部に設けられ、上記負極側アームの上記ゲート電極用の配線および上記出力電極の制御用配線が上記ベース板の前記一方の辺部と対向する辺部に設けられている電力用半導体モジュール。

30

40

【請求項 3】

50

内部に正極側アーム及び負極側アームを構成する複数の電力用半導体素子を収納して構成される絶縁型の電力用半導体モジュールであって、

金属放熱体であるベース板と、

上記ベース板上に設けられた第1絶縁層と、

上記第1絶縁層上に設けられた第1配線パターンとを備え、

上記第1配線パターン上の所定領域は、樹脂製の第2絶縁層のみを介して2層目の第2配線パターンが積層されるパターン積層領域であり、上記所定領域において、上記第1配線パターンは、上記正極側アームを構成する上記電力用半導体素子の正極と電氣的に接続され、上記第2配線パターンは上記負極側アームを構成する上記電力用半導体素子の負極と電氣的に接続され、

上記複数の電力用半導体素子は、上記第1配線パターン上の上記パターン積層領域以外の領域に搭載され、

上記複数の電力用半導体素子は、ゲート電極、上記正極となる入力電極および上記負極となる出力電極を有する自己消弧型半導体素子を含み、

上記第2配線パターン上に第3絶縁層のみを介して積層される3層目の第3配線パターンと、上記第3配線パターン上に第4絶縁層のみを介して積層される4層目の第4配線パターンとが、上記第2配線パターンに流れる電流の向きに対して直交するように配置され、

上記自己消弧型半導体素子の上記ゲート電極用の配線又は上記出力電極の制御用配線の一方が上記第3配線パターンに設けられ、他方が上記第4配線パターンに設けられて、上記ゲート電極用の配線と上記出力電極の制御用配線とが積層されている電力用半導体モジュール。

【請求項4】

上記第1絶縁層は樹脂製である請求項1から請求項3のいずれか1項に記載の電力用半導体モジュール。

【請求項5】

上記第1絶縁層はセラミック製である請求項1から請求項3のいずれか1項に記載の電力用半導体モジュール。

【請求項6】

上記複数の電力用半導体素子は、ワイドバンドギャップ半導体により構成される素子を含む請求項1から請求項5のいずれか1項に記載の電力用半導体モジュール。

【請求項7】

上記ワイドバンドギャップ半導体の材料は、炭化珪素、窒化ガリウム又はダイヤモンドである請求項6に記載の電力用半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、インバータなどの電力変換装置に使用される絶縁型の電力用半導体モジュールに関するものである。

【背景技術】

【0002】

近年、電力変換装置の小型化が求められており、これに使用される電力用半導体モジュールの小型化が重要となっている。

電力用半導体モジュールの構造としては、放熱板となる金属板に絶縁層を介して配線パターンが形成され、その上に電力用半導体素子が設けられて各端子とワイヤボンドなどにより接続され、樹脂にて封止されるものが一般的である。

このような電力用半導体モジュールは大きく2種類に分類でき、シリコーンゲルで封止されたケース型モジュールとエポキシ樹脂で封止されたトランスファーモールド型モジュールがある（例えば、前者は特許文献1、後者は特許文献2参照）。前者のケース型モジュールでは、絶縁層としてセラミックス絶縁層が使用され、後者のトランスファーモールド型モジュールでは、樹脂絶縁層が使用されることが多い。

10

20

30

40

50

ところで、大電流、高電圧でスイッチング動作する電力用半導体モジュールでは、電力用半導体素子がオフする際の電流の時間変化率 di/dt と電力変換装置に含まれる配線インダクタンス L とにより、サージ電圧 $\Delta V = L \cdot di/dt$ が電力用半導体素子に印加される。配線インダクタンス L が大きいと電力用半導体素子の耐圧を超えるサージ電圧が発生し、電力用半導体素子の劣化の原因となることがある。

このため、電力用半導体モジュールは、小型化が求められるとともに、低インダクタンス化も重要となる。

【0003】

例えば従来の半導体モジュールは、3層以上のセラミック基板が積層されて互いに接合されたセラミック多層基板と、セラミック多層基板の上面および下面に接合された表層金属回路板と、内層のセラミック基板に形成された回路貫通孔内に配置された内層金属回路板と、一端が内層金属回路板に、他端が他の内層金属回路板または表層金属回路板にそれぞれろう材によって接合され、内層金属回路板と他の内層金属回路板または表層金属回路板とを接続する金属柱とを備えたセラミック回路基板に、電子部品としての半導体素子が搭載されている（例えば、特許文献3参照）。

10

【0004】

また、例えば従来の半導体モジュールは、モジュール内部のブスバーを積層構造としてブスバー部分の低インダクタンスを図ることで、半導体モジュールの低インダクタンス化を図っている（例えば、特許文献4参照）。

【先行技術文献】

20

【特許文献】

【0005】

【特許文献1】特開平08-316357号公報

【特許文献2】特開平10-135377号公報

【特許文献3】特開2011-199275号公報

【特許文献4】特許第4430497号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記特許文献3に記載の従来の半導体モジュールは、セラミック多層基板を用いたため、半導体モジュールを小型化することができ、回路が重なる部分ではインダクタンス低減の効果も得られると考えられる。しかし、セラミック多層基板は、多層構造であるため熱抵抗が大きく、セラミック多層基板に搭載された電力用半導体素子のスイッチング時等における発熱を効率よく放熱することができないという問題があった。また、多層金属回路板同士を接続するために金属柱を用い、電流経路とする方法は、電流容量の大きなパワーモジュールに不向きである。

30

【0007】

また、上記特許文献4に記載の従来の半導体モジュールは、ブスバーの積層部分での低インダクタンス化が可能であるが、ブスバーの出力端子の形状や、ブスバーと半導体素子との接続についての説明はなく、出力端子の形状や電力用半導体素子との接続構造が複雑化することが推測される。また、ブスバー間に絶縁紙を挟んでケースとインサート成形するなど、製造工程が煩雑であることが推測される。また、ケースの樹脂流動性が悪く、ブスバー間の距離を広げる必要があり、インダクタンスの低減効果が弱くなることも懸念される。

40

【0008】

この発明は、上記のような課題を解決するためになされたもので、簡単な構成で小型化・低インダクタンス化を実現するとともに、熱抵抗の増大を抑えた電力用半導体モジュールを得ることを目的とする。

【課題を解決するための手段】

【0009】

50

この発明に係る電力用半導体モジュールは、内部に正極側アーム及び負極側アームを構成する複数の電力用半導体素子を収納して構成される絶縁型の電力用半導体モジュールであって、金属放熱体であるベース板と、上記ベース板上に設けられた第1絶縁層と、上記第1絶縁層上に設けられた第1配線パターンとを備え、上記第1配線パターン上の所定領域は、樹脂製の第2絶縁層のみを介して2層目の第2配線パターンが積層されるパターン積層領域であり、上記所定領域において、上記第1配線パターンは、上記正極側アームを構成する上記電力用半導体素子の正極と電氣的に接続され、上記第2配線パターンは上記負極側アームを構成する上記電力用半導体素子の負極と電氣的に接続され、上記複数の電力用半導体素子は、上記第1配線パターン上の上記パターン積層領域以外の領域に搭載され、上記複数の電力用半導体素子は、ゲート電極、上記正極となる入力電極および上記負極となる出力電極を有する自己消弧型半導体素子を含み、上記自己消弧型半導体素子の上記ゲート電極用の配線又は上記出力電極の制御用配線の一方が上記第1配線パターンに設けられ、他方が上記第2配線パターンに設けられて、上記ゲート電極用の配線と上記出力電極の制御用配線とが上記パターン積層領域にて積層され、上記正極側アームの上記ゲート電極用の配線および上記出力電極の制御用配線が上記ベース板の一方の辺部に設けられ、上記負極側アームの上記ゲート電極用の配線および上記出力電極の制御用配線が上記ベース板の上記一方の辺部と対向する辺部に設けられているものである。

10

又別の電力用半導体モジュールは、上記第2配線パターン上に第3絶縁層のみを介して積層される3層目の第3配線パターンと、上記第3配線パターン上に第4絶縁層のみを介して積層される4層目の第4配線パターンとを備え、上記自己消弧型半導体素子の上記ゲート電極用の配線又は上記出力電極の制御用配線の一方が上記第3配線パターンに設けられ、他方が上記第4配線パターンに設けられて、上記ゲート電極用の配線と上記出力電極の制御用配線とが積層され、上記正極側アームの上記ゲート電極用の配線および上記出力電極の制御用配線が上記ベース板の一方の辺部に設けられ、上記負極側アームの上記ゲート電極用の配線および上記出力電極の制御用配線が上記ベース板の前記一方の辺部と対向する辺部に設けられているものである。

20

更に別の電力用半導体モジュールは、上記第2配線パターン上に第3絶縁層のみを介して積層される3層目の第3配線パターンと、上記第3配線パターン上に第4絶縁層のみを介して積層される4層目の第4配線パターンとが、上記第2配線パターンに流れる電流の向きに対して直交するように配置され、上記自己消弧型半導体素子の上記ゲート電極用の配線又は上記出力電極の制御用配線の一方が上記第3配線パターンに設けられ、他方が上記第4配線パターンに設けられて、上記ゲート電極用の配線と上記出力電極の制御用配線とが積層されているものである。

30

【発明の効果】

【0010】

この発明に係る電力用半導体モジュールは、内部に複数の電力用半導体素子を収納して構成される絶縁型の電力用半導体モジュールであって、金属放熱体であるベース板と、上記ベース板上に設けられた第1絶縁層と、上記第1絶縁層上に設けられた第1配線パターンとを備え、上記第1配線パターン上の所定領域は、樹脂製の第2絶縁層のみを介して2層目の第2配線パターンが積層されるパターン積層領域である。このため、電力用半導体モジュールにおける配線をパターン積層領域にて積層することができ、電力半導体モジュールの小型化・低インダクタンス化を簡単な構成で実現することができる。これに加え、電力用半導体素子は、第1配線パターン上のパターン積層領域以外の領域に配置することができ、電力用半導体素子からの発熱を効率よく放熱することができる。

40

【図面の簡単な説明】

【0011】

【図1】この発明の実施の形態1における電力用半導体モジュールの構成を模式的に示す平面図である。

【図2】図1の平面図におけるA1-A2断面図である。

【図3】この発明の実施の形態1における電力用半導体モジュールの回路構成を説明する

50

ための回路図である。

【図 4】この発明の実施の形態 2 における電力用半導体モジュールの構成を模式的に示す平面図である。

【図 5】図 4 の平面図における B 1－B 2 断面図である。

【図 6】この発明の実施の形態 3 における電力用半導体モジュールの構成を模式的に示す平面図である。

【図 7】図 6 の平面図における C 1－C 2 断面図である。

【図 8】この発明の実施の形態 4 における電力用半導体モジュールの構成を模式的に示す平面図である。

【図 9】図 8 の平面図における D 1－D 2 断面図である。

10

【発明を実施するための形態】

【0012】

実施の形態 1.

図 1 は、この発明の実施の形態 1 における電力用半導体モジュール 1 の構成を模式的に示す平面図、図 2 は図 1 の平面図における A 1－A 2 断面図である。本実施の形態 1 では、一例として、いわゆる 6 in 1 構造と呼ばれ、3 相交流に適用可能な電力用半導体モジュールを採用している。6 in 1 構造の電力用半導体モジュールは、逆並列に接続された自己消弧型半導体素子と還流用ダイオードとの組が 2 組直列に接続された回路を 1 相分とし、この回路を 3 相分備えたものである。

【0013】

20

まず、図 1、図 2 を参照して、電力用半導体モジュール 1 の構成を簡単に説明する。なお、電力用半導体モジュール 1 の内部の構成が分かりやすいよう、図 1 の平面図においてトランスファーモールド樹脂の記載を省略している。

電力用半導体モジュール 1 は、内部に複数の電力用半導体素子 7 を収納して構成される絶縁型の電力用半導体モジュールであり、電力用半導体モジュール 1 で発生する熱を外部へ放熱するための金属放熱体であるベース板 2 と、ベース板 2 上に設けられた第 1 絶縁層 3 と、第 1 絶縁層 3 上に設けられた金属箔からなる 1 層目の第 1 配線パターン 4 とを備えている。そして、第 1 配線パターン 4 上の一部分である所定領域には、第 2 絶縁層 5 を介して配設される金属箔からなる 2 層目の第 2 配線パターン 6 が積層され、2 層の第 1、第 2 配線パターン 4、6 が積層するパターン積層領域 X 1 が形成されている。

30

【0014】

第 1 配線パターン 4 上であって、パターン積層領域 X 1 とは異なる領域に、複数の電力用半導体素子 7 が搭載されており、はんだ 8 によって第 1 配線パターン 4 に接合されている。また、各電力用半導体素子 7 間や、各電力用半導体素子 7 と第 1、第 2 配線パターン 4、6 間等の必要な箇所は、ワイヤボンダ 9 により電氣的に接続されている。第 1、第 2 配線パターン 4、6 上の必要箇所には、それぞれ外部接続用のソケット型の端子 10 が設けられ、端子 10 は、はんだ 8 により第 1、第 2 配線パターン 4、6 に接合されている。端子 10 の孔部 100 には、棒状の外部端子（図示なし）が挿入接続される。

【0015】

40

そして、これらの各部材（ベース板 2、第 1 絶縁層 3、第 1 配線パターン 4、第 2 絶縁層 5、第 2 配線パターン 6、電力用半導体素子 7、ワイヤボンダ 9、端子 10 等）が、トランスファーモールド樹脂 11 により一体的に封止されることで電力用半導体モジュール 1 が構成されている。

なお、本実施の形態 1 では、端子 10 として、外部端子を挿入接続するソケット型端子を採用しているが、ネジ接続用の端子など、外部回路と接続できるようなものであればどのような端子であってもよい。

【0016】

次に、各部材の材質等について説明する。

ベース板 2 は、熱伝導性に優れた金属、例えば、アルミニウム、アルミニウム合金、銅、銅合金、鉄、および鉄合金等、あるいは、複合材料である銅／鉄－ニッケル合金／銅

50

よびアルミニウム／鉄－ニッケル合金／アルミニウム等を用いることができる。特に、電力用半導体素子の電流容量が大きい場合には、電気伝導性にも優れた銅を用いることが好ましい。また、ベース板 2 の厚み、長さ、幅は、例えば電力用半導体素子 7 の電流容量により、適宜決定される。電力用半導体素子 7 の電流容量が大きくなるほど、ベース板 2 の厚み、長さ、幅を大きく設定することが好ましい。

本実施の形態 1 では、ベース板 2 として厚み 3 mm のアルミニウム板を使用している。

【0017】

第 1 絶縁層 3 は、例えば、各種セラミックスや、無機粉末を含有する樹脂絶縁シート、ガラス繊維を含有する樹脂絶縁シート等を用いることができる。

第 2 絶縁層 5 には、樹脂製のものを使用し、例えば、無機粉末を含有する樹脂絶縁シート、ガラス繊維を含有する樹脂絶縁シート等を用いることができる。

本実施の形態 1 では、第 1、第 2 絶縁層 3、5 とともに、無機粉末としてアルミナ粉末を含有するエポキシ樹脂絶縁シートにより形成している。なお、その他の無機粉末としては、ベリリヤ、ボロンナイトライド、マグネシア、シリカ、窒化珪素、窒化アルミニウム等が挙げられる。なお、樹脂絶縁シートにより形成された第 1、第 2 絶縁層 3、5 の厚みは、例えば 20～400 μm 程度に設定される。

【0018】

第 1 配線パターン 4 および第 2 配線パターン 6 を形成する金属箔には例えば銅箔を用い、銅箔の厚みは 0.3 mm としている。

また、ワイヤボンド 9 には、アルミニウム線や、銅線等を用いることができ、ここでは、ワイヤボンド 9 としてアルミニウム線を使用している。

なお、第 1、第 2 配線パターン 4、6 を形成する銅箔の厚み、ワイヤボンド 9 に用いられる金属線の線径・本数は、電力用半導体素子 7 の電流容量により適宜決定され、本実施の形態 1 の例に限られるものではない。

【0019】

次に、電力用半導体モジュール 1 の製造方法の一例について説明する。

まず、厚み 3 mm のアルミニウム板からなるベース板 2 上に、B ステージ状態のアルミナ粉末を含有するエポキシ樹脂シートを第 1 絶縁層 3 として載せ、さらにその上に厚み 0.3 mm の銅箔（1 層目）を重ねる。なお、B ステージ状態とは、エポキシ樹脂等の熱硬化性樹脂の硬化中間状態をいう。そして、ベース板 2、第 1 絶縁層 3、銅箔（1 層目）を重ねたものを加熱・加圧し、ベース板 2 と銅箔（1 層目）とは、第 1 絶縁層 3 の硬化により固着される。その後、銅箔（1 層目）を所定の形状にエッチングし、1 層目の第 1 配線パターン 4 を形成する。なお、第 1 配線パターン 4 には、電力用半導体素子 7 を搭載するための素子搭載部分が所定の位置に設けられている。

【0020】

次に、1 層目の第 1 配線パターン 4 上の一部である所定領域に、B ステージ状態のアルミナ粉末を含有するエポキシ樹脂シートを第 2 絶縁層 5 として載せ、さらにその上に第 2 絶縁層 5 と略同じサイズの厚み 0.3 mm の銅箔（2 層目）を重ねる。そして、これらを再度加熱・加圧し、第 1 配線パターン 4 と銅箔（2 層目）とは、第 2 絶縁層 5 の硬化により固着される。その後、銅箔（2 層目）を所定の形状にエッチングし、2 層目の第 2 配線パターン 6 を形成する。

このようにして、ベース板 2、第 1 絶縁層 3、第 1 配線パターン 4、第 2 絶縁層 5、第 2 配線パターン 6 が積層してなる金属回路基板を形成する。本実施の形態 1 では、第 1 絶縁層 3、第 2 絶縁層 5 をエポキシ樹脂絶縁シートにより形成しているため、ベース板 2 と第 1 配線パターン 4 間、第 1 配線パターン 4 と第 2 配線パターン 6 間に配置されることで、各部材を絶縁するとともに、各部材を固着する接着剤としての役割も担っている。

なお、金属回路基板の形成後、金属回路基板の表面の任意の場所に、第 1 配線パターン 4、第 2 配線パターン 6 を保護する絶縁膜である、ソルダーレジスト（図示せず）を形成してもよい。

【0021】

次に、1層目の第1配線パターン4上の所定の場所に設けられる素子搭載部分に電力用半導体素子7を、そして第1配線パターン4、第2配線パターン6上の任意の場所に外部接続用の端子10を、各々はんだ8を用いて接合する。なお、電力用半導体素子7は第1配線パターン4上のみ配置され、第2配線パターン6上には配置されない。

そして、第1配線パターン4もしくは第2配線パターン6と各電力用半導体素子7との間、および、各電力用半導体素子7間において、導通が必要な箇所をワイヤボンダ9で接続する。なお、本実施の形態1では、第1、第2配線パターン4、6と電力用半導体素子7との接続、および各電力用半導体素子7間の接続をワイヤボンダ9により行っているが、これに限られるものではなく、電氣的接続を行えるものであれば、他の方法を用いてもよい。

10

【0022】

次に、電力用半導体素子7や端子10等を搭載した金属回路基板を金型にセットし、金型内に例えばシリカ粉末が充填されたエポキシ樹脂系トランスファーマールド樹脂11を注入して、電力用半導体素子7や端子10等を搭載した金属回路基板を封止する。

【0023】

なお、本実施の形態1では、2層目の絶縁層となる第2絶縁層5として、アルミナ粉末を含有するエポキシ樹脂シートを用いたが、この他、ポリイミドなどの絶縁性のある樹脂のフィルムやシートを用いても良く、また加熱・加圧での加工だけでなく、両面に粘着剤のついたポリイミドシートなどを使用することで、第1配線パターン4と第2配線パターン6とを接着してもよい。

20

【0024】

ところで、一般に言う絶縁基板とは、金属製のベース板上に絶縁層を介して配線パターンが1層のみ配置されたものであり、このような絶縁基板は市販等されている。例えば、本実施の形態1の電力用半導体モジュール1を、この一般に市販等されている絶縁基板を利用して形成してもよい。すなわち一般の絶縁基板の配線パターンを1層目の配線パターンとし、この配線パターンの上の一部の領域に、2層目の配線パターンを絶縁層を介して設けることとしてもよい。

【0025】

次に、実施の形態1の電力用半導体モジュール1における電力用半導体素子7の配置と、それらの接続関係について詳しく説明する。

30

上述の通り、本実施の形態1では6in1の電力用半導体モジュール1を採用しており、電力用半導体モジュール1は、電力用半導体素子7としての自己消弧型半導体素子7aと、電力用半導体素子7としての還流用ダイオード7bとが逆並列に接続された組が2組直列に接続された回路を1相分として、これを3相分備えている。

本実施の形態1の電力用半導体モジュール1では、例えば、図1中一番左側に配置されている自己消弧型半導体素子7aと還流用ダイオード7bとで正極側アーム70aを構成し、その隣りに配置されている自己消弧型半導体素子7aと還流用ダイオード7bとで負極側アーム70bを構成し、この正極側アーム70a、負極側アーム70bにより1相分の回路を形成する構成となっている。

【0026】

40

なお、自己消弧型半導体素子7aとしては、IGBT (Insulated Gate Bipolar Transistor) や MOSFET (Metal Oxide Semiconductor Field Effect Transistor) などが代表的である。ただし、これらに限られるものではなく、その他の自己消弧型半導体素子であってもよい。本実施の形態1では、自己消弧型半導体素子7aとしてIGBTを採用し、制御電極としてのゲート電極、入力電極としてのコレクタ電極、出力電極としてのエミッタ電極を備えている。なお、MOSFETを採用した場合には、一般に、入力電極としてドレイン電極、出力電極としてソース電極が該当する。

【0027】

ここで、図3に、電力用半導体モジュール1の3相の内、1相分が2レベル電力変換回

50

路を構成する場合における、外部回路を含めた等価回路図を示す。図 3 に示すように、この回路は、自己消弧型半導体素子 7 a と還流用ダイオード 7 b とを逆並列に接続した組を 2 直列に接続したものを、コンデンサ 1 1 0 の両端となる正極端子 1 0 p と負極端子 1 0 n に接続して構成されている。コンデンサ 1 1 0 の正極と接続されるアームが正極側アーム 7 0 a、コンデンサ 1 1 0 の負極と接続されるアームが負極側アーム 7 0 b である。なお、正極側アーム 7 0 a と負極側アーム 7 0 b との midpoint A C は、負荷 L を介して、他相の正極側アーム 7 1 a と負極側アーム 7 1 b との midpoint に接続されている。

【0028】

図 1 上において、一番左側の正極側アーム 7 0 a とその隣りの負極側アーム 7 0 b により構成された 1 相分の回路について、その接続関係を図 3 を参照しながら説明する。

まず、図 3 で示す点線部分、すなわち正極端子 1 0 p と正極側アーム 7 0 a のコレクタ電極側の点 C 1 との接続経路を点線で示すとともに、図 1 において、当該接続経路を点 C 1 と 1 0 P との間における点線で示す。図 1 に示すように、第 1 配線パターン 4 の第 1 領域 4 a 上に、正極端子 1 0 p、正極側アーム 7 0 a が設けられることにより、正極端子 1 0 p と正極側アーム 7 0 a との接続経路は、1 層目の第 1 配線パターン 4 上となる。

次に、図 3 で示す一点鎖線部分、すなわち負極側アーム 7 0 b のエミッタ電極側の点 E 1 と負極端子 1 0 n との接続経路を一点鎖線で示すとともに、図 1 において、当該経路を点 E 1 と 1 0 n との間の一点鎖線で示す。図 1 に示すように第 1 配線パターン 4 の第 2 領域 4 b 上に負極側アーム 7 0 b が設けられており、負極側アーム 7 0 b はワイヤボンダ 9 b (9) により 2 層目の第 2 配線パターン 6 と接続されている。そして、2 層目の第 2 配線パターン 6 上に負極端子 1 0 n が設けられていることにより、負極側アーム 7 0 b と負極端子 1 0 n との接続経路は、主に 2 層目の第 2 配線パターン 6 上となる。

なお、正極側アーム 7 0 a と負極側アーム 7 0 b との接続は、ワイヤボンダ 9 a (9) および第 1 配線パターン 4 の第 2 領域 4 b を介して行われている。

また、正極側アーム 7 0 a を構成する自己消弧型半導体素子 7 a のゲート電極用の配線は 1 層目の第 1 配線パターン 4 の一部である第 3 領域 4 c に、エミッタ電極の制御用配線は第 3 領域 4 c の隣りに配置される第 1 配線パターン 4 の一部である第 4 領域 4 d にそれぞれ形成されている。

【0029】

以上の通り、正極端子 1 0 p と正極側アーム 7 0 a との電氣的接続は 1 層目の第 1 配線パターン 4 を介し、負極側アーム 7 0 b と負極端子 1 0 n との電氣的接続は第 1 配線パターン 4 の上側に重なる 2 層目の第 2 配線パターン 6 を介して行われている。

このように、第 1 配線パターン 4、第 2 配線パターン 6 を積層化することにより、正極端子 1 0 p と正極側アーム 7 0 a 間や、負極側アーム 7 0 b と負極端子 1 0 n 間を繋ぐ主回路における電流経路を平行平板化することができる。従って、回路の電流経路を短くすることができ、電力用半導体モジュール 1 内部の配線インダクタンスを低減することができる。

【0030】

ところで、上記でも説明したように、大電流、高電圧でスイッチング動作する電力用半導体モジュールでは、電力用半導体素子である自己消弧型半導体素子がオフする際の電流の時間変化 di/dt と配線インダクタンス L とにより、サージ電圧 $\Delta V = L \cdot di/dt$ が自己消弧型半導体素子に印加される。配線インダクタンス L が大きいと自己消弧型半導体素子の耐圧を超えるサージ電圧が発生し、自己消弧型半導体素子の劣化の原因となることがある。従って、サージ電圧を抑えることが、自己消弧型半導体素子の能力を効率的に発揮させることにつながる。サージ電圧を抑えるためには、サージ電圧が発生する経路、すなわち、スイッチング動作時に電流の時間変化 di/dt が発生する経路である転流ループにおける配線インダクタンス L を小さくすることが求められる。

【0031】

図 3 に示す回路における転流ループ R をグレー実線（一部に点線、一点鎖線を含む）で示す。また、図 3 に対応させて、図 1 上における、一番左側の正極側アーム 7 0 a とその

隣りの負極側アーム 70 b により構成された 1 相分の回路にも同様にグレー実線（一部に点線、一点鎖線を含む）で転流ループ R を示す。

上記で説明した正極端子 10 p から正極側アーム 70 a までの経路（点線部分）と、負極側アーム 70 b から負極端子 10 n までの経路（一点鎖線部分）とは、転流ループに含まれており、転流ループの主部分となっている。上述の通り、正極端子 10 p から正極側アーム 70 a までの経路は第 1 配線パターン 4 の第 1 領域 4 a を通り、負極側アーム 70 b から負極端子 10 n までの経路は第 1 配線パターン 4 の第 1 領域 4 a 部分に重なる第 2 配線パターン 6 を通る。そして、重なった部分の転流ループでは、電流の向きが逆であるため、電流の時間変化 di/dt により発生する磁束を互いに打ち消す。すなわち、第 1 配線パターン 4 の第 1 領域 4 a 部分と第 2 配線パターン 6 とが積層されて経路が短くなったことに加え、 di/dt による磁束が打ち消されるため、転流ループにおける配線インダクタンス L を効率的に低減することができる。

10

【0032】

上記において、第 2 絶縁層 5、第 2 配線パターン 6 は、第 1 配線パターン 4 上の素子搭載部分以外の任意の箇所に配置されることを説明した。第 2 配線パターン 6 の配置は、第 1 配線パターン 4 上の素子搭載部分以外の任意の箇所であって、上記のように転流ループの配線が積層し、かつその電流の向きが逆となるような配置に決定されている。

【0033】

なお、自己消弧型半導体素子 7 a や還流用ダイオード 7 b 等の電力用半導体素子 7 は、第 1 配線パターン 4 上のみに配置され、第 2 配線パターン 6 上には配置されない。これによる効果を説明する。

20

電力用半導体素子 7 では、スイッチング時等に熱を発生するため、この発生熱を効率よく放熱することが必要となる。一般に、電力用半導体モジュールは放熱器に接続して使用するが、電力用半導体素子から放熱器に接触するベース板までの積層された部材の熱抵抗を小さくすることが、放熱効率を上げることに繋がる。特に、導体に比べて熱伝導率の低い絶縁体は熱抵抗を増大させるので、絶縁体による熱抵抗を下げることで放熱効率を上げると言える。第 2 配線パターン 6 が設けられたパターン積層領域 X 1 では、絶縁体である絶縁層が 2 層に積層されているため熱抵抗が大きくなるが、パターン積層領域以外の部分では絶縁層が単層であり、第 1 配線パターン 4 の下部は第 1 絶縁層 3 を介して直接ベース板 2 に固着されている。このため、電力用半導体素子 7 を第 1 配線パターン 4 上に配置しておくことで、電力用半導体素子 7 から発生する熱は、効率よくベース板 2 に伝熱して放熱される。

30

【0034】

以上のように、本実施の形態 1 の電力用半導体モジュール 1 は、1 層目の第 1 配線パターン 4 上の一部の領域に第 2 絶縁層 5 のみを介して 2 層目の第 2 配線パターン 6 が積層されるパターン積層領域 X 1 を備えた。このため、電力用半導体モジュール 1 の主回路となる正極端子 10 p から正極側アーム 70 a への配線を 1 層目の第 1 配線パターン 4 に設け、負極側アーム 70 b から負極端子 10 n への配線を 2 層目の第 2 配線パターン 6 に設けることができ、電流経路を平行平板化することができる。これにより回路の電流経路を短くすることができ、電力用半導体モジュール 1 内部の配線インダクタンスの低減を図ることができる。

40

さらに、第 1、第 2 配線パターン 4、6 が積層された部分の転流ループでは、電流の向きが逆となるため、電流の時間変化 di/dt により発生する磁束を互いに打ち消すことができ、転流ループにおける配線インダクタンスを効率的に低減することができる。

また、第 1、第 2 配線パターン 4、6 が積層されることにより、配線に必要なスペースを縮小でき、電力用半導体モジュール 1 を小型化することができる。

【0035】

また、熱源となる電力用半導体素子 7 は、1 層目の第 1 配線パターン 4 上に配置されているため、電力用半導体素子 7 からの発生熱を効率よくベース板 2 に伝熱することができ、冷却性能の高い電力用半導体モジュール 1 を得ることができる。

50

【0036】

なお、本実施の形態1では、一例として6in1構造の電力用半導体モジュール1を採用したが、これに限られるものではなく、いわゆる2in1や、1in1構造の電力用半導体モジュールであっても本実施の形態1を適用することができ、同様の効果が得られる。

一方、本実施の形態1で記載の6in1構造においては、第1、第2配線パターン4、6が積層され、配線インダクタンスを効率的に低減できるため、特に、負極側の相間のインダクタンスのばらつきが小さい。したがって、6in1構造において本発明を適用することにより、相間のスイッチング速度のばらつきやサージ電圧のばらつきが小さくなるという効果が得られる。

10

【0037】

実施の形態2.

図4は、この発明の実施の形態2における電力用半導体モジュール1Aの構成を模式的に示す平面図、図5は図4の平面図におけるB1-B2断面図である。なお、電力用半導体モジュール1Aの内部の構成が分かりやすいよう、図4の平面図においてトランスファーマールド樹脂11の記載を省略している。

本実施の形態2でも、上記実施の形態1と同様、6in1構造の電力用半導体モジュールを採用しており、逆並列に接続された自己消弧型半導体素子7aと還流用ダイオード7bとの組が2組直列に接続された回路を1相分とし、この回路を3相分備えている。各電力用半導体素子7a、7bの配置等、基本的な構成は上記実施の形態1とほぼ同様であるが、各自己消弧型半導体素子7aのゲート電極用の配線およびエミッタ電極の制御用配線のパターン配設場所が異なっている。なお、上記実施の形態1と同様の構成については、同一符号を付して説明を省略する。

20

【0038】

上記実施の形態1では自己消弧型半導体素子7aのゲート電極用の配線、エミッタ電極の制御用配線は両方とも1層目の第1配線パターン4上（第3領域4c、第4領域4d）に設けられていた。

これに対し、本実施の形態2では、図4、図5に示すように、1層目の第1配線パターン4と2層目の第2配線パターン6とが積層されるパターン積層領域が複数箇所に存在し、自己消弧型半導体素子7aのゲート電極用の配線とエミッタ電極の制御用配線は、一方が1層目の第1配線パターンに、他方が2層目の第2配線パターンにそれぞれ設けられ、ゲート電極用の配線とエミッタ電極の制御用配線とがパターン積層領域にて積層されている。

30

【0039】

具体的には、本実施の形態2では、パターン積層領域X1以外に6箇所のパターン積層領域X2～X7を有している。例えば、図4、5中、一番左側に配置されている自己消弧型半導体素子7aのエミッタ電極の制御用配線を1層目の第1配線パターン4（第1配線パターン4の第5領域4e）に設け、ゲート電極用の配線をパターン積層領域X2における2層目の第2配線パターン6（第1配線パターン4の第5領域4e上に第2絶縁層を介して積層される2層目の配線パターン6）に設けている。これにより自己消弧型半導体素子7aのゲート電極用の配線と、エミッタ電極の制御用配線とが積層される。第1配線パターン4e（4）、第2配線パターン6（X2）は、自己消弧型半導体素子7aのエミッタ電極、ゲート電極にそれぞれワイヤボンダ9（図中9cで示すワイヤボンダ）を介して接続され、エミッタ電極、ゲート電極が制御用の端子10（図中10aで示す端子）とそれぞれ接続される。そして、各端子10aに外部回路が接続されることになる。

40

なお、一番左側に配置されている自己消弧型半導体素子7a以外の5個の自己消弧型半導体素子7aについても同様であり、各パターン積層領域X3～X7においてゲート電極用の配線とエミッタ電極の制御用配線とが積層される構成となっている。

【0040】

以上のように、本実施の形態2では、自己消弧型半導体素子7aのゲート電極用の配線

50

とエミッタ電極の制御用配線を積層することにより、ゲート電極とエミッタ電極との間の経路が短くなる。このため、上記実施の形態 1 の効果に加え、ゲート・エミッタ間の経路におけるインピーダンスを下げることができ、ゲートの振動・発振などを抑制することが可能となる。また、ゲート電極用の配線、エミッタ電極の制御用配線を積層させることにより、電力用半導体モジュール 1 A のさらなる小型化が可能となる。

なお、本実施の形態 2 では、エミッタ電極の制御用配線を 1 層目の第 1 配線パターン 4、ゲート電極用の配線を 2 層目の第 2 配線パターン 6 に設けたが、これに限られるものではなく、ゲート電極用の配線を 1 層目の第 1 配線パターン 4 に、エミッタ電極の制御用配線を 2 層目の第 2 配線パターン 6 に設ける構成としてもよい。

【0041】

実施の形態 3.

図 6 は、この発明の実施の形態 3 における電力用半導体モジュール 1 B の構成を模式的に示す平面図、図 7 は図 6 の平面図における C 1 - C 2 断面図である。本実施の形態 3 では、一例として、2 in 1 構造と呼ばれる電力用半導体モジュールを採用している。

本実施の形態 3 での電力用半導体モジュール 1 B は、電力用半導体素子 7 としての自己消弧型半導体素子 7 a と、電力用半導体素子 7 としての還流用ダイオード 7 b とが逆並列に接続されたものを 2 個並列に接続して 1 組とし、この組を 2 組直列接続した回路により構成されている。

【0042】

本実施の形態 3 の電力用半導体モジュール 1 B は上記実施の形態 1 や実施の形態 2 とは異なり、トランスファーマールド樹脂により封止されるトランスファーマールド型の電力用半導体モジュールではない。本実施の形態 3 の電力用半導体モジュール 1 B は、トランスファーマールド型よりも広く普及しているケース型の電力用半導体モジュール 1 B である。ケース型の電力用半導体モジュールとは、樹脂製のケースの内部にゲル封止樹脂等を注入して、配線パターンや電力用半導体素子等を封止し、一体化したものである。

一般にケース型の電力用半導体モジュールでは、金属放熱体であるベース板上に配置される絶縁層としてセラミック製の絶縁層が用いられる。本実施の形態 3 においても、ベース板上に配置される 1 層目の第 1 絶縁層としてセラミック製の第 1 絶縁層 3 B を使用する。

【0043】

まず、図 6、図 7 を参照して、電力用半導体モジュール 1 B の構成を説明する。なお、上記実施の形態 1 と同様の構成については、同一符号を付して説明を省略する。また、電力用半導体モジュール 1 B のケース内部の構成が分かりやすいよう、図 6 の平面図においてケースの記載を省略している。

電力用半導体モジュール 1 B は、金属放熱体であるベース板 2 B 上に、第 1 絶縁層としてのセラミックス製の第 1 絶縁層 3 B が設けられている。実際には、第 1 絶縁層 3 B の下面には金属箔 30 B がロウ付けにより接合されており、この金属箔 30 B がはんだ 8 によりベース板 2 B に接合されている。これにより、ベース板 2 B 上に第 1 絶縁層 3 B が固着される。ベース板 2 B 上に固定された第 1 絶縁層 3 B の上面には、金属箔をエッチングして形成された 1 層目の第 1 配線パターン 4 B が、ロウ付けなどにより固着されている。そして、第 1 配線パターン 4 B 上の一部分である所定領域には、第 2 絶縁層 5 B を介して配設される金属箔からなる 2 層目の第 2 配線パターン 6 B が積層され、2 層の配線パターン 4 B、6 B が積層されるパターン積層領域 Y 1 が形成されている。

【0044】

第 1 配線パターン 4 B 上であって、パターン積層領域 Y 1 とは異なる領域には、複数の電力用半導体素子 7 が搭載されており、はんだ 8 によって第 1 配線パターン 4 B に接合されている。また、各電力用半導体素子 7 間や、各電力用半導体素子 7 と第 1、第 2 配線パターン 4 B、6 B 間等の必要な箇所は、ワイヤボンダ 9 により電氣的に接続されている。また、第 1、第 2 配線パターン 4 B、6 B 上の任意の箇所には、複数の外部接続用の端子 10 b が設けられ、端子 10 b は、はんだ 8 により第 1、第 2 配線パターン 4 B、6 B に

10

20

30

40

50

接合されている。なお、上記実施の形態 1、2 では、外部接続用の端子としてソケット型の端子を採用していたが、本実施の形態 3 では端子 10 として、ねじ止め型の端子 10b を採用している。

【0045】

そして、これらの各部材（ベース板 2B、第 1 絶縁層 3B、第 1 配線パターン 4B、第 2 絶縁層 5B、第 2 配線パターン 6B、電力用半導体素子 7、ワイヤボンダ 9、端子 10b 等）が、ケース 12 により覆われ、ケース 12 内部にはゲル状の封止樹脂 13 が充填されている。

【0046】

次に、各構成の材質等について説明する。

ベース板 2B については上記実施の形態 1 のベース板 2 の場合と同様であり、説明を省略する。

第 1 絶縁層 3B については、上記実施の形態 1 の樹脂製の第 1 絶縁層 3 とは異なり、セラミックス製の第 1 絶縁層 3B を採用している。セラミックスとしては例えば窒化珪素、窒化アルミニウムなどが挙げられる。そして、第 1 絶縁層 3B の厚みは、例えば 300～1000 μm 程度に設定される。なお、第 2 絶縁層 5B については、上記実施の形態 1 と同様であり、第 2 絶縁層 5B は無機粉末としてアルミナ粉末を含有するエポキシ樹脂絶縁シートにより形成され、その厚みは、例えば 20～400 μm 程度に設定される。

第 1 配線パターン 4B、第 2 配線パターン 6B、ワイヤボンダ 9 等については、上記実施の形態 1 の場合と同様であり、説明を省略する。

【0047】

ここで、ケース型の電力用半導体モジュールによく使われる一般に言うセラミックス絶縁基板について説明する。セラミックス絶縁基板は、セラミックス製の絶縁層の一方側の面にロウ付けにより銅などの金属箔が固着され、他方側の面に銅箔などの金属箔をエッチング等して形成された配線パターンが同じくロウ付けなどにより固着されたものである。

本実施の形態 3 の電力用半導体モジュール 1B において、金属箔 30B、第 1 絶縁層 3B、第 1 配線パターン 4B として、一般的に市販等されている上記セラミックス絶縁基板を用いることとし、金属箔 30B、第 1 絶縁層 3B、第 1 配線パターン 4B をセラミックス絶縁基板 14 とする。

【0048】

次に、電力用半導体モジュール 1B の製造方法の一例について説明する。

まず、厚み 3mm のアルミニウム板からなるベース板 2B 上にセラミックス絶縁基板 14 をはんだ 8 により固着する。なお、この時、セラミックス絶縁基板 14 の下側が金属箔 30B、上側が第 1 配線パターン 4B となるようにベース板 2B 上に固着する。

次に、1 層目の第 1 配線パターン 4B 上の一部である所定領域に、B ステージ状態のアルミナ粉末を含有するエポキシ樹脂シートを第 2 絶縁層 5B として載せ、さらにその上に第 2 絶縁層 5B と略同じサイズの厚み 0.3mm の銅箔（2 層目）を重ねる。そして、これらを加熱・加圧することで、第 1 配線パターン 4B と銅箔（2 層目）とが、第 2 絶縁層 5B の硬化により第 2 絶縁層 5B を介して固着される。その後、銅箔（2 層目）を所定の形状にエッチングし、2 層目の第 2 配線パターン 6B を形成する。なお、第 1 配線パターン 4B には、電力用半導体素子 7 を搭載するための素子搭載部分が所定の位置に設けられており、第 2 絶縁層 5B、第 2 配線パターン 6B は、第 1 配線パターン 4 上の素子搭載部分以外の所定領域に形成される。

【0049】

このようにして、ベース板 2B、セラミックス絶縁基板 14、第 2 絶縁層 5B、第 2 配線パターン 6B を積層してなる金属回路基板を形成する。なお、金属回路基板の形成後、金属回路基板の表面の任意の場所に、第 1 配線パターン 4B、第 2 配線パターン 6B を保護する絶縁膜である、ソルダーレジスト（図示せず）を形成してもよい。また、ベース板 2B とセラミックス絶縁基板 14 とを固着する前に、予めセラミックス絶縁基板 14 にソルダーレジストを形成しておいてもよい。

10

20

30

40

50

【0050】

次に、1層目の第1配線パターン4B上の所定の場所に設けられた素子搭載部分に電力用半導体素子7を、そして第1配線パターン4B、第2配線パターン6B上の任意の場所に外部接続用の端子10bを、各々はんだ8を用いて接合する。なお、電力用半導体素子7は第1配線パターン4B上にのみ配置され、第2配線パターン6B上には配置されない。

ここで、上述の通り、本実施の形態3の電力用半導体モジュール1Bは、電自己消弧型半導体素子7aと、還流用ダイオード7bとが逆並列に接続されたものを2個並列に接続してこれを1組とし、この組を2組直列接続した回路により構成されている。従って、図6にも示すように、第1配線パターン4上には、自己消弧型半導体素子7aと還流用ダイオード7bとの組が4組配置されており、本実施の形態3の電力用半導体モジュール1Bでは、例えば、図中左側半分に配置されている2個の自己消弧型半導体素子7aと2個の還流用ダイオード7bとで負極側アーム70bを構成し、図中右側半分に配置されている2個の自己消弧型半導体素子7aと2個の還流用ダイオード7bとで正極側アーム70aを構成している。

【0051】

そして、第1配線パターン4Bもしくは第2配線パターン6Bと電力用半導体素子7との間、および、各電力用半導体素子7間において、導通が必要な箇所をワイヤボンダ9で接続する。なお、本実施の形態3では、各配線パターン4B、6Bと電力用半導体素子7との接続、および各電力用半導体素子7間の接続をワイヤボンダ9により行っているが、これに限るものではなく、電氣的接続を行えるものであれば、他の方法を用いてもよい。

次に、電力用半導体素子7や端子10b等を搭載した金属回路基板を取り囲む様に設けられたケース12の外周部12aを、ベース板2Bの上面の周囲部分に接着剤により固着する。そして、その内部にゲル状の封止樹脂13を充填し、加温して封止樹脂13を硬化させる。その後、ケース12の蓋部12bを被せ、外周部12aと蓋部12bを接着剤にて固着し、ケース12を形成する。

【0052】

なお、本実施の形態3では、第2絶縁層5Bとして、アルミナ粉末を含有するエポキシ樹脂シートを用いたが、この他、ポリイミドなどの絶縁性のある樹脂のフィルムやシートを用いても良く、また加熱・加圧での加工だけでなく、両面に粘着剤のついたポリイミドシートなどを使用することで、第1配線パターン4Bと第2配線パターン6Bとを接着してもよい。

【0053】

以上のように、本実施の形態3では、上記実施の形態1とは異なり、ケース型の電力用半導体モジュール1Bを採用したが、上記実施の形態1の構成と同様、1層目の第1配線パターン4B上の一部の領域に第2絶縁層5Bのみを介して2層目の第2配線パターン6Bが積層されるパターン積層領域Y1を備えた。このため、電力用半導体モジュール1Bの主回路となる正極端子から正極側アーム70aへの配線および負極側アーム70bから負極端子への配線をパターン積層領域Y1にて積層配置することができ、電流経路を平行平板化することができる。従って、上記実施の形態1と同様、電力用半導体モジュール1B内部の配線インダクタンスの低減、転流ループにおける配線インダクタンスの効率的低減、電力用半導体モジュール1Bの小型化等の効果が得られる。また、熱源となる電力用半導体素子7は、1層目の第1配線パターン4B上に配置されているため、電力用半導体素子7からの発生熱を効率よくベース板2Bに伝熱することができ、上記実施の形態1と同様、冷却性能の高い電力用半導体モジュール1Bを得ることができる。

【0054】

なお、冷却性能について、本実施の形態3では、熱源となる電力用半導体素子7を搭載する第1配線パターン4Bとベース板2Bとの間の第1絶縁層3Bとして、セラミックス製の絶縁層を採用している。窒化珪素、窒化アルミニウムなどのセラミックスは、樹脂製の絶縁層に比べ熱抵抗が小さく、電力用半導体素子7からの発熱をより効率的にベース板

2 Bに伝熱することができ、冷却性能をより向上させることができる。

【0055】

また、本実施の形態3の構成に上記実施の形態2の構成を適用してもよく、自己消弧型半導体素子7aのゲート電極用の配線、エミッタ電極の制御用配線を積層させることもできる。

【0056】

また、本実施の形態3では、自己消弧型半導体素子7aと還流用ダイオード7bとが逆並列接続されたものを2個並列に接続してこれを1組とし、この組を2組直列接続した回路について説明したが、一般的な2in1構造では、自己消弧型半導体素子7aと還流用ダイオード7bとが逆並列接続されたものを1組として、これを2組直列接続した回路により構成されるものも多く、当然ながらこのような回路でも本実施の形態3を適用することができる。もちろん、上記実施の形態1のような6in1構造の電力用半導体モジュールや、1in1構造の電力用半導体モジュールであっても本実施の形態3を適用することができる。また、本実施の形態3を6in1構造に適用した場合、第1、第2配線パターン4、6が積層され、配線インダクタンスを効率的に低減できるため、特に、負極側の相間のインダクタンスのばらつきが小さい。したがって、6in1構造において本発明を適用することにより、相間のスイッチング速度のばらつきやサージ電圧のばらつきが小さくなるという効果が得られる。

【0057】

実施の形態4.

図8は、この発明の実施の形態4における電力用半導体モジュール1Cの構成を模式的に示す平面図、図9は図8の平面図におけるD1-D2断面図である。なお、電力用半導体モジュール1Cの内部の構成が分かりやすいよう、図8の平面図においてトランスファーマールド樹脂11の記載を省略している。

本実施の形態4では、上記実施の形態1、2と同様、6in1構造の電力用半導体モジュールを採用しており、逆並列に接続された自己消弧型半導体素子7aと還流用ダイオード7bとの組（アーム）が2組直列に接続された回路を1相分とし、この回路を3相分備えている。各電力用半導体素子7a、7bの配置等、基本的な構成は上記実施の形態1、2とほぼ同様であるが、各自己消弧型半導体素子7aの制御電極であるゲート電極用の配線と、出力電極であるエミッタ電極の制御用配線のパターン配設場所が異なっている。なお、上記実施の形態1と同様の構成については、同一符号を付して説明を省略する。

【0058】

図8、図9に示すように、本実施の形態4の電力用半導体モジュール1Cは、ベース板2C、第1絶縁層3C、第1配線パターン4C、第2絶縁層5C、第2配線パターン6Cが順に積層されて構成されており、ここまでは上記実施の形態1の電力用半導体モジュール1と基本的に同様である。ベース板2C、第1絶縁層3C、第1配線パターン4C、第2絶縁層5C、第2配線パターン6Cの材質等についても上記実施の形態1で使用するものと同様である。そして、本実施の形態4では、1層目の第1配線パターン4Cと2層目の第2配線パターン6Cとが積層されるパターン積層領域Z1上に、さらに積層される3層目の第3配線パターン16、4層目の第4配線パターン18が設けられている。

【0059】

具体的には、パターン積層領域Z1における第2配線パターン6C上の一部の領域に、第3絶縁層15が設けられ、第3絶縁層15上に第2絶縁層15と略同じサイズの3層目の第3配線パターン16が設けられ、さらに第3配線パターン16上の一部に第4絶縁層17が設けられ、第4絶縁層17上に第4絶縁層17と略同じサイズの4層目の第4配線パターン18が設けられ、配線パターンが4層積層された4層積層領域（Z2～Z4）が形成される。

なお、本実施の形態4では、一例として、4層積層領域が計3箇所設けられており（図中Z2～Z4で示す領域）、正極側アーム70aを構成している3個の自己消弧型半導体素子7aのゲート電極用の配線とエミッタ電極の制御用配線が、4層積層領域Z2～Z4

の第3配線パターン16と第4配線パターン18にそれぞれ設けられている。また、各第3配線パターン16、第4配線パターン18にはそれぞれ外部接続用の端子10c(10)が設けられている。

【0060】

例えば、図8中、一番左側に配置されている正極側アーム70aを構成する自己消弧型半導体素子7aでは、エミッタ電極の制御用配線を4層積層領域Z2を含む3層目の第3配線パターン16に設け、ゲート電極用の配線を4層積層領域Z2における4層目の第4配線パターン18に設けている。これによりこの自己消弧型半導体素子7aのゲート電極用の配線と、エミッタ電極の制御用配線とが積層される。第3配線パターン16、第4配線パターン18は、自己消弧型半導体素子7aのエミッタ電極、ゲート電極とそれぞれワイヤボンド9を介して接続され、エミッタ電極、ゲート電極はそれぞれ制御用の端子10c(10)と接続される。そして、端子10c(10)に外部回路が接続されることになる。

正極側アーム70aを構成する自己消弧型半導体素子7aのうち、一番左側に配置されている自己消弧型半導体素子7a以外の2個の自己消弧型半導体素子7aについても同様にして、4層積層領域Z3、Z4においてゲート電極用の配線とエミッタ電極の制御用配線とが積層される構成となっている。なお、本実施の形態4では、負極側アーム70bを構成する自己消弧型半導体素子7aについては、上記実施の形態1の場合と同様、ゲート電極用の配線、エミッタ電極の制御用配線の両方が1層目の第1配線パターン4Cの所定領域に設けられている。

【0061】

なお、第3絶縁層15、第4絶縁層17には樹脂製のものを使用し、例えば、無機粉末を含有する樹脂絶縁シート、ガラス繊維を含有する樹脂絶縁シート等を用いることができる。ここでは、第1絶縁層3Cや第2絶縁層5Cと同様、無機粉末としてアルミナ粉末を含有するエポキシ樹脂絶縁シートにより形成されている。従って、第2配線パターン6Cと第3配線パターン16、第3配線パターン16と第4配線パターン18との固着は、上記の通り、Bステージ状態の第3絶縁層15、第4絶縁層17を加熱・加圧により硬化させることで行う。なお、第3絶縁層15、第4絶縁層17の厚みは、例えば20~400μm程度に設定される。この他、ポリイミドなどの絶縁性のある樹脂のフィルムやシートを用いても良く、また加熱・加圧での加工だけでなく、両面に粘着剤のついたポリイミドシートなどを使用し、各配線パターン6C、16、18間を接着してもよい。

また、第3配線パターン16、第4配線パターン18の材質等は、第1配線パターン4C、第2配線パターン6Cと同様であり、例えば厚み0.3mmの銅箔をエッチングすることにより形成されている。

【0062】

以上のように、本実施の形態4では、1層目、2層目の第1、第2配線パターン4、6上にさらに積層される3層目、4層目の第3、第4配線パターン16、18を備え、自己消弧型半導体素子7aのエミッタ電極の制御用配線とゲート電極用の配線をそれぞれ第3、第4配線パターンに設けて積層している。このため、上記実施の形態1、2の効果に加え、電力用半導体モジュール1Cにおいて、エミッタ電極の制御用配線、ゲート電極用の配線のためにのみ割かれる領域をなくすることができ、電力用半導体モジュール1Cをより小型化することができる。

なお、本実施の形態4では、エミッタ電極の制御用配線を3層目の第3配線パターン16、ゲート電極用の配線を4層目の第4配線パターン18に設けたが、これに限られるものではなく、ゲート電極用の配線を3層目の第3配線パターン16に、エミッタ電極の制御用配線を4層目の第4配線パターン18に設ける構成としてもよい。

【0063】

なお、本実施の形態4では、一例として、正極側アーム70aを構成する自己消弧型半導体素子7aのゲート電極用の配線、エミッタ電極の制御用配線のみ第3配線パターン16、第4配線パターン18に設けて積層する構成としたが、これに限るものではなく、負

極側アーム 70b を構成する自己消弧型半導体素子 7a のゲート電極用の配線、エミッタ電極の制御用配線のみを積層構造としたり、全ての自己消弧型半導体素子 7a のゲート電極用の配線、エミッタ電極の制御用配線を積層構造とする等、適宜設定することができる。

【0064】

以上の実施の形態 1～4 の電力用半導体モジュール 1、1A～1C において、電力用半導体素子 7 の半導体材料は特に限定しておらず、一般的には珪素が使用できる。しかしながら、電力用半導体素子 7 として、ワイドバンドギャップ半導体材料、例えば、炭化珪素、窒化ガリウム系材料、またはダイヤモンドなどの材料を使用したワイドバンドギャップ半導体を採用すれば、上記各実施の形態 1～4 における効果を維持したまま電力用半導体モジュール 1、1A～1C の低損失化が可能となり、この電力用半導体モジュール 1、1A～1C を用いて構成される電力変換装置の高効率化が可能となる。

また、このような電力用半導体モジュール 1、1A～1C は、耐電圧性が高く、許容電流密度も高いため、電力変換装置の小型化が可能となる。なお、複数の電力用半導体素子 7 の内、一部の電力用半導体素子 7 のみにワイドバンドギャップ半導体を用いてもよい。

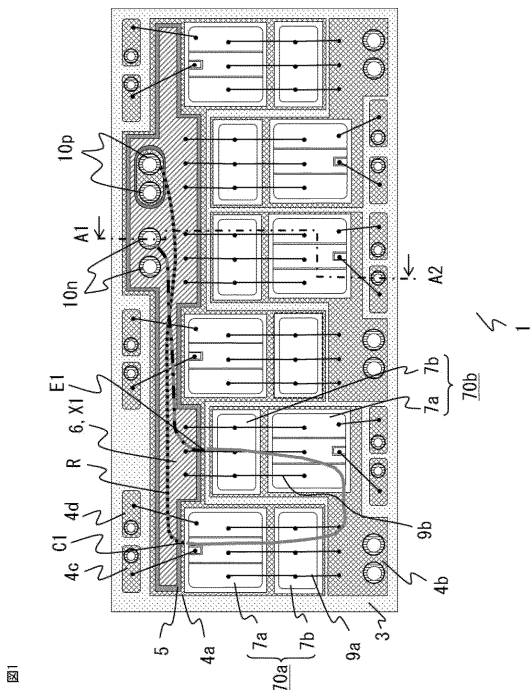
さらにワイドバンドギャップ半導体は、耐熱性が高いので、高温動作が可能であり、電力変換装置におけるヒートシンクの放熱フィンの小型化や、水冷部の空冷化も可能となるので、電力変換装置の一層の小型化が可能になる。

なお、ワイドバンドギャップ半導体は、高速スイッチングが可能であるが、スイッチング速度と配線インダクタンスによるサージ電圧は比例するため、スイッチング速度の高速化には限界が生じる。このような場合でも、本実施の形態 1～4 の発明を適用すれば、配線インダクタンスを低減することにより、高速スイッチングが可能となる。

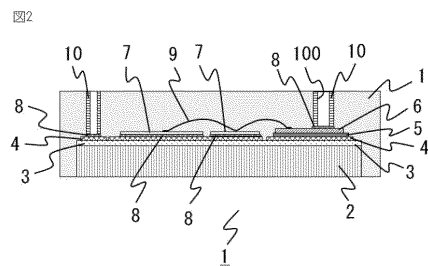
【0065】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

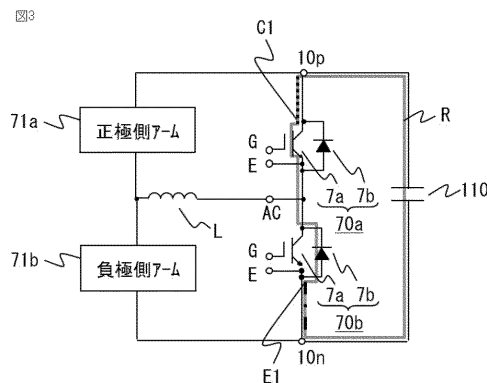
【図 1】



【図 2】



【図 3】



【図 4】

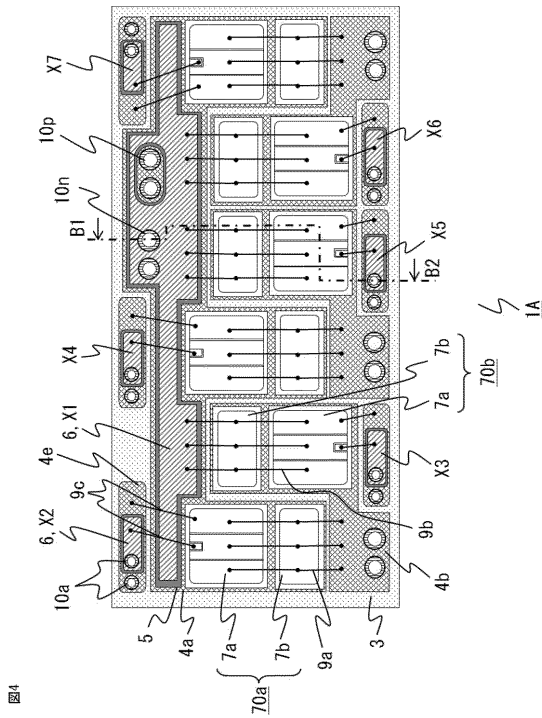


図4

【図 5】

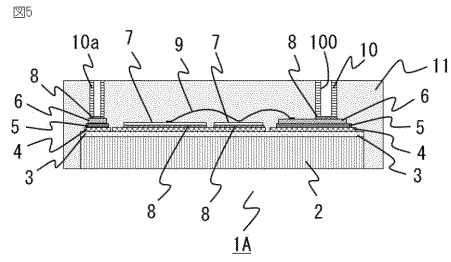


図5

【図 6】

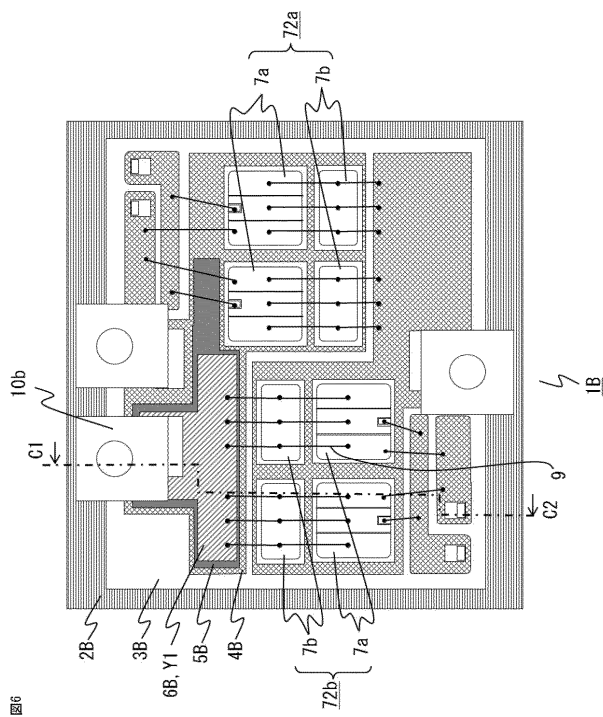


図6

【図 7】

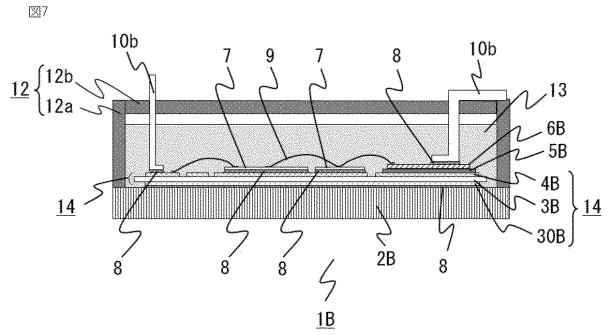
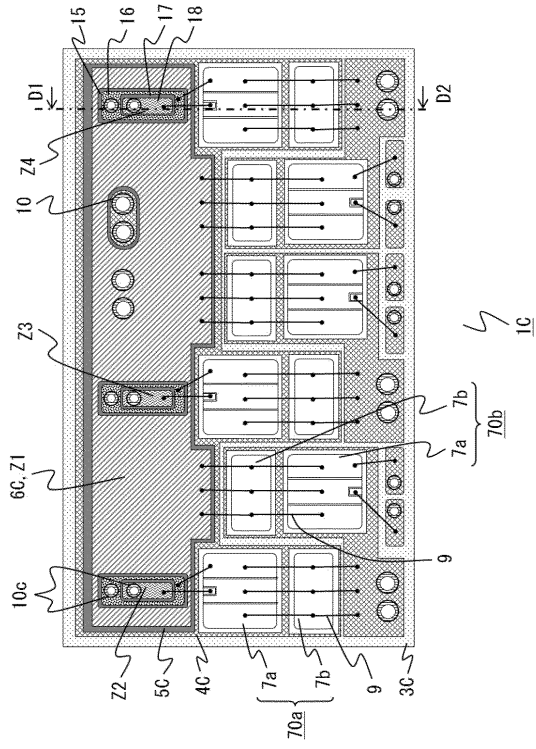
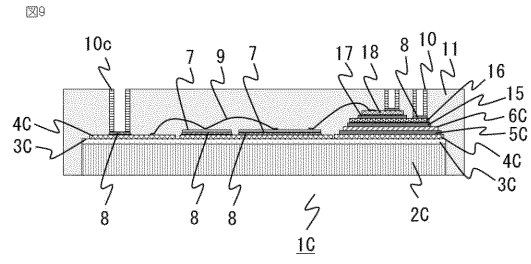


図7

【図 8】



【図 9】



フロントページの続き

(72)発明者 岡 誠次

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 5F136 BA30 BC05 DA27 FA02 FA03 FA06 FA14 FA16 FA17 FA18
FA52 FA63