

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6521794号  
(P6521794)

(45) 発行日 令和1年5月29日(2019.5.29)

(24) 登録日 令和1年5月10日(2019.5.10)

(51) Int.Cl.

F I

G 1 1 C 19/28 (2006.01)

G 1 1 C 19/28 2 3 0

請求項の数 12 (全 68 頁)

(21) 出願番号 特願2015-161489 (P2015-161489)  
 (22) 出願日 平成27年8月19日 (2015. 8. 19)  
 (65) 公開番号 特開2016-54019 (P2016-54019A)  
 (43) 公開日 平成28年4月14日 (2016. 4. 14)  
 審査請求日 平成30年7月31日 (2018. 7. 31)  
 (31) 優先権主張番号 特願2014-178698 (P2014-178698)  
 (32) 優先日 平成26年9月3日 (2014. 9. 3)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷 3 9 8 番地  
 (72) 発明者 梅崎 敦司  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 審査官 篠塚 隆

最終頁に続く

(54) 【発明の名称】 半導体装置、及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

第 1 乃至第 9 のトランジスタを有し、  
 前記第 1 のトランジスタのソース又はドレインの一方は、第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、  
 前記第 1 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、  
 前記第 2 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、  
 前記第 2 のトランジスタのソース又はドレインの他方は、第 3 の配線と電氣的に接続され、  
 前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、  
 前記第 3 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と電氣的に接続され、  
 前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲート又は第 3 のトランジスタのゲートと電氣的に接続され、  
 前記第 4 のトランジスタのソース又はドレインの他方は、第 4 の配線と電氣的に接続され、  
 前記第 5 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのソー

10

20

ス又はドレインの一方と電氣的に接続され、  
前記第 5 のトランジスタのソース又はドレインの他方は、前記第 3 の配線と電氣的に接続され、  
前記第 5 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、  
前記第 6 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのゲートと電氣的に接続され、  
前記第 6 のトランジスタのソース又はドレインの他方は、第 5 の配線と電氣的に接続され、  
前記第 6 のトランジスタのゲートは、第 6 の配線と電氣的に接続され、  
前記第 7 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのゲートと電氣的に接続され、  
前記第 7 のトランジスタのソース又はドレインの他方は、第 7 の配線と電氣的に接続され、  
前記第 7 のトランジスタのゲートは、第 8 の配線と電氣的に接続され、  
前記第 8 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、  
前記第 8 のトランジスタのソース又はドレインの他方は、前記第 5 の配線と電氣的に接続され、  
前記第 8 のトランジスタのゲートは、第 9 の配線と電氣的に接続され、  
前記第 9 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、  
前記第 9 のトランジスタのソース又はドレインの他方は、前記第 7 の配線と電氣的に接続され、  
前記第 9 のトランジスタのゲートは、第 10 の配線と電氣的に接続され、  
前記第 5 の配線は、第 1 の動作時において、第 1 の電位又は第 2 の電位のいずれか一方を伝え、第 2 の動作時において、第 1 の電位又は第 2 の電位のいずれか他方を伝えることができる機能を有し、  
前記第 7 の配線は、第 1 の動作時において、第 1 の電位又は第 2 の電位のいずれか他方を伝え、第 2 の動作時において、第 1 の電位又は第 2 の電位のいずれか一方を伝えることができる機能を有することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、  
前記第 1 の配線は、第 1 のクロック信号を伝えることができる機能を有し、  
前記第 6 の配線は、第 2 のクロック信号を伝えることができる機能を有し、  
前記第 8 の配線は、第 3 のクロック信号を伝えることができる機能を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 において、  
前記第 2 の配線は、出力信号を伝えることができる機能を有し、  
前記第 10 の配線は、前段の出力信号を伝えることができる機能を有し、  
前記第 9 の配線は、後段の出力信号を伝えることができる機能を有することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、  
前記第 4 の配線は、前記第 1 の電位を伝えることができる機能を有し、  
前記第 3 の配線は、前記第 2 の電位を伝えることができる機能を有することを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、

第 1 の容量素子を有し、  
前記第 1 の容量素子の一方の電極は、前記第 1 のトランジスタのソース又はドレインの一方に電氣的に接続され、  
前記第 1 の容量素子の他方の電極は、前記第 1 のトランジスタのゲートに電氣的に接続されることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれかーにおいて、  
第 2 の容量素子を有し、  
前記第 2 の容量素子の一方の電極は、前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続され、  
前記第 2 の容量素子の他方の電極は、前記第 4 のトランジスタのゲートに電氣的に接続されることを特徴とする半導体装置。

10

【請求項 7】

請求項 1 乃至 6 のいずれかーにおいて、  
前記第 1 のトランジスタの  $W$  ( $W$  はチャンネル幅) /  $L$  ( $L$  はチャンネル長) は、前記第 2 乃至 9 のトランジスタの  $W / L$  より大きいことを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれかーにおいて、  
前記第 6 のトランジスタの  $W$  ( $W$  はチャンネル幅) /  $L$  ( $L$  はチャンネル長) は、前記第 7 のトランジスタの  $W / L$  の 0.8 倍以上且つ 1.2 倍以下であることを特徴とする半導体装置。

20

【請求項 9】

請求項 1 乃至 8 のいずれかーにおいて、  
前記第 8 のトランジスタの  $W$  ( $W$  はチャンネル幅) /  $L$  ( $L$  はチャンネル長) は、前記第 9 のトランジスタの  $W / L$  の 0.8 倍以上且つ 1.2 倍以下であることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至 9 のいずれかーにおいて、  
前記第 1 乃至第 9 のトランジスタは、チャンネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

30

【請求項 11】

請求項 1 乃至 10 のいずれかーに記載の半導体装置と、  
FPC と、  
を有する表示モジュール。

【請求項 12】

請求項 1 乃至 10 のいずれかーに記載の半導体装置、又は請求項 11 に記載の表示モジュールと、  
スピーカー、操作ボタン、及び / 又はアンテナと、  
を有する電子機器。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明の一態様は、半導体装置、及び電子機器に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物 (コンポジション・オブ・マター) に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、撮像装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

50

## 【 0 0 0 3 】

なお、本明細書等において、半導体装置は、半導体特性を利用することで機能しうる素子、回路、又は装置等を指す。一例としては、トランジスタ、ダイオード等の半導体素子は半導体装置である。また別の一例としては、半導体素子を有する回路は、半導体装置である。また別の一例としては、半導体素子を有する回路を備えた装置は、半導体装置である。

## 【 背景技術 】

## 【 0 0 0 4 】

表示機能を有する半導体装置では、テレビジョン受像機に代表されるように、表示される表示の向きが固定化されている。

10

## 【 0 0 0 5 】

このような半導体装置を駆動するための駆動回路には、シフトレジスタが搭載されている（特許文献 1 参照）。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 6 】

【 特許文献 1 】 米国特許出願公開第 2 0 1 0 / 0 2 0 1 6 5 9 号明細書

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 7 】

20

近年スマートフォン等の普及によって、上下あるいは左右の反転表示を行う半導体装置が求められている。

## 【 0 0 0 8 】

本発明の一態様は、新規な半導体装置、新規な電子機器等を提供することを課題の一とする。

## 【 0 0 0 9 】

または、本発明の一態様は、反転表示できる、新規な構成の半導体装置等を提供することを課題の一とする。または、本発明の一態様は、トランジスタの特性劣化を抑制できる、新規な構成の半導体装置等を提供することを課題の一とする。または、本発明の一態様は、動作速度の向上を図ることのできる、新規な構成の半導体装置等を提供することを課題の一とする。または、本発明の一態様は、トランジスタの絶縁破壊を低減できる、新規な構成の半導体装置等を提供することを課題の一とする。

30

## 【 0 0 1 0 】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び / 又は他の課題のうち、少なくとも一つの課題を解決するものである。

## 【 課題を解決するための手段 】

40

## 【 0 0 1 1 】

本発明の一態様は、第 1 乃至第 9 のトランジスタを有し、第 1 のトランジスタのソース又はドレインの一方は、第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、第 1 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、第 2 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、第 2 のトランジスタのソース又はドレインの他方は、第 3 の配線と電氣的に接続され、第 3 のトランジスタのソース又はドレインの一方は、第 1 のトランジスタのゲートと電氣的に接続され、第 3 のトランジスタのソース又はドレインの他方は、第 3 の配線と電氣的に接続され、第 4 のトランジスタのソース又はドレインの一方は、第 2 のトランジスタのゲート又は第 3 のトランジスタのゲートと電氣的に接続され、第 4 のトランジスタのソース

50

又はドレインの他方は、第4の配線と電氣的に接続され、第5のトランジスタのソース又はドレインの一方は、第4のトランジスタのソース又はドレインの一方と電氣的に接続され、第5のトランジスタのソース又はドレインの他方は、第3の配線と電氣的に接続され、第5のトランジスタのゲートは、第1のトランジスタのゲートと電氣的に接続され、第6のトランジスタのソース又はドレインの一方は、第4のトランジスタのゲートと電氣的に接続され、第6のトランジスタのソース又はドレインの他方は、第5の配線と電氣的に接続され、第6のトランジスタのゲートは、第6の配線と電氣的に接続され、第7のトランジスタのソース又はドレインの一方は、第4のトランジスタのゲートと電氣的に接続され、第7のトランジスタのソース又はドレインの他方は、第7の配線と電氣的に接続され、第7のトランジスタのゲートは、第8の配線と電氣的に接続され、第8のトランジスタのソース又はドレインの一方は、第1のトランジスタのゲートと電氣的に接続され、第8のトランジスタのソース又はドレインの他方は、第5の配線と電氣的に接続され、第8のトランジスタのゲートは、第9の配線と電氣的に接続され、第9のトランジスタのソース又はドレインの一方は、第1のトランジスタのゲートと電氣的に接続され、第9のトランジスタのソース又はドレインの他方は、第7の配線と電氣的に接続され、第9のトランジスタのゲートは、第10の配線と電氣的に接続され、第5の配線は、第1の動作時において、第1の電位又は第2の電位のいずれか一方を伝え、第2の動作時において、第1の電位又は第2の電位のいずれか他方を伝えることができる機能を有し、第7の配線は、第1の動作時において、第1の電位又は第2の電位のいずれか他方を伝え、第2の動作時において、第1の電位又は第2の電位のいずれか一方を伝えることができる機能を有する半導体装置である。

10

20

**【0012】**

本発明の一態様において、第1の配線は、第1のクロック信号を伝えることができる機能を有し、第6の配線は、第2のクロック信号を伝えることができる機能を有し、第8の配線は、第3のクロック信号を伝えることができる機能を有する半導体装置が好ましい。

**【0013】**

本発明の一態様において、第2の配線は、出力信号を伝えることができる機能を有し、第10の配線は、前段の出力信号を伝えることができる機能を有し、第9の配線は、後段の出力信号を伝えることができる機能を有する半導体装置が好ましい。

**【0014】**

本発明の一態様において、第4の配線は、第1の電位を伝えることができる機能を有し、第3の配線は、第2の電位を伝えることができる機能を有する半導体装置が好ましい。

30

**【0015】**

本発明の一態様において、第1の容量素子を有し、第1の容量素子の一方の電極は、第1のトランジスタのソース又はドレインの一方に電氣的に接続され、第1の容量素子の他方の電極は、第1のトランジスタのゲートに電氣的に接続される半導体装置が好ましい。

**【0016】**

本発明の一態様において、第2の容量素子を有し、第2の容量素子の一方の電極は、第4のトランジスタのソース又はドレインの一方に電氣的に接続され、第2の容量素子の他方の電極は、第4のトランジスタのゲートに電氣的に接続される半導体装置が好ましい。

40

**【0017】**

本発明の一態様において、第1のトランジスタの $W$  ( $W$ はチャネル幅) /  $L$  ( $L$ はチャネル長)は、第2乃至9のトランジスタの $W / L$ より大きい半導体装置が好ましい。

**【0018】**

本発明の一態様において、第6のトランジスタの $W$  ( $W$ はチャネル幅) /  $L$  ( $L$ はチャネル長)は、第7のトランジスタの $W / L$ の0.8倍以上且つ1.2倍以下である半導体装置が好ましい。

**【0019】**

本発明の一態様において、第8のトランジスタの $W$  ( $W$ はチャネル幅) /  $L$  ( $L$ はチャネル長)は、第9のトランジスタの $W / L$ の0.8倍以上且つ1.2倍以下である半導体装

50

置が好ましい。

【 0 0 2 0 】

本発明の一態様において、第 1 乃至第 9 のトランジスタは、チャンネル形成領域に酸化物半導体を有する半導体装置が好ましい。

【 0 0 2 1 】

本発明の一態様は、上記半導体装置と、FPCと、を有する表示モジュールである。

【 0 0 2 2 】

本発明の一態様は、上記半導体装置、又は上記表示モジュールと、スピーカー、操作ボタン、及び/又はアンテナと、を有する電子機器である。

【 0 0 2 3 】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【発明の効果】

【 0 0 2 4 】

本発明の一態様は、新規な半導体装置、新規な電子機器等を提供することができる。

【 0 0 2 5 】

または、本発明の一態様は、反転表示できる、新規な構成の半導体装置等を提供することができる。または、本発明の一態様は、トランジスタの特性劣化を抑制できる、新規な構成の半導体装置等を提供することができる。または、本発明の一態様は、動作速度の向上を図ることのできる、新規な構成の半導体装置等を提供することができる。または、本発明の一態様は、トランジスタの絶縁破壊を低減できる、新規な構成の半導体装置等を提供することができる。

【 0 0 2 6 】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び/又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【 0 0 2 7 】

【図 1】本発明の一態様を説明するための回路図。

【図 2】本発明の一態様を説明するためのタイミングチャート。

【図 3】本発明の一態様を説明するためのタイミングチャート。

【図 4】本発明の一態様を説明するための回路図。

【図 5】本発明の一態様を説明するための回路図。

【図 6】本発明の一態様を説明するための回路図。

【図 7】本発明の一態様を説明するための回路図。

【図 8】本発明の一態様を説明するための回路図。

【図 9】本発明の一態様を説明するための回路図。

【図 10】本発明の一態様を説明するための回路図。

【図 11】本発明の一態様を説明するための回路図。

【図 12】本発明の一態様を説明するための回路図。

【図 13】本発明の一態様を説明するための回路図。

【図 14】本発明の一態様を説明するための回路図。

【図 15】本発明の一態様を説明するための回路図。

【図 16】本発明の一態様を説明するための回路図。

【図 17】本発明の一態様を説明するための回路図。

【図 18】本発明の一態様を説明するための回路図。

10

20

30

40

50

【図 19】本発明の一態様を説明するための回路図。  
【図 20】本発明の一態様を説明するための回路図。  
【図 21】本発明の一態様を説明するための回路図。  
【図 22】本発明の一態様を説明するためのタイミングチャート。  
【図 23】本発明の一態様を説明するための回路図。  
【図 24】本発明の一態様を説明するための上面図及び断面図。  
【図 25】本発明の一態様を説明するための断面図。  
【図 26】本発明の一態様を説明するための断面図。  
【図 27】本発明の一態様を説明するための断面図。  
【図 28】本発明の一態様を説明するための上面図。  
【図 29】本発明の一態様を説明するための断面図。  
【図 30】本発明の一態様を説明するための投影図。  
【図 31】本発明の一態様を説明するための断面図。  
【図 32】本発明の一態様に係る、電子機器を説明する図。  
【図 33】本発明の一態様を説明するためのレイアウト図。  
【発明を実施するための形態】

【0028】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0029】

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第 2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略して言及することもありうる。

【0030】

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0031】

(実施の形態 1)

本発明の一態様に係る半導体装置の構成について図 1 を参照して説明する。

【0032】

図 1 に示す半導体装置は、回路 100 を有する。回路 100 は、配線 152 の電位を制御する機能を有する。回路 100 は、論理回路、又は順序回路と呼ぶ場合がある。

【0033】

回路 100 は、接続される配線 155、157 の電位を切り替えることで、第 1 の動作と第 2 の動作という 2 つの動作を切り替えることが可能である。この 2 つの動作を切り替えることが可能な回路 100 を有する半導体装置は、簡便に走査方向の切り替えを行うことができる。走査方向の切り替えを行う機能を備えた、表示機能を有する半導体装置は、反転表示を行うことができる。

【0034】

回路 100 は、トランジスタ 101 乃至 109 及び容量素子 110 を有する。なお図 1 において、トランジスタ 101 のゲートをノード ND1 と示す。同様に、トランジスタ 104 のゲートをノード ND2 と示す。同様に、トランジスタ 102 のゲートをノード ND3 と示す。

## 【 0 0 3 5 】

トランジスタ 1 0 1 乃至 1 0 9 及び容量素子 1 1 0 の接続について説明する。

## 【 0 0 3 6 】

トランジスタ 1 0 1 のソース又はドレインの一方は、配線 1 5 1 と接続される。トランジスタ 1 0 1 のソース又はドレインの他方は、配線 1 5 2 と接続される。

## 【 0 0 3 7 】

トランジスタ 1 0 2 のソース又はドレインの一方は、配線 1 5 3 と接続される。トランジスタ 1 0 2 のソース又はドレインの他方は、配線 1 5 2 と接続される。

## 【 0 0 3 8 】

トランジスタ 1 0 3 のゲートは、ノード N D 3 と接続される。トランジスタ 1 0 3 のソース又はドレインの一方は、配線 1 5 3 と接続される。トランジスタ 1 0 3 のソース又はドレインの他方は、ノード N D 1 と接続される。

10

## 【 0 0 3 9 】

トランジスタ 1 0 4 のソース又はドレインの一方は、配線 1 5 4 と接続される。トランジスタ 1 0 4 のソース又はドレインの他方は、ノード N D 3 と接続される。

## 【 0 0 4 0 】

トランジスタ 1 0 5 のゲートは、ノード N D 1 と接続される。トランジスタ 1 0 5 のソース又はドレインの一方は、配線 1 5 3 と接続される。トランジスタ 1 0 5 のソース又はドレインの他方は、ノード N D 3 と接続される。

## 【 0 0 4 1 】

20

トランジスタ 1 0 6 のゲートは、配線 1 5 6 と接続される。トランジスタ 1 0 6 のソース又はドレインの一方は、配線 1 5 5 と接続される。トランジスタ 1 0 6 のソース又はドレインの他方は、ノード N D 2 と接続される。

## 【 0 0 4 2 】

トランジスタ 1 0 7 のゲートは、配線 1 5 8 と接続される。トランジスタ 1 0 7 のソース又はドレインの一方は、配線 1 5 7 と接続される。トランジスタ 1 0 7 のソース又はドレインの他方は、ノード N D 2 と接続される。

## 【 0 0 4 3 】

トランジスタ 1 0 8 のゲートは、配線 1 5 9 と接続される。トランジスタ 1 0 8 のソース又はドレインの一方は、配線 1 5 5 と接続される。トランジスタ 1 0 8 のソース又はドレインの他方は、ノード N D 1 と接続される。

30

## 【 0 0 4 4 】

トランジスタ 1 0 9 のゲートは、配線 1 6 0 と接続される。トランジスタ 1 0 9 のソース又はドレインの一方は、配線 1 5 7 と接続される。トランジスタ 1 0 9 のソース又はドレインの他方は、ノード N D 1 と接続される。

## 【 0 0 4 5 】

容量素子 1 1 0 の第 1 の電極は、ノード N D 1 と接続される。容量素子 1 1 0 の第 2 の電極は、配線 1 5 2 と接続される。

## 【 0 0 4 6 】

なおトランジスタ 1 0 1 乃至 1 0 9 は、同じ極性であることが好ましい。つまり、トランジスタ 1 0 1 乃至 1 0 9 は N チャネル型であることが好ましい。或いは、トランジスタ 1 0 1 乃至 1 0 9 は P チャネル型であることが好ましい。これにより、製造工程の簡略化を図ることができるため、歩留まりの向上、及び / 又はコストの削減を図ることができる。

40

## 【 0 0 4 7 】

トランジスタ 1 0 1 乃至 1 0 9 が N チャネル型である場合は、トランジスタ 1 0 1 乃至 1 0 9 としてチャネル形成領域に酸化物半導体を有するトランジスタ ( O S トランジスタともいう ) をそれぞれ採用することができる。 O S トランジスタは、チャネル形成領域にアモルファスシリコンを有するトランジスタよりも移動度が高く、且つオフ電流が極めて小さい。そのため、トランジスタ 1 0 1 乃至 1 0 9 のサイズを小さくし、ノード N D 1 乃至 N D 3 における電位の維持をしやすくすることができる。

50



## 【 0 0 4 8 】

トランジスタ 1 0 1 の  $W$  (チャンネル幅) /  $L$  (チャンネル長) は、トランジスタ 1 0 2 乃至 1 0 9 の  $W / L$  よりも大きいことが好ましい。これにより、トランジスタ 1 0 1 の電流供給能力を大きくすることができるため、配線 1 5 2 に伝える信号の立ち上がり時間及び立ち下がり時間を短くすることができる。

## 【 0 0 4 9 】

なお、トランジスタが複数のトランジスタによって構成される場合、トランジスタの  $W / L$  とは、複数のトランジスタの  $W / L$  のそれぞれを合計した値である。例えば、複数のトランジスタが並列接続される場合、 $W$  は複数のトランジスタの  $W$  の和であり、 $L$  は複数のトランジスタの  $L$  の平均値となる。

10

## 【 0 0 5 0 】

トランジスタ 1 0 6 の  $W / L$  は、トランジスタ 1 0 7 の  $W / L$  と等しい又は概ね等しいことが好ましい。同様にトランジスタ 1 0 8 の  $W / L$  は、トランジスタ 1 0 9 の  $W / L$  と等しい又は概ね等しいことが好ましい。トランジスタの  $W / L$  が概ね等しいとは、一方のトランジスタの  $W / L$  が他方のトランジスタの  $W / L$  の 0 . 8 倍以上、1 . 2 倍以下のことをいう。より好ましくは、0 . 9 倍以上、1 . 1 倍以下である。これにより、回路 1 0 0 は、第 1 の動作と第 2 の動作を切り替えた場合でも、等しい又は概ね等しい電流供給能力でもって動作を行うことができる。

## 【 0 0 5 1 】

配線 1 5 1 乃至 1 6 0、ノード  $ND 1$  乃至  $ND 3$  の信号又は電位について説明する。

20

## 【 0 0 5 2 】

配線 1 5 1 には、ハイレベルとロウレベルとを有する信号を伝える機能を有する。具体的な一例としては、クロック信号を伝える機能を有する。配線 1 5 1 が伝えるクロック信号は、第 1 のクロック信号という場合がある。

## 【 0 0 5 3 】

配線 1 5 2 には、ハイレベルとロウレベルとを有する信号を伝える機能を有する。具体的な一例としては、出力信号を伝える機能を有する。配線 1 5 2 が伝える出力信号は、走査信号、選択信号、あるいはパルス信号という場合がある。

## 【 0 0 5 4 】

配線 1 5 3 には、ロウレベルの電位を伝える機能を有する。ロウレベルの電位を  $V_L$  とすると、配線 1 5 3 は、電位  $V_L$  に設定される機能を有する。

30

## 【 0 0 5 5 】

配線 1 5 4 には、ハイレベルの電位を伝える機能を有する。ハイレベルの電位を  $V_H$  ( $> V_L$ ) とすると、配線 1 5 4 は、電位  $V_H$  に設定される機能を有する。

## 【 0 0 5 6 】

配線 1 5 5 には、ハイレベルとロウレベルとを有する信号を伝える機能を有する。具体的な一例としては、配線 1 5 5 は第 1 の動作時において電位  $V_H$  に設定され、第 2 の動作時において電位  $V_L$  に設定される機能を有する。

## 【 0 0 5 7 】

配線 1 5 6 には、ハイレベルとロウレベルとを有する信号を伝える機能を有する。具体的な一例としては、クロック信号を伝える機能を有する。配線 1 5 6 が伝えるクロック信号は、第 2 のクロック信号という場合がある。第 2 のクロック信号は、第 1 のクロック信号と位相が異なる。

40

## 【 0 0 5 8 】

配線 1 5 7 には、ハイレベルとロウレベルとを有する信号を伝える機能を有する。具体的な一例としては、配線 1 5 7 は第 1 の動作時において電位  $V_L$  に設定され、第 2 の動作時において電位  $V_H$  に設定される機能を有する。

## 【 0 0 5 9 】

配線 1 5 8 には、ハイレベルとロウレベルとを有する信号を伝える機能を有する。具体的な一例としては、クロック信号を伝える機能を有する。配線 1 5 8 が伝えるクロック信号

50

は、第3のクロック信号という場合がある。第3のクロック信号は、第1のクロック信号あるいは第2のクロック信号と位相が異なる。

【0060】

配線159には、ハイレベルとロウレベルとを有する信号を伝える機能を有する。具体的な一例としては、配線159は第1の動作時において前段の回路100の出力信号、第2の動作時において後段の回路100の出力信号を伝える機能を有する。なお配線159が伝える出力信号は、外部から伝わる場合、スタートパルスという場合がある。

【0061】

配線160には、ハイレベルとロウレベルとを有する信号を伝える機能を有する。具体的な一例としては、配線160は第1の動作時において後段の回路100の出力信号、第2の動作時において前段の回路100の出力信号を伝える機能を有する。なお配線160が伝える出力信号は、外部から伝わる場合、スタートパルスという場合がある。

【0062】

回路100は、上述したように、接続される配線155、157の電位を切り替えることで、第1の動作と第2の動作という2つの動作を切り替えることが可能である。回路100を有する半導体装置は、第1の動作時には第1の走査方向にある後段の回路100に出力信号を伝え、第2の動作時には第2の走査方向にある後段の回路100に出力信号を伝えることができる。この切り替えの動作は、配線155、157の電位を切り替えるだけでよいため、簡便に走査方向の切り替えを行うことができる。その結果、表示機能を有する半導体装置は、反転表示を行うことができる。

【0063】

(実施の形態2)

本発明の一態様に係る半導体装置の動作について図2、図3を例にして説明する。なお図2、図3で説明する動作は、実施の形態1で説明した回路100の動作に相当する。なお本実施の形態において、トランジスタ101乃至109は、Nチャネル型のトランジスタとして説明をする。

【0064】

本発明の一態様に係る半導体装置は、第1の動作時には第1の走査方向にある後段の回路100に出力信号を伝え、第2の動作時には第2の走査方向にある後段の回路100に出力信号を伝えることが可能である。図2は、第1の動作を実現可能なタイミングチャートの一例であり、図3は、第2の動作を実現可能なタイミングチャートの一例である。

【0065】

図2及び図3には、回路100の動作を説明するために、配線155、配線157、配線158、配線151、配線156、配線159、配線160、ノードND1、ノードND2、ノードND3及び配線152の電位を示す。

【0066】

<第1の動作について>

まず第1の動作について、図2を参照して説明する。第1の動作は、配線155の電位をV<sub>H</sub>に設定し、配線157をV<sub>L</sub>の電位に設定することにより、行われる。第1の動作は、期間T1乃至T6に分けて動作を説明する。なお各期間の動作は、ノードND1乃至ND3の電位の変化、及び出力信号を伝える配線152の電位の変化を追うことで、説明できる。

【0067】

なお各配線、ノードが伝える信号の電位は、説明を簡略化するために、ハイレベルの電位V<sub>H</sub>およびロウレベルの電位V<sub>L</sub>の二種類の電位を用いて説明を行う。各配線、ノードが伝える電位をV<sub>H</sub>、V<sub>L</sub>の2種類の電位とすることで、生成する電位の数を削減することができる。そのため、電位を生成する回路規模を縮小することができる。ただし本実施の形態において、配線の電位を同じV<sub>H</sub>と説明しても、必ずしも等電位とは限らず、異なる電位としてもよい。同様に、配線の電位を同じV<sub>L</sub>と説明しても、必ずしも等電位とは限らず、異なる電位としてもよい。なお後述する、第2の動作時の説明においても同様であ

10

20

30

40

50

る。

【 0 0 6 8 】

期間 T 1 における動作について説明する。

【 0 0 6 9 】

ノード N D 1 の電位について説明する。配線 1 5 9 の電位が V H になるため、トランジスタ 1 0 8 が導通状態になる。配線 1 6 0 の電位が V L になるため、トランジスタ 1 0 9 が非導通状態になる。後述するとおり、ノード N D 3 の電位が V L になるため、トランジスタ 1 0 3 が非導通状態になる。よって、配線 1 5 5 の電位である V H がトランジスタ 1 0 8 を介してノード N D 1 に伝わるため、ノード N D 1 の電位が V L から上昇する。その後、ノード N D 1 の電位がトランジスタ 1 0 8 のゲートの電位である V H からトランジスタ 1 0 8 の閾値電圧 (  $V_{th108}$  ) を引いた値 (  $VH - V_{th108}$  ) になると、トランジスタ 1 0 8 が非導通状態になる。よって、ノード N D 1 が浮遊状態になり、ノード N D 1 の電位が  $VH - V_{th108}$  に維持される。

10

【 0 0 7 0 】

ノード N D 2 の電位について説明する。配線 1 5 6 の電位が V L になるため、トランジスタ 1 0 6 が非導通状態になる。配線 1 5 8 の電位が V H になるため、トランジスタ 1 0 7 が導通状態になる。よって、配線 1 5 7 の電位である V L がトランジスタ 1 0 7 を介してノード N D 2 に伝わるため、ノード N D 2 の電位が V L になる。

【 0 0 7 1 】

ノード N D 3 の電位について説明する。ノード N D 2 の電位が V L になるため、トランジスタ 1 0 4 が非導通状態になる。ノード N D 1 の電位が (  $VH - V_{th108}$  ) になるため、トランジスタ 1 0 5 が導通状態になる。よって、配線 1 5 3 の電位がトランジスタ 1 0 5 を介してノード N D 3 に伝わるため、ノード N D 3 の電位が V L になる。

20

【 0 0 7 2 】

配線 1 5 2 の電位について説明する。ノード N D 1 の電位が  $VH - V_{th108}$  になるため、トランジスタ 1 0 1 が導通状態になる。ノード N D 3 の電位が V L になるため、トランジスタ 1 0 2 が非導通状態になる。よって、配線 1 5 1 の V L の電位がトランジスタ 1 0 1 を介して配線 1 5 2 に伝わるため、配線 1 5 2 の電位が V L になる。つまり、回路 1 0 0 の出力信号が V L になる。

【 0 0 7 3 】

期間 T 2 における動作について説明する。

30

【 0 0 7 4 】

ノード N D 1 の電位について説明する。配線 1 5 9 の電位が V L になるため、トランジスタ 1 0 8 が非導通状態になる。配線 1 6 0 の電位が V L になるため、トランジスタ 1 0 9 が非導通状態になる。後述するとおり、ノード N D 3 の電位が V L になるため、トランジスタ 1 0 3 が非導通状態になる。よって、ノード N D 1 が浮遊状態になり、ノード N D 1 の電位が (  $VH - V_{th108}$  ) に維持される。

【 0 0 7 5 】

ノード N D 2 の電位について説明する。配線 1 5 6 の電位が V L になるため、トランジスタ 1 0 6 が非導通状態になる。配線 1 5 8 の電位が V L になるため、トランジスタ 1 0 7 が非導通状態になる。よって、ノード N D 2 が浮遊状態になるため、ノード N D 2 の電位が V L に維持される。

40

【 0 0 7 6 】

ノード N D 3 の電位について説明する。ノード N D 2 の電位が V L になるため、トランジスタ 1 0 4 が非導通状態になる。ノード N D 1 の電位が (  $VH - V_{th108}$  ) になるため、トランジスタ 1 0 5 が導通状態になる。よって、配線 1 5 3 の電位である V L がトランジスタ 1 0 5 を介してノード N D 3 に伝わるため、ノード N D 3 の電位が V L になる。

【 0 0 7 7 】

配線 1 5 2 の電位について説明する。ノード N D 1 の電位が (  $VH - V_{th108}$  ) になるため、トランジスタ 1 0 1 が導通状態になる。ノード N D 3 の電位が V L になるため、

50

トランジスタ102が非導通状態になる。よって、配線151のVHの電位がトランジスタ101を介して配線152に伝わるため、配線152の電位がVLから上昇し始める。このとき、容量素子110が配線152とノードND1との電位差を保持しており、且つノードND1が浮遊状態になっている。そのため、配線152の電位の上昇に伴って、ノードND1の電位が $(VH - V_{th108})$ から上昇する。ノードND1の電位がトランジスタ101のソース又はドレインの一方の電位(配線151の電位であるVH)とトランジスタ101の閾値電圧( $V_{th101}$ )との和 $(VH + V_{th101})$ よりも高くなると、配線152の電位がVHまで上昇する。つまり、回路100の出力信号がVHになる。

【0078】

10

期間T3における動作について説明する。

【0079】

ノードND1の電位について説明する。配線159の電位がVLになるため、トランジスタ108が非導通状態になる。配線160の電位がVHになるため、トランジスタ109が導通状態になる。後述するとおり、ノードND3の電位がVHになるため、トランジスタ103が導通状態になる。よって、配線157の電位であるVLがトランジスタ109を介してノードND1に伝わるとともに、配線153の電位であるVLがトランジスタ103を介してノードND1に伝わるため、ノードND1の電位がVLになる。

【0080】

ノードND2の電位について説明する。配線156の電位がVHになるため、トランジスタ106が導通状態になる。配線158の電位がVLになるため、トランジスタ107が非導通状態になる。よって、配線155の電位であるVHがトランジスタ106を介してノードND2に伝わるため、ノードND2の電位がVLから上昇する。その後、ノードND2の電位がトランジスタ106のゲートの電位(配線156の電位であるVH)からトランジスタ106の閾値電圧( $V_{th106}$ )を引いた値 $(VH - V_{th106})$ になると、トランジスタ106が非導通状態になる。よって、ノードND2が浮遊状態になり、ノードND2の電位が $(VH - V_{th106})$ に維持される。

20

【0081】

ノードND3の電位について説明する。ノードND2の電位が $(VH - V_{th106})$ になるため、トランジスタ104が導通状態になる。ノードND1の電位がVLになるため、トランジスタ105が非導通状態になる。よって、配線154の電位がトランジスタ104を介してノードND3に伝わるため、ノードND3の電位が上昇する。このとき、ノードND3とノードND2との電位差がトランジスタ104のゲートとソース又はドレインの他方との間の寄生容量によって保持されており、且つノードND2が浮遊状態になっている。よって、ノードND3の電位の上昇に伴って、ノードND2の電位が上昇する。ノードND2の電位がトランジスタ104のソース又はドレインの一方の電位(配線154の電位であるVH)とトランジスタ104の閾値電圧( $V_{th104}$ )との和 $(VH + V_{th104})$ よりも高くなると、ノードND3の電位がVHまで上昇する。

30

【0082】

配線152の電位について説明する。ノードND1の電位がVLになるため、トランジスタ101が非導通状態になる。ノードND3の電位がVHになるため、トランジスタ102が導通状態になる。よって、配線153の電位であるVLがトランジスタ102を介して配線152に伝わるため、配線152の電位がVLになる。つまり、回路100の出力信号がVLになる。

40

【0083】

期間T4における動作について説明する。

【0084】

ノードND1の電位について説明する。配線159の電位がVLになるため、トランジスタ108が非導通状態になる。配線160の電位がVLになるため、トランジスタ109が非導通状態になる。後述するとおり、ノードND3の電位がVHになるため、トランジ

50

スタ１０３が導通状態になる。よって、配線１５３の電位であるＶＬがトランジスタ１０３を介してノードＮＤ１に伝わるため、ノードＮＤ１の電位がＶＬになる。

【００８５】

ノードＮＤ２の電位について説明する。配線１５６の電位がＶＬになるため、トランジスタ１０６が非導通状態になる。配線１５８の電位がＶＨになるため、トランジスタ１０７が導通状態になる。よって、配線１５７の電位であるＶＬがトランジスタ１０７を介してノードＮＤ２に伝わるため、ノードＮＤ２の電位がＶＬになる。

【００８６】

ノードＮＤ３の電位について説明する。ノードＮＤ２の電位がＶＬになるため、トランジスタ１０４が非導通状態になる。ノードＮＤ１の電位がＶＬになるため、トランジスタ１０５が非導通状態になる。よって、ノードＮＤ３が浮遊状態になり、ノードＮＤ３の電位がＶＨに維持される。ただし、ノードＮＤ２の電位が下降するため、ノードＮＤ３の電位がＶＨよりも下降している場合が多い。

10

【００８７】

配線１５２の電位について説明する。ノードＮＤ１の電位がＶＬになるため、トランジスタ１０１が非導通状態になる。ノードＮＤ３の電位がＶＨになるため、トランジスタ１０２が導通状態になる。よって、配線１５３の電位であるＶＬがトランジスタ１０２を介して配線１５２に伝わるため、配線１５２の電位がＶＬになる。つまり、回路１００の出力信号がＶＬになる。

【００８８】

20

期間Ｔ５における動作について説明する。

【００８９】

ノードＮＤ１の電位について説明する。配線１５９の電位がＶＬになるため、トランジスタ１０８が非導通状態になる。配線１６０の電位がＶＬになるため、トランジスタ１０９が非導通状態になる。後述するとおり、ノードＮＤ３の電位がＶＨになるため、トランジスタ１０３が導通状態になる。よって、配線１５３の電位であるＶＬがトランジスタ１０３を介してノードＮＤ１に伝わるため、ノードＮＤ１の電位がＶＬになる。

【００９０】

ノードＮＤ２の電位について説明する。配線１５６の電位がＶＬになるため、トランジスタ１０６が非導通状態になる。配線１５８の電位がＶＬになるため、トランジスタ１０７が非導通状態になる。よって、ノードＮＤ２が浮遊状態になるため、ノードＮＤ２の電位がＶＬに維持される。

30

【００９１】

ノードＮＤ３の電位について説明する。ノードＮＤ２の電位がＶＬになるため、トランジスタ１０４が非導通状態になる。ノードＮＤ１の電位がＶＬになるため、トランジスタ１０５が非導通状態になる。よって、ノードＮＤ３が浮遊状態になり、ノードＮＤ３の電位がＶＨに維持される。

【００９２】

配線１５２の電位について説明する。ノードＮＤ１の電位がＶＬになるため、トランジスタ１０１が非導通状態になる。ノードＮＤ３の電位がＶＨになるため、トランジスタ１０２が導通状態になる。よって、配線１５３の電位であるＶＬがトランジスタ１０２を介して配線１５２に伝わるため、配線１５２の電位がＶＬになる。つまり、回路１００の出力信号がＶＬになる。

40

【００９３】

期間Ｔ６における動作について説明する。

【００９４】

ノードＮＤ１の電位について説明する。配線１５９の電位がＶＬになるため、トランジスタ１０８が非導通状態になる。配線１６０の電位がＶＬになるため、トランジスタ１０９が非導通状態になる。後述するとおり、ノードＮＤ３の電位がＶＨになるため、トランジスタ１０３が導通状態になる。よって、配線１５３の電位であるＶＬがトランジスタ１０

50

3を介してノードND1に伝わるため、ノードND1の電位がVLになる。

【0095】

ノードND2の電位について説明する。配線156の電位がVHになるため、トランジスタ106が導通状態になる。配線158の電位がVLになるため、トランジスタ107が非導通状態になる。よって、配線155の電位であるVHがトランジスタ106を介してノードND2に伝わるため、ノードND2の電位がVLから上昇する。その後、ノードND2の電位がトランジスタ106のゲートの電位(配線156の電位であるVH)からトランジスタ106の閾値電圧を引いた値( $VH - V_{th106}$ )になると、トランジスタ106が非導通状態になる。よって、ノードND2が浮遊状態になり、ノードND2の電位が $VH - V_{th106}$ に維持される。

10

【0096】

ノードND3の電位について説明する。ノードND2の電位が( $VH - V_{th106}$ )になるため、トランジスタ104が導通状態になる。ノードND1の電位がVLになるため、トランジスタ105が非導通状態になる。よって、配線154の電位であるVHがトランジスタ104を介してノードND3に伝わるため、ノードND3の電位が上昇する。このとき、ノードND3とノードND2との電位差がトランジスタ104のゲートとソースまたはドレインの他方との間の寄生容量によって保持されており、且つノードND2が浮遊状態になっている。よって、ノードND3の電位の上昇に伴って、ノードND2の電位が上昇する。ノードND2の電位がトランジスタ104のソース又はドレインの一方の電位(配線154の電位であるVH)とトランジスタ104の閾値電圧( $V_{th104}$ )との和( $VH + V_{th104}$ )よりも高くなると、ノードND3の電位がVHまで上昇する。

20

【0097】

配線152の電位について説明する。ノードND1の電位がVLになるため、トランジスタ101が非導通状態になる。ノードND3の電位がVHになるため、トランジスタ102が導通状態になる。よって、配線153の電位がトランジスタ102を介して配線152に伝わるため、配線152の電位がVLになる。つまり、回路100の出力信号がVLになる。

【0098】

以上が第1の動作についての説明である。回路100を複数有する半導体装置では、第1の走査方向に出力信号を伝えることができる。例えば、( $n - 1$ )段目、 $n$ 段目、( $n + 1$ )段目( $n$ は2以上の自然数)の回路100が順に設けられた半導体装置では、第1の走査方向、すなわち( $n - 1$ )段目、 $n$ 段目、( $n + 1$ )段目の順に出力信号を出力することができる。

30

【0099】

具体的に $n$ 段目の回路100は、配線155の電位をVH、配線157の電位をVLに設定し、配線159に伝わる信号を前段( $n - 1$ 段)の回路100の出力信号とし、配線160に伝わる信号を後段( $n + 1$ 段)の回路100の出力信号とすることで、第1の走査方向に出力信号を出力することができる。

【0100】

<第2の動作について>

40

続いて、第2の動作について、図3を参照して説明する。第2の動作は、配線155の電位をVLに設定し、配線157の電位をVHに設定することにより、行われる。第2の動作は、期間 $t_1$ 乃至 $t_6$ に分けて動作を説明する。なお各期間の動作は、ノードND1乃至ND3の電位の変化、及び出力信号を伝える配線152の電位の変化を追うことで、説明できる。

【0101】

期間 $t_1$ における動作について説明する。

【0102】

ノードND1の電位について説明する。配線159の電位がVLになるため、トランジスタ

50

タ108が非導通状態になる。配線160の電位がVHになるため、トランジスタ109が導通状態になる。後述するとおり、ノードND3の電位がVLになるため、トランジスタ103が非導通状態になる。よって、配線157の電位であるVHがトランジスタ109を介してノードND1に伝わるため、ノードND1の電位がVLから上昇する。その後、ノードND1の電位がトランジスタ109のゲートの電位(配線160の電位であるVH)からトランジスタ109の閾値電圧( $V_{th109}$ )を引いた値( $VH - V_{th109}$ )になると、トランジスタ109が非導通状態になる。よって、ノードND1が浮遊状態になり、ノードND1の電位が $VH - V_{th109}$ に維持される。

【0103】

ノードND2の電位について説明する。配線156の電位がVHになるため、トランジスタ106が導通状態になる。配線158の電位がVLになるため、トランジスタ107が非導通状態になる。よって、配線155の電位であるVLがトランジスタ106を介してノードND2に伝わるため、ノードND2の電位がVLになる。

10

【0104】

ノードND3の電位について説明する。ノードND2の電位がVLになるため、トランジスタ104が非導通状態になる。ノードND1の電位が( $VH - V_{th109}$ )になるため、トランジスタ105が導通状態になる。よって、配線153の電位であるVLがトランジスタ105を介してノードND3に伝わるため、ノードND3の電位がVLになる。

【0105】

配線152の電位について説明する。ノードND1の電位が( $VH - V_{th109}$ )になるため、トランジスタ101が導通状態になる。ノードND3の電位がVLになるため、トランジスタ102が非導通状態になる。よって、配線151の電位であるVLがトランジスタ101を介して配線152に伝わるため、配線152の電位がVLになる。つまり、回路100の出力信号がVLになる。

20

【0106】

期間t2における動作について説明する。

【0107】

ノードND1の電位について説明する。配線159の電位がVLになるため、トランジスタ108が非導通状態になる。配線160の電位がVLになるため、トランジスタ109が非導通状態になる。後述するとおり、ノードND3の電位がVLになるため、トランジスタ103が非導通状態になる。よって、ノードND1が浮遊状態になり、ノードND1の電位が( $VH - V_{th109}$ )に維持される。

30

【0108】

ノードND2の電位について説明する。配線156の電位がVLになるため、トランジスタ106が非導通状態になる。配線158の電位がVLになるため、トランジスタ107が非導通状態になる。よって、ノードND2が浮遊状態になるため、ノードND2の電位がVLに維持される。

【0109】

ノードND3の電位について説明する。ノードND2の電位がVLになるため、トランジスタ104が非導通状態になる。ノードND1の電位が( $VH - V_{th109}$ )になるため、トランジスタ105が導通状態になる。よって、配線153の電位であるVLがトランジスタ105を介してノードND3に伝わるため、ノードND3の電位がVLになる。

40

【0110】

配線152の電位について説明する。ノードND1の電位が( $VH - V_{th109}$ )になるため、トランジスタ101が導通状態になる。ノードND3の電位がVLになるため、トランジスタ102が非導通状態になる。よって、配線151の電位であるVHがトランジスタ101を介して配線152に伝わるため、配線152の電位がVLから上昇し始める。このとき、容量素子110が配線152とノードND1との電位差を保持しており、且つノードND1が浮遊状態になっている。そのため、配線152の電位の上昇に伴って、ノードND1の電位が( $VH - V_{th109}$ )から上昇する。ノードND1の電位がト

50

ランジスタ101のソース又はドレインの一方の電位(配線151の電位である $V_H$ )とトランジスタ101の閾値電圧( $V_{th101}$ )との和( $V_H + V_{th101}$ )よりも高くなると、配線152の電位が $V_H$ まで上昇する。つまり、回路100の出力信号が $V_H$ になる。

#### 【0111】

期間 $t_3$ における動作について説明する。

#### 【0112】

ノードND1の電位について説明する。配線159が $V_H$ になるため、トランジスタ108が導通状態になる。配線160の電位が $V_L$ になるため、トランジスタ109が非導通状態になる。後述するとおり、ノードND3の電位が $V_H$ になるため、トランジスタ103が導通状態になる。よって、配線155の $V_L$ の電位がトランジスタ108を介してノードND1に供給されるとともに、配線153の電位である $V_L$ がトランジスタ103を介してノードND1に供給されるため、ノードND1の電位が $V_L$ になる。

10

#### 【0113】

ノードND2の電位について説明する。配線156の電位が $V_L$ になるため、トランジスタ106が非導通状態になる。配線158の電位 $V_H$ になるため、トランジスタ107が導通状態になる。よって、配線157の電位である $V_H$ がトランジスタ107を介してノードND2に伝わるため、ノードND2の電位が $V_L$ から上昇する。その後、ノードND2の電位がトランジスタ107のゲートの電位(配線158の電位である $V_H$ )からトランジスタ107の閾値電圧( $V_{th107}$ )を引いた値( $V_H - V_{th107}$ )になると、トランジスタ107が非導通状態になる。よって、ノードND2が浮遊状態になり、ノードND2の電位が( $V_H - V_{th107}$ )に維持される。

20

#### 【0114】

ノードND3の電位について説明する。ノードND2の電位が $V_H - V_{th107}$ になるため、トランジスタ104が導通状態になる。ノードND1の電位が $V_L$ になるため、トランジスタ105が非導通状態になる。よって、配線154の電位である $V_H$ がトランジスタ104を介してノードND3に伝わるため、ノードND3の電位が上昇する。このとき、ノードND3とノードND2との電位差がトランジスタ104のゲートとソース又はドレインの他方との間の寄生容量によって保持されており、且つノードND2が浮遊状態になっている。よって、ノードND3の電位の上昇に伴って、ノードND2の電位が上昇する。ノードND2の電位がトランジスタ104のソース又はドレインの一方の電位(配線154の電位である $V_H$ )とトランジスタ104の閾値電圧( $V_{th104}$ )との和( $V_H + V_{th104}$ )よりも高くなると、ノードND3の電位が $V_H$ まで上昇する。

30

#### 【0115】

配線152の電位について説明する。ノードND1の電位が $V_L$ になるため、トランジスタ101が非導通状態になる。ノードND3の電位が $V_H$ になるため、トランジスタ102が導通状態になる。よって、配線153の電位がトランジスタ102を介して配線152に伝わるため、配線152の電位が $V_L$ になる。つまり、回路100の出力信号が $V_L$ になる。

#### 【0116】

期間 $t_4$ における動作について説明する。

40

#### 【0117】

ノードND1の電位について説明する。配線159の電位が $V_L$ になるため、トランジスタ108が非導通状態になる。配線160の電位が $V_L$ になるため、トランジスタ109が非導通状態になる。後述するとおり、ノードND3の電位が $V_H$ になるため、トランジスタ103が導通状態になる。よって、配線153の電位である $V_L$ がトランジスタ103を介してノードND1に伝わるため、ノードND1の電位が $V_L$ になる。

#### 【0118】

ノードND2の電位について説明する。配線156の電位が $V_H$ になるため、トランジスタ106が導通状態になる。配線158の電位が $V_L$ になるため、トランジスタ107が

50



非導通状態になる。よって、配線 155 の電位である V<sub>L</sub> がトランジスタ 106 を介してノード ND2 に伝わるため、ノード ND2 の電位が V<sub>L</sub> になる。

【0119】

ノード ND3 の電位について説明する。ノード ND2 の電位が V<sub>L</sub> になるため、トランジスタ 104 が非導通状態になる。ノード ND1 の電位が V<sub>L</sub> になるため、トランジスタ 105 が非導通状態になる。よって、ノード ND3 が浮遊状態になり、ノード ND3 の電位が V<sub>H</sub> に維持される。ただし、ノード ND2 の電位が下降するため、ノード ND3 の電位が V<sub>H</sub> よりも下降している場合が多い。

【0120】

配線 152 の電位について説明する。ノード ND1 の電位が V<sub>L</sub> になるため、トランジスタ 101 が非導通状態になる。ノード ND3 の電位が V<sub>H</sub> になるため、トランジスタ 102 が導通状態になる。よって、配線 153 の電位である V<sub>L</sub> がトランジスタ 102 を介して配線 152 に伝わるため、配線 152 の電位が V<sub>L</sub> になる。つまり、回路 100 の出力信号が V<sub>L</sub> になる。

10

【0121】

期間 t<sub>5</sub> における動作について説明する。

【0122】

ノード ND1 の電位について説明する。配線 159 の電位が V<sub>L</sub> になるため、トランジスタ 108 が非導通状態になる。配線 160 の電位が V<sub>L</sub> になるため、トランジスタ 109 が非導通状態になる。後述するとおり、ノード ND3 の電位が V<sub>H</sub> になるため、トランジスタ 103 が導通状態になる。よって、配線 153 の電位である V<sub>L</sub> がトランジスタ 103 を介してノード ND1 に伝わるため、ノード ND1 の電位が V<sub>L</sub> になる。

20

【0123】

ノード ND2 の電位について説明する。配線 156 の電位が V<sub>L</sub> になるため、トランジスタ 106 が非導通状態になる。配線 158 の電位が V<sub>L</sub> になるため、トランジスタ 107 が非導通状態になる。よって、ノード ND2 が浮遊状態になるため、ノード ND2 の電位が V<sub>L</sub> に維持される。

【0124】

ノード ND3 の電位について説明する。ノード ND2 の電位が V<sub>L</sub> になるため、トランジスタ 104 が非導通状態になる。ノード ND1 の電位が V<sub>L</sub> になるため、トランジスタ 105 が非導通状態になる。よって、ノード ND3 が浮遊状態になり、ノード ND3 の電位が V<sub>H</sub> に維持される。

30

【0125】

配線 152 の電位について説明する。ノード ND1 の電位が V<sub>L</sub> になるため、トランジスタ 101 が非導通状態になる。ノード ND3 の電位が V<sub>H</sub> になるため、トランジスタ 102 が導通状態になる。よって、配線 153 の電位がトランジスタ 102 を介して配線 152 に伝わるため、配線 152 の電位が V<sub>L</sub> になる。つまり、回路 100 の出力信号が V<sub>L</sub> になる。

【0126】

期間 t<sub>6</sub> における動作について説明する。

40

【0127】

ノード ND1 の電位について説明する。配線 159 の電位が V<sub>L</sub> になるため、トランジスタ 108 が非導通状態になる。配線 160 の電位が V<sub>L</sub> になるため、トランジスタ 109 が非導通状態になる。後述するとおり、ノード ND3 の電位が V<sub>H</sub> になるため、トランジスタ 103 が導通状態になる。よって、配線 153 の電位である V<sub>L</sub> がトランジスタ 103 を介してノード ND1 に伝わるため、ノード ND1 の電位が V<sub>L</sub> になる。

【0128】

ノード ND2 の電位について説明する。配線 156 の電位が V<sub>L</sub> になるため、トランジスタ 106 が非導通状態になる。配線 158 の電位が V<sub>H</sub> になるため、トランジスタ 107 が導通状態になる。よって、配線 157 の電位である V<sub>H</sub> がトランジスタ 107 を介して

50

ノードND2に伝わるため、ノードND2の電位がVLから上昇する。その後、ノードND2の電位がトランジスタ107のゲートの電位(配線158の電位であるVH)からトランジスタ107の閾値電圧を引いた値( $VH - V_{th107}$ )になると、トランジスタ107が非導通状態になる。よって、ノードND2が浮遊状態になり、ノードND2の電位が $VH - V_{th107}$ に維持される。

【0129】

ノードND3の電位について説明する。ノードND2の電位が $VH - V_{th107}$ になるため、トランジスタ104が導通状態になる。ノードND1の電位がVLになるため、トランジスタ105が非導通状態になる。よって、配線154の電位であるVHがトランジスタ104を介してノードND3に伝わるため、ノードND3の電位が上昇する。このとき、ノードND3とノードND2との電位差がトランジスタ104のゲートとソース又はドレインの他方との間の寄生容量によって保持されており、且つノードND2が浮遊状態になっている。よって、ノードND3の電位の上昇に伴って、ノードND2の電位が上昇する。ノードND2の電位がトランジスタ104のソース又はドレインの一方の電位(配線154の電位であるVH)とトランジスタ104の閾値電圧( $V_{th104}$ )との和( $VH + V_{th104}$ )よりも高くなると、ノードND3の電位がVHまで上昇する。

【0130】

配線152の電位について説明する。ノードND1の電位がVLになるため、トランジスタ101が非導通状態になる。ノードND3の電位がVHになるため、トランジスタ102が導通状態になる。よって、配線153の電位であるVLがトランジスタ102を介して配線152に伝わるため、配線152の電位がVLになる。つまり、回路100の出力信号がVLになる。

【0131】

以上が第2の動作についての説明である。回路100を複数有する半導体装置では、第2の走査方向に出力信号を伝えることができる。例えば、(n-1)段目、n段目、(n+1)段目(nは2以上の自然数)の回路100が順に設けられた半導体装置では、第1の走査方向とは逆の第2の走査方向、すなわち(n+1)段目、n段目、(n-1)段目の順に出力信号を出力することができる。

【0132】

具体的にn段目の回路100は、配線157の電位をVH、配線155の電位をVLに設定し、配線159に伝わる信号を前段(n-1段)の回路100の出力信号とし、配線160に伝わる信号を後段(n+1段)の回路100の出力信号とすることで、第2の走査方向に出力信号を出力することができる。

【0133】

<まとめ>

以上説明した回路100の動作は、配線155、157の電位を切り替えることで、回路100を有する半導体装置における走査方向の切り替えを行うことができる。走査方向の切り替えを行う機能を備えた、表示機能を有する半導体装置は、反転表示を行うことができる。

【0134】

回路100の動作では、ノードND1を浮遊状態とし、配線152の電位を上昇させる構成とすることができる。そのため、ノードND1の電位がVHより小さくても配線152の電位をVHに昇圧して出力することができる。従って配線152に伝える出力信号によって動作する回路の誤動作を低減することができる。

【0135】

同様に回路100の動作では、ノードND2を浮遊状態とし、ノードND3の電位を上昇させる構成とすることができる。そのため、ノードND2の電位がVHより小さくてもノードND3の電位をVHに昇圧して出力することができる。従ってノードND3の電位に応じて導通状態と非導通状態とが切り替わるトランジスタ102、103の誤動作を低減することができる。

10

20

30

40

50

## 【 0 1 3 6 】

(実施の形態 3)

本実施の形態では、実施の形態 1 及び 2 の変形例について説明する。

## 【 0 1 3 7 】

実施の形態 1 及び 2 で回路の一例、動作の一例として、トランジスタ 1 0 1 乃至 1 0 9、及び容量素子 1 1 0 を備えた回路構成を示しているが、本発明の一態様はこれに限定されない。さらに別のトランジスタ、及び / 又は別の容量素子を有する回路構成とすることもできる。さらに本発明の一態様は、別途の配線を設ける、あるいは省略することで、多様な回路構成とすることができる。以下では、その一例である変形例について説明する。

## 【 0 1 3 8 】

なお本実施の形態において、実施の形態 1 及び 2 での説明と重複する場合、説明を省略する。

## 【 0 1 3 9 】

&lt; 変形例 1 &gt;

図 4 に示す半導体装置は、回路 1 0 0 がトランジスタ 1 1 1 を有する点で、図 1 と異なる。

## 【 0 1 4 0 】

トランジスタ 1 1 1 のゲートは、配線 1 5 4 と接続される。トランジスタ 1 1 1 のソース又はドレインの一方は、トランジスタ 1 0 1 のゲート及び容量素子 1 1 0 の第 1 の電極と接続される。トランジスタ 1 1 1 のソース又はドレインの他方は、トランジスタ 1 0 3 の

## 【 0 1 4 1 】

図 4 に示す半導体装置は、期間  $T_2$ 、 $t_2$  において、トランジスタ 1 1 1 が非導通状態になるため、トランジスタ 1 1 1 のソース又はドレインの他方 (トランジスタ 1 0 8 のソース又はドレインの他方側) の電位は、配線 1 5 2 の電位の上昇に伴って上昇しない。よって、トランジスタ 1 1 1 のソース又はドレインの他方と接続されるトランジスタ 1 0 3、トランジスタ 1 0 5、トランジスタ 1 0 8 及びトランジスタ 1 0 9 に大きい電圧が印加されることを防止することができ、これらのトランジスタの破壊の防止、及び特性変化の抑制を図ることができる。

## 【 0 1 4 2 】

あるいは図 4 に示す半導体装置は、図 5 のようにしてもよい。図 5 ではトランジスタ 1 1 1 のゲートは、配線 1 5 4 とは別の配線 1 5 4 A に接続する。図 5 において配線 1 5 4 A が伝える電位は、配線 1 5 4 が伝える電位  $V_H$  よりも低くする。このようにすることで、期間  $T_1$ 、 $t_1$  において、トランジスタ 1 1 1 のソース又はドレインの一方が  $V_H - V_{th108}$  又は  $V_H - V_{th109}$  よりも低い時点で、トランジスタ 1 1 1 を非導通状態とすることができる。よって、トランジスタ 1 0 1 のゲートを浮遊状態にするタイミングを早くすることができ、動作速度の向上を図ることができる。

## 【 0 1 4 3 】

&lt; 変形例 2 &gt;

図 6 に示す半導体装置は、回路 1 0 0 がトランジスタ 1 1 2 を有する点で、図 1 と異なる。

## 【 0 1 4 4 】

トランジスタ 1 1 2 のゲートは、配線 1 5 1 と接続される。トランジスタ 1 1 2 のソース又はドレインの一方は、配線 1 5 3 と接続される。トランジスタ 1 1 2 のソース又はドレインの他方は、ノード  $ND_3$  と接続される。

## 【 0 1 4 5 】

期間  $T_1$ 、期間  $T_3$ 、期間  $T_4$  及び期間  $T_6$ 、並びに期間  $t_1$ 、期間  $t_3$ 、期間  $t_4$  及び期間  $t_6$  において、配線 1 5 1 の電位が  $V_L$  になると、トランジスタ 1 1 2 が非導通状態

10

20

30

40

50

になる。期間 T 2 及び期間 T 5、並びに期間 t 2 及び期間 t 5 において、配線 1 5 1 の電位が V H になると、トランジスタ 1 1 2 が導通状態になる。よって、配線 1 5 3 の電位である V L がトランジスタ 1 1 2 を介してノード N D 3 に伝わるため、ノード N D 3 の電位が V L になる。そして、トランジスタ 1 0 2、1 0 3 が非導通状態になる。このように、期間 T 5 及び期間 t 5 においてトランジスタ 1 0 2、1 0 3 を非導通状態にすることができるため、トランジスタ 1 0 2、1 0 3 の特性劣化を抑制することができる。

【 0 1 4 6 】

< 変形例 3 >

図 7 に示す半導体装置は、回路 1 0 0 がトランジスタ 1 1 3 を有する点で、図 1 と異なる。

10

【 0 1 4 7 】

トランジスタ 1 1 3 のゲートは、配線 1 5 1 と接続される。トランジスタ 1 1 3 のソース又はドレインの一方は、配線 1 5 3 と接続される。トランジスタ 1 1 3 のソース又はドレインの他方は、ノード N D 2 と接続される。

【 0 1 4 8 】

期間 T 1、期間 T 3、期間 T 4 及び期間 T 6、並びに期間 t 1、期間 t 3、期間 t 4 及び期間 t 6 において、配線 1 5 1 の電位が V L になると、トランジスタ 1 1 3 が非導通状態になる。期間 T 2 及び期間 T 5、並びに期間 t 2 及び期間 t 5 において、配線 1 5 1 の電位が V H になると、トランジスタ 1 1 3 が導通状態になる。よって、配線 1 5 3 の電位である V L がトランジスタ 1 1 3 を介してノード N D 2 に伝わるため、ノード N D 2 の電位が V L になる。そして、トランジスタ 1 0 4 が非導通状態になる。このように、期間 T 5 及び期間 t 5 においてトランジスタ 1 0 4 を非導通状態にすることができるため、トランジスタ 1 0 4 の特性劣化を抑制することができる。

20

【 0 1 4 9 】

< 変形例 4 >

図 8 に示す半導体装置は、回路 1 0 0 が容量素子 1 1 4 を有する点で、図 1 と異なる。

【 0 1 5 0 】

容量素子 1 1 4 の第 1 の電極は、ノード N D 2 と接続される。容量素子 1 1 4 の第 2 の電極は、ノード N D 3 と接続される。

【 0 1 5 1 】

期間 T 3、及び期間 t 3 において、ノード N D 2 が浮遊状態となり、且つノード N D 3 とノード N D 2 との電位差が保持された状態でノード N D 3 の電位を上昇させるため、ノード N D 2 の電位が上昇する。このとき、トランジスタ 1 0 4 のゲートとソース又はドレインの他方との間の寄生容量が小さいと、ノード N D 2 の電位が上昇しにくくなる。よって、トランジスタ 1 0 4 のゲートとソース又はドレインの他方との間に容量素子 1 1 4 を設けることで、ノード N D 2 の電位を上昇しやすくすることができる。よって、ノード N D 3 の電位をより確実に V H にしてトランジスタ 1 0 2 を導通状態とすることができるため、回路 1 0 0 の出力信号の誤動作を低減することができる。

30

【 0 1 5 2 】

< 変形例 5 >

図 9 に示す半導体装置は、トランジスタ 1 0 2 のゲートが配線 1 6 1 に接続される点で、図 1 と異なる。同様に、図 1 0 に示す半導体装置は、トランジスタ 1 0 3 のゲートが配線 1 6 1 に接続される点で、図 1 と異なる。

40

【 0 1 5 3 】

配線 1 6 1 は、ハイレベルとロウレベルとを有する信号を伝える機能を有する。具体的な一例としては、配線 1 6 1 は第 1 の動作及び第 2 の動作時において、配線 1 5 2 の電位が V H である以外の期間でトランジスタ 1 0 2 又は 1 0 3 を導通状態とするための信号を伝える機能を有する。例えば、期間 T 4 乃至 T 6、及び期間 t 4 乃至 t 6 において、任意のタイミングで V H となる信号を配線 1 6 1 に伝えればよい。このような信号としては、第 1 乃至第 3 のクロック信号とは位相の異なるクロック信号であることが好ましい。配線 1

50

61が伝えるクロック信号は、第4のクロック信号という場合がある。図9及び図10の構成とすることで、配線152の電位をより確実にVLにすることができるため、回路100の出力信号の誤動作を低減することができる。

【0154】

あるいは図9に示す半導体装置において、トランジスタ102のゲートが配線156又は配線158と接続されてもよい。

【0155】

<変形例6>

図11に示す半導体装置は、トランジスタ105乃至109をスイッチ105A乃至109Aとする点で、図1と異なる。また、図12に示す半導体装置は、トランジスタ102をスイッチ102Aとする点で、図1と異なる。同様に、図13に示す半導体装置は、トランジスタ103をスイッチ103Aとする点で、図1と異なる。

【0156】

スイッチ102A、103A、105A乃至109Aは、トランジスタに限らず、電氣的スイッチあるいは機械的スイッチを用いることができるため、設計の自由度を高めることができる。

【0157】

<変形例7>

図14に示す半導体装置は、容量素子110を省略した点で、図1と異なる。

【0158】

図14に示す半導体装置は、トランジスタ101のゲートとソース又はドレインの他方との間の寄生容量が大きくなるように設計しておくことで、容量素子110を省略できる。容量素子を省略することによって設計の自由度を高めることができ、加えて回路100が占める面積を縮小することができる。

【0159】

<変形例8>

図15に示す半導体装置は、トランジスタ101乃至109をPチャネル型として示した点で、図1と異なる。

【0160】

図15に示す半導体装置は、Pチャネル型しか作れない半導体材料でトランジスタを作成し、回路100に適用することができる。

【0161】

<変形例9>

図16に示す半導体装置は、上述した変形例1乃至3を組み合わせ、トランジスタ111、112、及びトランジスタ113を有する点で、図1と異なる。

【0162】

図16に示す半導体装置は、一例として示す上述した変形例1乃至3を組み合わせることによって、上述した各変形例での利点を備えた回路100とすることができる。

【0163】

<変形例10>

図17に示す半導体装置は、トランジスタ101乃至109を、バックゲートを有するトランジスタとして示し、バックゲートが配線162に接続される点で、図1と異なる。また、図18に示す半導体装置は、トランジスタ101、104、106、108を、バックゲートを有するトランジスタとして示し、バックゲートが配線162に接続される点で、図1と異なる。また、図19に示す半導体装置は、トランジスタ101乃至109を、バックゲートを有するトランジスタとして示し、トランジスタ101、104、106、108のバックゲートが配線162に接続され、トランジスタ102、103、105、107、109のバックゲートが配線163に接続される点で、図1と異なる。また、図20に示す半導体装置は、トランジスタ101乃至109を、バックゲートを有するトランジスタとして示し、トランジスタ101及び102のバックゲートがゲートに接続され

10

20

30

40

50

、トランジスタ 103 乃至 109 のバックゲートが配線 162 に接続される点で、図 1 と異なる。

【0164】

配線 162 は、ハイレベル又はロウレベルの電位を伝える機能を有する。具体的な一例としては、配線 162 は第 1 の動作及び第 2 の動作時において、トランジスタの閾値電圧を制御できる電位を伝える機能を有する。また配線 163 は、ハイレベル又はロウレベルの電位を伝える機能を有する。具体的な一例としては、配線 163 は第 1 の動作及び第 2 の動作時において、配線 162 の電位とは異なる、トランジスタの閾値電圧を制御できる電位を伝える機能を有する。例えば、トランジスタの閾値電圧を制御できる電位としては、 $V_H$  以下の電位、あるいは  $V_L$  以上の電位であることが好ましい。

10

【0165】

図 17 乃至 19 に示す半導体装置は、 $V_H$  に設定される配線と、 $V_L$  に設定される配線との間の貫通電流を低減することができる。よって、消費電力の低減を図ることができる。また図 20 に示す半導体装置は、トランジスタ 101、102 のバックゲートに与える電位をゲートと等電位とし、トランジスタ 101、102 の電流供給能力を大きくすることができる。よって、配線 152 に伝える信号の立ち上がり時間及び立ち下がり時間を短くすることができる。

【0166】

<まとめ>

以上説明したように本発明の一態様は、実施の形態 1 及び 2 で回路の一例、動作の一例に限らない。本発明の一態様は、別のトランジスタ、及び / 又は別の容量素子、別途の配線を設ける、あるいは省略することで、多様な回路構成とすることができる。

20

【0167】

(実施の形態 4)

【0168】

本実施の形態では、上記実施の形態 1 乃至 3 で説明した、回路 100 を用いたシフトレジスタの一例について説明する。

【0169】

図 21 に示すシフトレジスタ 200 は、上記実施の形態 1 乃至 3 で説明した回路 100 に相当する、回路 201 [  $i$  ] 乃至回路 201 [  $i + 2$  ] (  $i$  は 3 以上の自然数 ) を有する。回路 201 [  $i$  ] 乃至回路 201 [  $i + 2$  ] は、それぞれトランジスタ 101 乃至 109、及び容量素子 110 を有する。

30

【0170】

なお図 21 では、回路 201 [  $i$  ] 乃至 201 [  $i + 2$  ] の出力信号を  $OUT [ i ]$  乃至  $OUT [ i + 2 ]$  として図示している。なお  $OUT [ i ]$  乃至  $OUT [ i + 2 ]$  を伝える配線は、配線 218 [  $i$  ] 乃至 218 [  $i + 2$  ] として図示している。配線 218 [  $i$  ] 乃至 218 [  $i + 2$  ] は、上記実施の形態 1 乃至 3 で説明した配線 152 に相当する。また、回路 201 [  $i$  ] の前段にあたる回路 201 [  $i - 1$  ] ( 図示せず ) の出力信号  $OUT [ i - 1 ]$  を伝える配線は、配線 218 [  $i - 1$  ] として図示している。同様に、回路 201 [  $i + 2$  ] の後段にあたる回路 201 [  $i + 3$  ] ( 図示せず ) の出力信号  $OUT [ i + 3 ]$  を伝える配線は、配線 218 [  $i + 3$  ] として図示している。

40

【0171】

図 21 では、回路 201 [  $i$  ] に伝える配線の一例として、配線 211 乃至 217 を示している。

【0172】

配線 211 は、例えば回路 201 [  $i$  ] では、上記実施の形態 1 乃至 3 で説明した配線 158 に相当する。配線 211 は、一例として、信号  $CK1$  を伝える機能を有する。信号  $CK1$  は、第 1 乃至第 3 のクロック信号のいずれか一に相当する。

【0173】

配線 212 は、例えば回路 201 [  $i$  ] では、上記実施の形態 1 乃至 3 で説明した配線 1

50

5 1に相当する。配線 2 1 2 は、一例として、信号 C K 2 を伝える機能を有する。信号 C K 2 は、信号 C K 1 とは異なる、第 1 乃至第 3 のクロック信号のいずれか一に相当する。

【 0 1 7 4 】

配線 2 1 3 は、例えば回路 2 0 1 [ i ] では、上記実施の形態 1 乃至 3 で説明した配線 1 5 6 に相当する。配線 2 1 3 は、一例として、信号 C K 3 を伝える機能を有する。信号 C K 3 は、信号 C K 1、C K 2 とは異なる、第 1 乃至第 3 のクロック信号のいずれか一に相当する。

【 0 1 7 5 】

配線 2 1 4 は、例えば回路 2 0 1 [ i ] では、上記実施の形態 1 乃至 3 で説明した配線 1 5 4 に相当する。配線 2 1 4 は、一例として、V D D に設定される機能を有する。V D D は、V H に相当する。

【 0 1 7 6 】

配線 2 1 5 は、例えば回路 2 0 1 [ i ] では、上記実施の形態 1 乃至 3 で説明した配線 1 5 3 に相当する。配線 2 1 5 は、一例として、V S S に設定される機能を有する。V S S は、V L に相当する。

【 0 1 7 7 】

配線 2 1 6 は、例えば回路 2 0 1 [ i ] では、上記実施の形態 1 乃至 3 で説明した配線 1 5 5 に相当する。配線 2 1 6 は、一例として、信号 S E L 1 を伝える機能を有する。信号 S E L 1 は、第 1 の期間でハイレベル、例えば V D D となり、第 2 の期間でロウレベル、例えば V S S となる信号である。

【 0 1 7 8 】

配線 2 1 7 は、例えば回路 2 0 1 [ i ] では、上記実施の形態 1 乃至 3 で説明した配線 1 5 7 に相当する。配線 2 1 7 は、一例として、信号 S E L 2 を伝える機能を有する。信号 S E L 2 は、第 1 の期間でロウレベル、例えば V S S となり、第 2 の期間でハイレベル、例えば V D D となる信号である。

【 0 1 7 9 】

シフトレジスタ 2 0 0 は、第 1 の動作時において、例えば回路 2 0 1 [ i ] では、回路 2 0 1 [ i - 1 ] ( 図示せず ) の出力信号 O U T [ i - 1 ] をシフトした、出力信号 O U T [ i ] を配線 2 1 8 [ i ] に伝える機能を有する。同様に、例えば回路 2 0 1 [ i + 1 ] では、回路 2 0 1 [ i ] の出力信号 O U T [ i ] をシフトした、出力信号 O U T [ i + 1 ] を配線 2 1 8 [ i + 1 ] に伝える機能を有する。図 2 2 に、第 1 の動作時における、信号の波形について示す。回路 2 0 1 [ i - 1 ] 乃至 2 0 1 [ i + 3 ] での、第 1 の動作による各トランジスタの動作については、実施の形態 2 の記載を参照すればよい。

【 0 1 8 0 】

また、シフトレジスタ 2 0 0 は、第 2 の動作時において、例えば回路 2 0 1 [ i + 1 ] では、回路 2 0 1 [ i + 2 ] の出力信号 O U T [ i + 2 ] をシフトした、出力信号 O U T [ i + 1 ] を配線 2 1 8 [ i + 1 ] に伝える機能を有する。同様に、例えば回路 2 0 1 [ i ] では、回路 2 0 1 [ i + 1 ] の出力信号 O U T [ i + 1 ] をシフトした、出力信号 O U T [ i ] を配線 2 1 8 [ i ] に伝える機能を有する。図 2 2 に、第 2 の動作時における、信号の波形について示す。回路 2 0 1 [ i - 1 ] 乃至 2 0 1 [ i + 3 ] での、第 2 の動作による各トランジスタの動作については、実施の形態 2 の記載を参照すればよい。

【 0 1 8 1 】

図 2 2 に例示するようにシフトレジスタ 2 0 0 は、第 1 の動作時において、配線 2 1 8 [ i ] から配線 2 1 8 [ i + 1 ] に向かう第 1 の方向に、パルスを送るよう動作することができる。同様に、第 2 の動作時において、配線 2 1 8 [ i + 1 ] から配線 2 1 8 [ i ] に向かう第 2 の方向に、パルスを送るよう動作することができる。このように、シフトレジスタ 2 0 0 は、特に双方向にパルスを順に出力できる、シフトレジスタとしての機能を有する。そしてシフトレジスタ 2 0 0 では、パルスのシフト方向を、信号 S E L 1 又は信号 S E L 2 の、ハイレベル又はロウレベルとする切り替えによって変えることができる。ただし、シフトレジスタ 2 0 0 が有する機能は、これに限定されない。

10

20

30

40

50

## 【0182】

また図33には、図21で示した回路201[i]のレイアウト図の一例を示す。図33では、ゲート電極と同じ層に設けられる第1の配線401、ソース電極及びドレイン電極と同じ層に設けられる第2の配線402、半導体層403、第1の配線401と第2の配線402とを接続するための開口部404の配置例について示している。

## 【0183】

半導体層403と第1の配線401とが重なり、半導体層の両端部において第2の配線402が重なる領域が、トランジスタの占める領域となる。また、第1の配線401と第2の配線402とが重なる領域が、容量素子の占める領域となる。図33では、図21で説明したトランジスタ101乃至109、容量素子110の配置を示している。また図33では、配線211乃至217、配線218[i-1]乃至配線218[i+1]の配置を示している。

10

## 【0184】

なお図33に示すレイアウトの例では、配線及び半導体層の上下関係について、下層から半導体層403、第1の配線401、第2の配線402の順に重ねる例を示したが、これに限らず、第1の配線401を下層にしてもよいし、第2の配線402を下層にしてもよい。また半導体層403は、第1の配線401及び第2の配線402より幅が大きくなるように設けてもよいし、逆に半導体層403は、第1の配線401及び第2の配線402より幅が小さくなるように設けてもよい。

20

## 【0185】

(実施の形態5)

本実施の形態では、本発明の一態様に係る半導体装置を適用可能な、表示装置について説明する。

20

## 【0186】

図23(A)に例示する表示装置は、回路300及び画素部130を有する。画素部130には、N本(Nは3以上の自然数)の配線GL(GL[1]乃至GL[N]とも示す)及びM(Mは自然数)本の配線SL(配線SL[1]乃至SL[M]とも示す)が設けられる。そして、N本の配線GL及びM本の配線SLに対応して画素131が設けられる。回路300は、ゲートドライバ(ゲート線駆動回路、ゲート信号線駆動回路、走査線駆動回路ともいう)としての機能を有する。N本の配線GLは、ゲート線(ゲート信号線、走査線ともいう)としての機能を有する。M本の配線SLは、ビデオ信号を伝達する機能を有する。つまり、M本の配線SLは、ソース線(ソース信号線、信号線ともいう)としての機能を有する。また、M本の配線SLは、ソースドライバ(ソース線駆動回路、ソース信号線駆動回路又は信号線駆動回路ともいう)としての機能を有する回路と接続される。

30

## 【0187】

なお、回路300としては、実施の形態4において説明したシフトレジスタ200を用いることが可能である。その場合、N本の配線GLは、配線218に相当する。また、回路300が有するN個の回路301(回路301[1]乃至301[N]とも示す)としては、実施の形態1乃至3において説明した回路100を用いることが可能である。その場合、N本の配線GLは、配線152に相当する。

40

## 【0188】

画素131の選択又は非選択は配線GLの電位に基づいて制御される。つまり、画素131の選択又は非選択は回路300によって制御される。画素131が選択されると、ビデオ信号が配線SLから画素131に書き込まれる。そして、ビデオ信号が画素131に保持されるとともに、画素131がビデオ信号に応じた表示を行う。その後、画素131が非選択になると、画素131は保持したビデオ信号に応じた表示を続ける。

## 【0189】

次に、画素131の具体的な構成例について説明する。

## 【0190】

図23(B)に例示する画素131は、トランジスタ132、液晶素子133及び容量素

50



子134を有する。トランジスタ132は、第1の端子が配線SLと接続され、第2の端子が液晶素子133の第1の電極（画素電極ともいう）及び容量素子134の第1の電極と電氣的に接続され、ゲートが配線GLと接続される。液晶素子133の第2の電極（コモン電極ともいう）は、複数の画素131の全て又は2つ以上において共通である。つまり、第1の画素131の液晶素子133の第2の電極となる領域を有する導電体は、第2の画素131の液晶素子133の第2の電極となる領域を有する。容量素子134の第2の電極は、容量線としての機能を有する配線と接続される。容量素子134の第2の電極は、複数の画素131の全て又は2つ以上において同じ配線と接続される。ただし、容量素子134の第2の電極は、液晶素子133の第2の電極と接続されてもよい。トランジスタ132は、配線GLの電位によってオン又はオフが制御される。トランジスタ132がオンになると、配線SLのビデオ信号が画素131に入力される。液晶素子133は、液晶材料を有する。液晶材料の配向は、液晶素子133の第1の電極と液晶素子133の第2の電極との電位差によって制御される。容量素子134は、ビデオ信号に応じた電荷を蓄積する機能を有する。つまり、容量素子134は、液晶素子133の第1の電極の電位をビデオ信号に応じた値に維持する機能を有する。

10

#### 【0191】

図23(C)に例示する画素131は、トランジスタ135、トランジスタ136、EL素子137を有する。トランジスタ135は、第1の端子が配線SLと接続され、第2の端子がトランジスタ136のゲートと接続され、ゲートが配線GLと接続される。トランジスタ136は、第1の端子がEL素子137に流れる電流を供給する機能を有する配線と接続され、第2の端子がEL素子137の第1の電極（画素電極ともいう）と接続される。EL素子137の第2の電極（共通電極ともいう）は、複数の画素131の全て又は2つ以上において共通である。つまり、第1の画素131のEL素子137の第2の電極となる領域を有する導電体は、第2の画素131のEL素子137の第2の電極となる領域を有する。トランジスタ135は、配線GLの電位によってオン又はオフが制御される。トランジスタ135がオンになると、配線SLのビデオ信号が画素131に入力される。トランジスタ136は、EL素子137に電流を供給する機能を有する。トランジスタ136がEL素子137に供給する電流は、ビデオ信号に応じた値になる。EL素子137は、トランジスタ136から供給される電流に応じて発光する機能を有する。

20

#### 【0192】

画素131の構成は、図23(B)及び図23(C)に限定されない。画素131は、ゲートが配線GLと接続され、第1の端子が配線SLと接続されるトランジスタと、当該トランジスタを介して入力されるビデオ信号に基づいて表示を行う表示素子と、を有していればよい。或いは、画素131は、ゲートが配線GLと接続され、第1の端子が配線SLと接続されるトランジスタと、当該トランジスタを介して入力されるビデオ信号に基づいた電位又は電流が供給される画素電極と、を有していればよい。或いは、画素131は、ゲートが配線GLと接続され、第1の端子が配線SLと接続されるトランジスタと、当該トランジスタを介して入力されるビデオ信号に基づいた電流を表示素子又は画素電極に供給するトランジスタと、を有していればよい。

30

#### 【0193】

（実施の形態6）

本実施の形態では、上記回路100のトランジスタ101乃至109に適用可能なトランジスタの構成例について、図面を参照して説明する。

40

#### 【0194】

<トランジスタの構成例>

図24(A)に、以下で例示するトランジスタ600の上面概略図を示す。また図24(B)に図24(A)中に示す切断線A-Bにおけるトランジスタ600の断面概略図を示す。図24(A)(B)で例示するトランジスタ600はボトムゲート型のトランジスタである。

#### 【0195】

50

トランジスタ 600 は、基板 601 上に設けられるゲート電極 602 と、基板 601 及びゲート電極 602 上に設けられる絶縁層 603 と、絶縁層 603 上にゲート電極 602 と重なるように設けられる酸化物半導体層 604 と、酸化物半導体層 604 の上面に接する一対の電極 605 a、605 b とを有する。また、絶縁層 603、酸化物半導体層 604、一対の電極 605 a、605 b を覆う絶縁層 606 と、絶縁層 606 上に絶縁層 607 が設けられている。

#### 【0196】

基板 601 の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有する材料を用いる。例えば、ガラス基板、セラミック基板、石英基板、サファイヤ基板、YSZ（イットリア安定化ジルコニア）基板等を、基板 601 として用いてもよい。また、シリコンや炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムを材料とした化合物半導体基板、SOI 基板等を適用することも可能である。また、これらの基板上に半導体素子が設けられたものを、基板 601 として用いてもよい。

10

#### 【0197】

また、基板 601 として、プラスチックなどの可撓性基板を用い、該可撓性基板上に直接、トランジスタ 600 を形成してもよい。または、基板 601 とトランジスタ 600 の間に剥離層を設けてもよい。剥離層は、その上層にトランジスタの一部あるいは全部を形成した後、基板 601 より分離し、他の基板に転載するのに用いることができる。その結果、トランジスタ 600 は耐熱性の劣る基板や可撓性の基板にも転載できる。

20

#### 【0198】

ゲート電極 602 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、ゲート電極 602 は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

30

#### 【0199】

また、ゲート電極 602 は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

#### 【0200】

また、ゲート電極 602 と絶縁層 603 との間に、In-Ga-Zn 系酸窒化物半導体膜、In-Sn 系酸窒化物半導体膜、In-Ga 系酸窒化物半導体膜、In-Zn 系酸窒化物半導体膜、Sn 系酸窒化物半導体膜、In 系酸窒化物半導体膜、金属窒化膜（InN、ZnN 等）等を設けてもよい。これらの材料は 5 eV 以上、好ましくは 5.5 eV 以上の仕事関数であり、トランジスタのしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。例えば、In-Ga-Zn 系酸窒化物半導体膜を用いる場合、少なくとも酸化物半導体層 604 より高い窒素濃度、具体的には 7 原子% 以上の In-Ga-Zn 系酸窒化物半導体膜を用いる。

40

#### 【0201】

絶縁層 603 は、ゲート絶縁膜として機能する。酸化物半導体層 604 の下面と接する絶

50

絶縁層 603 は、酸化物絶縁膜であることが好ましい。

【0202】

絶縁層 603 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは Ga - Zn 系金属酸化物などを用いればよく、積層または単層で設ける。

【0203】

また、絶縁層 603 として、ハフニウムシリケート ( $\text{HfSiO}_x$ )、窒素が添加されたハフニウムシリケート ( $\text{HfSi}_x\text{O}_y\text{N}_z$ )、窒素が添加されたハフニウムアルミネート ( $\text{HfAl}_x\text{O}_y\text{N}_z$ )、酸化ハフニウム、酸化イットリウムなどの high - k 材料を用いることでトランジスタのゲートリークを低減できる。

10

【0204】

一对の電極 605 a 及び 605 b は、トランジスタのソース電極またはドレイン電極として機能する。

【0205】

一对の電極 605 a、605 b は、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いることができる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

20

【0206】

絶縁層 606 は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、加熱により一部の酸素が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、昇温脱離ガス分光法 (TDS: Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算した際の酸素の脱離量が  $1.0 \times 10^{18} \text{ atoms/cm}^3$  以上、好ましくは  $3.0 \times 10^{20} \text{ atoms/cm}^3$  以上である酸化物絶縁膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。

30

【0207】

絶縁層 606 としては、酸化シリコン、酸化窒化シリコン等を用いることができる。

【0208】

なお、絶縁層 606 は、後に形成する絶縁層 607 を形成する際の、酸化物半導体層 604 へのダメージ緩和膜としても機能する。

40

【0209】

また、絶縁層 606 と酸化物半導体層 604 の間に、酸素を透過する酸化物膜を設けてもよい。

【0210】

酸素を透過する酸化物膜としては、酸化シリコン、酸化窒化シリコン等を用いることができる。なお、本明細書中において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多い膜を指し、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多い膜を指す。

【0211】

絶縁層 607 は、酸素、水素、水等のブロッキング効果を有する絶縁膜を用いることがで

50

きる。絶縁層 606 上に絶縁層 607 を設けることで、酸化物半導体層 604 からの酸素の外部への拡散と、外部から酸化物半導体層 604 への水素、水等の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果を有する絶縁膜としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

#### 【0212】

<トランジスタの作製方法例>

続いて、図 24 に例示するトランジスタ 600 の作製方法の一例について説明する。

#### 【0213】

まず、図 25 (A) に示すように、基板 601 上にゲート電極 602 を形成し、ゲート電極 602 上に絶縁層 603 を形成する。

#### 【0214】

ここでは、基板 601 としてガラス基板を用いる。

#### 【0215】

ゲート電極 602 の形成方法を以下に示す。はじめに、スパッタリング法、CVD 法、蒸着法等により導電膜を形成し、導電膜上に第 1 のフォトマスクを用いてフォトリソグラフィ工程によりレジストマスクを形成する。次に、該レジストマスクを用いて導電膜の一部をエッチングして、ゲート電極 602 を形成する。その後、レジストマスクを除去する。

#### 【0216】

なお、ゲート電極 602 は、上記形成方法の代わりに、電解メッキ法、印刷法、インクジェット法等で形成してもよい。

#### 【0217】

絶縁層 603 は、スパッタリング法、PECVD 法、蒸着法等で形成する。

#### 【0218】

絶縁層 603 として酸化シリコン膜、酸化窒化シリコン膜、または窒化酸化シリコン膜を形成する場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

#### 【0219】

また、絶縁層 603 として窒化シリコン膜を形成する場合、2 段階の形成方法を用いることが好ましい。はじめに、シラン、窒素、及びアンモニアの混合ガスを原料ガスとして用いたプラズマ CVD 法により、欠陥の少ない第 1 の窒化シリコン膜を形成する。次に、原料ガスを、シラン及び窒素の混合ガスに切り替えて、水素濃度が少なく、且つ水素をブロッキングすることが可能な第 2 の窒化シリコン膜を成膜する。このような形成方法により、絶縁層 603 として、欠陥が少なく、且つ水素ブロッキング性を有する窒化シリコン膜を形成することができる。

#### 【0220】

また、絶縁層 603 として酸化ガリウム膜を形成する場合、MOCVD (Metal Organic Chemical Vapor Deposition) 法を用いて形成することができる。

#### 【0221】

次に、図 25 (B) に示すように、絶縁層 603 上に酸化物半導体層 604 を形成する。

#### 【0222】

酸化物半導体層 604 の形成方法を以下に示す。はじめに、酸化物半導体膜を形成する。続いて、酸化物半導体膜上に第 2 のフォトマスクを用いてフォトリソグラフィ工程によりレジストマスクを形成する。次に、該レジストマスクを用いて酸化物半導体膜の一部をエッチングして、酸化物半導体層 604 を形成する。その後、レジストマスクを除去する。

#### 【0223】

この後、加熱処理を行ってもよい。加熱処理を行う場合には、酸素を含む雰囲気下で行うことが好ましい。また、上記加熱処理の温度としては、例えば、150 以上600 以下、好ましくは200 以上500 以下とすればよい。

【0224】

次に、図25(C)に示すように、一对の電極605a、605bを形成する。

【0225】

一对の電極605a、605bの形成方法を以下に示す。はじめに、スパッタリング法、PECVD法、蒸着法等で導電膜を形成する。次に、該導電膜上に第3のフォトリソグラフィ工程によりレジストマスクを形成する。次に、該レジストマスクを用いて導電膜の一部をエッチングして、一对の電極605a、605bを形成する。その後、レジストマスクを除去する。

10

【0226】

なお、図25(C)に示すように、導電膜のエッチングの際に酸化物半導体層604の上部の一部がエッチングされ、薄膜化することがある。そのため、酸化物半導体層604の形成時、酸化物半導体膜の厚さを予め厚く設定しておくことが好ましい。

【0227】

次に、図25(D)に示すように、酸化物半導体層604及び一对の電極605a、605b上に、絶縁層606を形成し、続いて絶縁層606上に絶縁層607を形成する。

【0228】

絶縁層606として酸化シリコン膜または酸化窒化シリコン膜を形成する場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

20

【0229】

例えば、プラズマCVD装置の真空排気された処理室内に載置された基板を180 以上260 以下、さらに好ましくは200 以上240 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられる電極に0.17W/cm<sup>2</sup>以上0.5W/cm<sup>2</sup>以下、さらに好ましくは0.25W/cm<sup>2</sup>以上0.35W/cm<sup>2</sup>以下の高周波電力を供給する条件により、酸化シリコン膜または酸化窒化シリコン膜を形成する。

30

【0230】

成膜条件として、上記圧力の処理室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、酸化物絶縁膜中における酸素含有量が化学量論比よりも多くなる。しかしながら、基板温度が、上記温度であると、シリコンと酸素の結合力が弱いため、加熱により酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化物絶縁膜を形成することができる。

【0231】

また、酸化物半導体層604と絶縁層606の間に酸化物絶縁膜を設ける場合には、絶縁層606の形成工程において、該酸化物絶縁膜が酸化物半導体層604の保護膜となる。この結果、酸化物半導体層604へのダメージを低減しつつ、パワー密度の高い高周波電力を用いて絶縁層606を形成することができる。

40

【0232】

例えば、PECVD装置の真空排気された処理室内に載置された基板を180 以上400 以下、さらに好ましくは200 以上370 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を20Pa以上250Pa以下、さらに好ましくは100Pa以上250Pa以下とし、処理室内に設けられる電極に高周波電力を供給する条件により、酸化物絶縁膜として酸化シリコン膜または酸化窒化シリコン膜を形成することができる。また、処理室の圧力を100Pa以上250Pa以下とすることで、該酸化物絶縁膜

50

を成膜する際に、酸化物半導体層 6 0 4 へのダメージを低減することが可能である。

【 0 2 3 3 】

酸化物絶縁膜の原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

【 0 2 3 4 】

絶縁層 6 0 7 は、スパッタリング法、P E C V D 法等で形成することができる。

【 0 2 3 5 】

絶縁層 6 0 7 として窒化シリコン膜、または窒化酸化シリコン膜を形成する場合、原料ガスとしては、シリコンを含む堆積性気体、酸化性気体、及び窒素を含む気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。窒素を含む気体としては、窒素、アンモニア等がある。

【 0 2 3 6 】

以上の工程により、トランジスタ 6 0 0 を形成することができる。

【 0 2 3 7 】

<トランジスタの変形例>

以下では、トランジスタ 6 0 0 と一部が異なるトランジスタの構成例について説明する。

【 0 2 3 8 】

図 2 6 ( A ) に、以下で例示するトランジスタ 6 1 0 の断面概略図を示す。トランジスタ 6 1 0 は、酸化物半導体層の構成が異なる点で、トランジスタ 6 0 0 と相違している。

【 0 2 3 9 】

トランジスタ 6 1 0 が有する酸化物半導体層 6 1 4 は、酸化物半導体層 6 1 4 a と酸化物半導体層 6 1 4 b とが積層されて構成される。

【 0 2 4 0 】

なお、酸化物半導体層 6 1 4 a と酸化物半導体層 6 1 4 b の境界は不明瞭である場合があるため、図 2 6 ( A ) 等の図中には、これらの境界を破線で示している。

【 0 2 4 1 】

酸化物半導体層 6 1 4 a は、代表的には I n - G a 酸化物、I n - Z n 酸化物、I n - M - Z n 酸化物 ( M は A l 、 T i 、 G a 、 Y 、 Z r 、 L a 、 C e 、 N d 、または H f ) を用いる。また、酸化物半導体層 6 1 4 a が I n - M - Z n 酸化物であるとき、Z n および O を除いての I n および M の原子数比率は、好ましくは、I n が 5 0 a t o m i c % 未満、M が 5 0 a t o m i c % 以上、さらに好ましくは、I n が 2 5 a t o m i c % 未満、M が 7 5 a t o m i c % 以上とする。また例えば、酸化物半導体層 6 1 4 a は、エネルギーギャップが 2 e V 以上、好ましくは 2 . 5 e V 以上、より好ましくは 3 e V 以上である材料を用いる。

【 0 2 4 2 】

酸化物半導体層 6 1 4 b は I n 若しくは G a を含み、代表的には、I n - G a 酸化物、I n - Z n 酸化物、I n - M - Z n 酸化物 ( M は A l 、 T i 、 G a 、 Y 、 Z r 、 L a 、 C e 、 N d または H f ) であり、且つ酸化物半導体層 6 1 4 a よりも伝導帯の下端のエネルギーが真空準位に近く、代表的には、酸化物半導体層 6 1 4 b の伝導帯の下端のエネルギーと、酸化物半導体層 6 1 4 a の伝導帯の下端のエネルギーとの差が、0 . 0 5 e V 以上、0 . 0 7 e V 以上、0 . 1 e V 以上、または 0 . 1 5 e V 以上、且つ 2 e V 以下、1 e V 以下、0 . 5 e V 以下、または 0 . 4 e V 以下とすることが好ましい。

【 0 2 4 3 】

また、酸化物半導体層 6 1 4 b が I n - M - Z n 酸化物であるとき、Z n 及び O を除いての I n と M の原子数比率は、好ましくは、I n が 2 5 a t o m i c % 以上、M が 7 5 a t o m i c % 未満、さらに好ましくは、I n が 3 4 a t o m i c % 以上、M が 6 6 a t o m i c % 未満とする。

10

20

30

40

50

## 【0244】

例えば、酸化物半導体層614aとしてIn:Ga:Zn=1:1:1、In:Ga:Zn=1:1:1.2、またはIn:Ga:Zn=3:1:2の原子数比のIn-Ga-Zn酸化物を用いることができる。また、酸化物半導体層614bとしてIn:Ga:Zn=1:3:2、1:6:4、または1:9:6の原子数比のIn-Ga-Zn酸化物を用いることができる。なお、酸化物半導体層614a、及び酸化物半導体層614bの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

## 【0245】

上層に設けられる酸化物半導体層614bに、スタビライザーとして機能するGaの含有量の多い酸化物を用いることにより、酸化物半導体層614a、及び酸化物半導体層614bからの酸素の放出を抑制することができる。

10

## 【0246】

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、閾値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、酸化物半導体層614a、酸化物半導体層614bのキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

## 【0247】

なお、上記では酸化物半導体層614として、2つの酸化物半導体層が積層された構成を例示したが、3つ以上の酸化物半導体層を積層する構成としてもよい。

20

## 【0248】

図26(B)に、以下で例示するトランジスタ620の断面概略図を示す。トランジスタ620は、酸化物半導体層の構成が異なる点で、トランジスタ600及びトランジスタ610と相違している。

## 【0249】

トランジスタ620が有する酸化物半導体層624は、酸化物半導体層624a、酸化物半導体層624b、酸化物半導体層624cが順に積層されて構成される。

## 【0250】

酸化物半導体層624a及び酸化物半導体層624bは、絶縁層603上に積層して設けられる。また酸化物半導体層624cは、酸化物半導体層624bの上面、並びに一对の電極605a、605bの上面及び側面に接して設けられる。

30

## 【0251】

例えば、酸化物半導体層624bとして、上記<トランジスタの変形例>で例示した酸化物半導体層614aと同様の構成を用いることができる。また例えば、酸化物半導体層624a、624cとして、上記<トランジスタの変形例>で例示した酸化物半導体層614bと同様の構成を用いることができる。

## 【0252】

例えば、酸化物半導体層624bの下層に設けられる酸化物半導体層624a、及び上層に設けられる酸化物半導体層624cに、スタビライザーとして機能するGaの含有量の多い酸化物を用いることにより、酸化物半導体層624a、酸化物半導体層624b、及び酸化物半導体層624cからの酸素の放出を抑制することができる。

40

## 【0253】

また、例えば酸化物半導体層624bに主としてチャネルが形成される場合に、酸化物半導体層624bにInの含有量の多い酸化物を用い、酸化物半導体層624bと接して一对の電極605a、605bを設けることにより、トランジスタ620のオン電流を増大させることができる。

## 【0254】

<トランジスタの他の構成例>

以下では、本発明の一態様の酸化物半導体膜を適用可能な、トップゲート型のトランジスタの構成例について説明する。

50

## 【 0 2 5 5 】

なお、以下では、上記と同様の構成、または同様の機能を有する構成要素においては、同一の符号を付し、重複する説明は省略する。

## 【 0 2 5 6 】

図 2 7 ( A ) に、以下で例示するトップゲート型のトランジスタ 6 5 0 の断面概略図を示す。

## 【 0 2 5 7 】

トランジスタ 6 5 0 は、絶縁層 6 5 1 が設けられた基板 6 0 1 上に設けられる酸化物半導体層 6 0 4 と、酸化物半導体層 6 0 4 の上面に接する一対の電極 6 0 5 a、6 0 5 b と、酸化物半導体層 6 0 4、一対の電極 6 0 5 a、6 0 5 b 上に設けられる絶縁層 6 0 3 と、絶縁層 6 0 3 上に酸化物半導体層 6 0 4 と重なるように設けられるゲート電極 6 0 2 とを有する。また、絶縁層 6 0 3 及びゲート電極 6 0 2 を覆って絶縁層 6 5 2 が設けられている。

10

## 【 0 2 5 8 】

絶縁層 6 5 1 は、基板 6 0 1 から酸化物半導体層 6 0 4 への不純物の拡散を抑制する機能を有する。例えば、上記絶縁層 6 0 7 と同様の構成を用いることができる。なお、絶縁層 6 5 1 は、不要であれば設けなくてもよい。

## 【 0 2 5 9 】

絶縁層 6 5 2 には、上記絶縁層 6 0 7 と同様、酸素、水素、水等のブロッキング効果を有する絶縁膜を適用することができる。なお、絶縁層 6 0 7 は不要であれば設けなくてもよい。

20

## 【 0 2 6 0 】

以下では、トランジスタ 6 5 0 と一部が異なるトランジスタの構成例について説明する。

## 【 0 2 6 1 】

図 2 7 ( B ) に、以下で例示するトランジスタ 6 6 0 の断面概略図を示す。トランジスタ 6 6 0 は、酸化物半導体層の構成が異なる点で、トランジスタ 6 5 0 と相違している。

## 【 0 2 6 2 】

トランジスタ 6 6 0 が有する酸化物半導体層 6 6 4 は、酸化物半導体層 6 6 4 a、酸化物半導体層 6 6 4 b、及び酸化物半導体層 6 6 4 c が順に積層されて構成されている。

## 【 0 2 6 3 】

酸化物半導体層 6 6 4 a、酸化物半導体層 6 6 4 b、酸化物半導体層 6 6 4 c のうち、いずれか一、またはいずれか二、または全部に、先に説明した酸化物半導体膜を適用することができる。

30

## 【 0 2 6 4 】

例えば、酸化物半導体層 6 6 4 b として、上記<トランジスタの変形例>で例示した酸化物半導体層 6 1 4 a と同様の構成を用いることができる。また例えば、酸化物半導体層 6 6 4 a、6 6 4 c として、上記<トランジスタの変形例>で例示した酸化物半導体層 6 1 4 b と同様の構成を用いることができる。

## 【 0 2 6 5 】

また、酸化物半導体層 6 6 4 b の下層に設けられる酸化物半導体層 6 6 4 a、及び上層に設けられる酸化物半導体層 6 6 4 c に、スタビライザーとして機能する G a の含有量の多い酸化物を用いることにより、酸化物半導体層 6 6 4 a、酸化物半導体層 6 6 4 b、酸化物半導体層 6 6 4 c からの酸素の放出を抑制することができる。

40

## 【 0 2 6 6 】

以下では、トランジスタ 6 5 0 と一部が異なるトランジスタの構成例について説明する。

## 【 0 2 6 7 】

図 2 7 ( C ) に、以下で例示するトランジスタ 6 7 0 の断面概略図を示す。トランジスタ 6 7 0 は、酸化物半導体層 6 0 4 に接する一対の電極 6 0 5 a、6 0 5 b の形状、及びゲート電極 6 0 2 の形状等で、トランジスタ 6 5 0 と相違している。

## 【 0 2 6 8 】

50



トランジスタ 670 は、絶縁層 651 が設けられた基板 601 上に設けられる酸化物半導体層 604 と、酸化物半導体層 604 上の絶縁層 603 と、絶縁層 603 上のゲート電極 602 と、絶縁層 651 及び酸化物半導体層 604 上の絶縁層 654 と、絶縁層 654 上の絶縁層 656 と、絶縁層 654、656 に設けられる開口部を介して酸化物半導体層 604 に電氣的に接続される一対の電極 605a、605b と、絶縁層 656 及び一対の電極 605a、605b 上の絶縁層 652 と、を有する。

#### 【0269】

絶縁層 654 としては、例えば水素を含む絶縁膜で形成される。該水素を含む絶縁膜としては、窒化シリコン膜等が挙げられる。絶縁層 654 に含まれる水素は、酸化物半導体層 604 中の酸素欠損と結合することで、酸化物半導体層 604 中でキャリアとなる。したがって、図 27 (C) に示す構成においては、酸化物半導体層 604 と絶縁層 654 が接する領域を n 型領域 604b 及び n 型領域 604c として表している。なお、n 型領域 604b と n 型領域 604c に挟まれる領域は、チャネル領域 604a となる。

#### 【0270】

酸化物半導体層 604 中に n 型領域 604b、604c を設けることで、一対の電極 605a、605b との接触抵抗を低減させることができる。なお、n 型領域 604b、604c としては、ゲート電極 602 の形成時、及びゲート電極 602 を覆う絶縁層 654 を用いて自己整合的に形成することができる。図 27 (C) に示すトランジスタ 670 は、所謂セルフアライン型のトップゲート型のトランジスタである。セルフアライン型のトップゲート型のトランジスタ構造とすることで、ゲート電極 602 と、ソース電極及びドレイン電極として機能する一対の電極 605a、605b と、の重なりが生じないため、電極間に生じる寄生容量を低減することができる。

#### 【0271】

また、トランジスタ 670 が有する絶縁層 656 としては、例えば、酸化窒化シリコン膜等により形成することができる。

#### 【0272】

#### (実施の形態 7)

本実施の形態では、上記実施の形態で説明した OS トランジスタについて説明する。

#### 【0273】

#### < OS トランジスタの特性 >

OS トランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にすることでオフ電流を低くすることができる。ここで、実質的に真性とは、酸化物半導体中のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$  未満であること、 $1 \times 10^{15} / \text{cm}^3$  未満であること、あるいは  $1 \times 10^{13} / \text{cm}^3$  未満であることを指す。酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。

#### 【0274】

真性または実質的に真性にした酸化物半導体を用いたトランジスタは、キャリア密度が低いため、閾値電圧がマイナスとなる電気特性になることが少ない。また、当該酸化物半導体を用いたトランジスタは、酸化物半導体のキャリアトラップが少ないため、電気特性の変動が小さく、信頼性の高いトランジスタとなる。また、当該酸化物半導体を用いたトランジスタは、オフ電流を非常に低くすることが可能となる。

#### 【0275】

なおオフ電流を低くした OS トランジスタでは、室温 (25 程度) にてチャネル幅  $1 \mu\text{m}$  あたりのオフ電流が  $1 \times 10^{-18} \text{ A}$  以下、 $1 \times 10^{-21} \text{ A}$  以下、あるいは  $1 \times 10^{-24} \text{ A}$  以下、又は 85 にて  $1 \times 10^{-15} \text{ A}$  以下、 $1 \times 10^{-18} \text{ A}$  以下、あるいは  $1 \times 10^{-21} \text{ A}$  以下とすることができる。

#### 【0276】

#### < オフ電流 >

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、 $n$ チャネル型トランジスタでは、ゲートとソースの間の電圧  $V_{gs}$  が閾値電圧  $V_{th}$  よりも低い状態、 $p$ チャネル型トランジスタでは、ゲートとソースの間の電圧  $V_{gs}$  が閾値電圧  $V_{th}$  よりも高い状態をいう。例えば、 $n$ チャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧  $V_{gs}$  が閾値電圧  $V_{th}$  よりも低いときのドレイン電流を言う場合がある。

【0277】

トランジスタのオフ電流は、 $V_{gs}$  に依存する場合がある。従って、トランジスタのオフ電流が  $I$  以下である、とは、トランジスタのオフ電流が  $I$  以下となる  $V_{gs}$  の値が存在することを言う場合がある。トランジスタのオフ電流は、所定の  $V_{gs}$  におけるオフ状態、所定の範囲内の  $V_{gs}$  におけるオフ状態、または、十分に低減されたオフ電流が得られる  $V_{gs}$  におけるオフ状態、等におけるオフ電流を指す場合がある。

10

【0278】

一例として、閾値電圧  $V_{th}$  が  $0.5\text{ V}$  であり、 $V_{gs}$  が  $0.5\text{ V}$  におけるドレイン電流が  $1 \times 10^{-9}\text{ A}$  であり、 $V_{gs}$  が  $0.1\text{ V}$  におけるドレイン電流が  $1 \times 10^{-13}\text{ A}$  であり、 $V_{gs}$  が  $-0.5\text{ V}$  におけるドレイン電流が  $1 \times 10^{-19}\text{ A}$  であり、 $V_{gs}$  が  $-0.8\text{ V}$  におけるドレイン電流が  $1 \times 10^{-22}\text{ A}$  であるような  $n$ チャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 $V_{gs}$  が  $-0.5\text{ V}$  において、または、 $V_{gs}$  が  $-0.5\text{ V}$  乃至  $-0.8\text{ V}$  の範囲において、 $1 \times 10^{-19}\text{ A}$  以下であるから、当該トランジスタのオフ電流は  $1 \times 10^{-19}\text{ A}$  以下である、と言う場合がある。当該トランジスタのドレイン電流が  $1 \times 10^{-22}\text{ A}$  以下となる  $V_{gs}$  が存在するため、当該トランジスタのオフ電流は  $1 \times 10^{-22}\text{ A}$  以下である、と言う場合がある。

20

【0279】

本明細書では、チャネル幅  $W$  を有するトランジスタのオフ電流を、チャネル幅  $W$  あたりを流れる電流値で表す場合がある。また、所定のチャネル幅（例えば  $1\text{ }\mu\text{m}$ ）あたりを流れる電流値で表す場合がある。後者の場合、オフ電流の単位は、電流 / 長さの次元を持つ単位（例えば、 $\text{A} / \mu\text{m}$ ）で表される場合がある。

【0280】

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、 $60^\circ\text{C}$ 、 $85^\circ\text{C}$ 、 $95^\circ\text{C}$ 、または  $125^\circ\text{C}$  におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 $5^\circ\text{C}$  乃至  $35^\circ\text{C}$  のいずれか一の温度）におけるオフ電流、を表す場合がある。トランジスタのオフ電流が  $I$  以下である、とは、室温、 $60^\circ\text{C}$ 、 $85^\circ\text{C}$ 、 $95^\circ\text{C}$ 、 $125^\circ\text{C}$ 、当該トランジスタが含まれる半導体装置の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 $5^\circ\text{C}$  乃至  $35^\circ\text{C}$  のいずれか一の温度）、におけるトランジスタのオフ電流が  $I$  以下となる  $V_{gs}$  の値が存在することを指す場合がある。

30

【0281】

トランジスタのオフ電流は、ドレインとソースの間の電圧  $V_{ds}$  に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 $V_{ds}$  が  $0.1\text{ V}$ 、 $0.8\text{ V}$ 、 $1\text{ V}$ 、 $1.2\text{ V}$ 、 $1.8\text{ V}$ 、 $2.5\text{ V}$ 、 $3\text{ V}$ 、 $3.3\text{ V}$ 、 $10\text{ V}$ 、 $12\text{ V}$ 、 $16\text{ V}$ 、または  $20\text{ V}$  におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される  $V_{ds}$ 、または、当該トランジスタが含まれる半導体装置等において使用される  $V_{ds}$  におけるオフ電流、を表す場合がある。トランジスタのオフ電流が  $I$  以下である、とは、 $V_{ds}$  が  $0.1\text{ V}$ 、 $0.8\text{ V}$ 、 $1\text{ V}$ 、 $1.2\text{ V}$ 、 $1.8\text{ V}$ 、 $2.5\text{ V}$ 、 $3\text{ V}$ 、 $3.3\text{ V}$ 、 $10\text{ V}$ 、 $12\text{ V}$ 、 $16\text{ V}$ 、 $20\text{ V}$ 、当該トランジスタが含まれる半導体装置の信頼性が保証される  $V_{ds}$ 、または、当該トランジスタが含まれる半導体装置等において使用される  $V_{ds}$ 、におけるトランジスタのオフ電流が  $I$  以下となる  $V_{g}$

40

50

s の値が存在することを指す場合がある。

【0282】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

【0283】

本明細書では、オフ電流と同じ意味で、リーク電流と記載する場合がある。

【0284】

本明細書において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

【0285】

< 酸化物半導体の組成 >

なおO S トランジスタの半導体層に用いる酸化物半導体としては、少なくともインジウム (In) 又は亜鉛 (Zn) を含むことが好ましい。特に In 及び Zn を含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム (Ga)、スズ (Sn)、ジルコニウム (Zr)、ハフニウム (Hf) 及びアルミニウム (Al) の少なくともいずれかを有すればよい。

【0286】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種又は複数種を有してもよい。

【0287】

トランジスタの半導体層に用いる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物 (IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

【0288】

例えば、In:Ga:Zn = 1:1:1、In:Ga:Zn = 3:1:2、あるいは In:Ga:Zn = 2:1:3 の原子数比の In-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。特に、In:Ga:Zn = 4:2:3 あるいはその近傍の原子数比の In-Ga-Zn系酸化物を用いるとよい。In:Ga:Zn = 4:2:3 あるいはその近傍の原子数比の In-Ga-Zn系酸化物を得るためには、In:Ga:Zn = 4:2:4.1 のターゲットを用いて酸化物半導体を成膜する。

【0289】

< 酸化物半導体中の不純物 >

半導体層を構成する酸化物半導体膜に水素が含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理 (脱水素化処理) を行い酸化物半導体膜から、水素、又は

10

20

30

40

50

水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0290】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

【0291】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化又はi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。

10

【0292】

<酸化物半導体の構造>

酸化物半導体の構造について説明する。

【0293】

なお本明細書において、「平行」とは、二つの直線が $-10^{\circ}$ 以上 $10^{\circ}$ 以下の角度で配置されている状態をいう。したがって、 $-5^{\circ}$ 以上 $5^{\circ}$ 以下の場合も含まれる。また、「略平行」とは、二つの直線が $-30^{\circ}$ 以上 $30^{\circ}$ 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80^{\circ}$ 以上 $100^{\circ}$ 以下の角度で配置されている状態をいう。したがって、 $85^{\circ}$ 以上 $95^{\circ}$ 以下の場合も含まれる。また、「略垂直」とは、二つの直線が $60^{\circ}$ 以上 $120^{\circ}$ 以下の角度で配置されている状態をいう。

20

【0294】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0295】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに分けられる。または、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。

【0296】

なお、非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

30

【0297】

まずは、CAAC-OS膜について説明する。

【0298】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0299】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS膜の明視野像および回折パターンの複合解析像 (高分解能TEM像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

40

【0300】

試料面と略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0301】

50

一方、試料面と略垂直な方向から、C A A C - O S 膜の平面の高分解能 T E M 像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

#### 【 0 3 0 2 】

C A A C - O S 膜に対し、X 線回折 ( X R D : X - R a y   D i f f r a c t i o n ) 装置を用いて構造解析を行うと、例えば  $\text{InGaZnO}_4$  の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、回折角 (  $2\theta$  ) が  $31^\circ$  近傍にピークが現れる場合がある。このピークは、 $\text{InGaZnO}_4$  の結晶の ( 0 0 9 ) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

10

#### 【 0 3 0 3 】

なお、 $\text{InGaZnO}_4$  の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、 $2\theta$  が  $31^\circ$  近傍のピークの他に、 $2\theta$  が  $36^\circ$  近傍にもピークが現れる場合がある。 $2\theta$  が  $36^\circ$  近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 $2\theta$  が  $31^\circ$  近傍にピークを示し、 $2\theta$  が  $36^\circ$  近傍にピークを示さないことが好ましい。

#### 【 0 3 0 4 】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径 ( または分子半径 ) が大きいと、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

20

#### 【 0 3 0 5 】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

#### 【 0 3 0 6 】

不純物濃度が低く、欠陥準位密度が低い ( 酸素欠損の少ない ) ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、閾値電圧がマイナスとなる電気特性 ( ノーマリーオンともいう。 ) になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

30

40

#### 【 0 3 0 7 】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

#### 【 0 3 0 8 】

次に、微結晶酸化物半導体膜について説明する。

#### 【 0 3 0 9 】

微結晶酸化物半導体膜は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、 $1\text{ nm}$  以上  $100\text{ nm}$  以下、または  $1\text{ nm}$  以上  $10\text{ nm}$  以下の大き

50

さであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶(nc: nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

#### 【0310】

nc-OS膜は、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50 nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

#### 【0311】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

#### 【0312】

次に、非晶質酸化物半導体膜について説明する。

#### 【0313】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

#### 【0314】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

#### 【0315】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

#### 【0316】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(a-like OS: amorphous-like Oxide Semiconductor)膜と呼ぶ。

#### 【0317】

a-like OS膜は、高分解能TEM像において鬆(ボイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

## 【0318】

なお、*a-like* OS膜および*nc-OS*膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、 $\text{InGaZnO}_4$ の結晶は層状構造を有し、*In-O*層の間に、*Ga-Zn-O*層を2層有する。 $\text{InGaZnO}_4$ の結晶の単位格子は、*In-O*層を3層有し、また*Ga-Zn-O*層を6層有する、計9層が*c*軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(*d*値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞が $\text{InGaZnO}_4$ の結晶の*a-b*面に対応する。

10

## 【0319】

また、酸化物半導体膜は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶の密度に対し、*a-like* OS膜の密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、*nc-OS*膜の密度およびCAAC-OS膜の密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体膜は、成膜すること自体が困難である。

## 【0320】

上記について、具体例を用いて説明する。例えば、 $\text{In:Ga:Zn}=1:1:1$  [原子数比]を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶 $\text{InGaZnO}_4$ の密度は6.357g/cm<sup>3</sup>となる。よって、例えば、 $\text{In:Ga:Zn}=1:1:1$  [原子数比]を満たす酸化物半導体膜において、*a-like* OS膜の密度は5.0g/cm<sup>3</sup>以上5.9g/cm<sup>3</sup>未満となる。また、例えば、 $\text{In:Ga:Zn}=1:1:1$  [原子数比]を満たす酸化物半導体膜において、*nc-OS*膜の密度およびCAAC-OS膜の密度は5.9g/cm<sup>3</sup>以上6.3g/cm<sup>3</sup>未満となる。

20

## 【0321】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせることで算出することが好ましい。

30

## 【0322】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、*a-like* OS膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

## 【0323】

以上説明したようにOSトランジスタは、極めて優れたオフ電流特性を実現できる。

## 【0324】

(実施の形態8)

本実施の形態においては、上記実施の形態で説明した半導体装置を適用した表示モジュールについて説明する。半導体装置は、一例として、ゲートドライバ回路部、あるいはソースドライバ回路部、あるいは画素部の一部に適用可能である。表示モジュールの一例について、図28及び図29を用いて以下説明を行う。

40

## 【0325】

<表示モジュールの上面図>

図28は、表示モジュールの一例を示す上面図である。図28示す表示モジュール700は、第1の基板701上に設けられた画素部702と、第1の基板701に設けられたソースドライバ回路部704及びゲートドライバ回路部706と、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706を囲むように配置されるシール材712と、第1の基板701に対向するように設けられる第2の基板705と、を有する

50

。なお、第１の基板７０１と第２の基板７０５は、シール材７１２によって封止されている。すなわち、画素部７０２、ソースドライバ回路部７０４、及びゲートドライバ回路部７０６は、第１の基板７０１とシール材７１２と第２の基板７０５によって封止されている。なお、図２８には図示しないが、第１の基板７０１と第２の基板７０５の間には表示素子が設けられる。

#### 【０３２６】

また、表示モジュール７００は、第１の基板７０１上のシール材７１２によって囲まれている領域とは異なる領域に、画素部７０２、ソースドライバ回路部７０４、及びゲートドライバ回路部７０６とそれぞれ電氣的に接続されるＦＰＣ端子部７０８（ＦＰＣ：Flexible printed circuit）が設けられる。また、ＦＰＣ端子部７０８には、ＦＰＣ７１６が接続され、ＦＰＣ７１６によって画素部７０２、ソースドライバ回路部７０４、及びゲートドライバ回路部７０６に各種信号等が供給される。また、画素部７０２、ソースドライバ回路部７０４、ゲートドライバ回路部７０６、及びＦＰＣ端子部７０８には、信号線７１０が各々接続されている。ＦＰＣ７１６により供給される各種信号等は、信号線７１０を介して、画素部７０２、ソースドライバ回路部７０４、ゲートドライバ回路部７０６、及びＦＰＣ端子部７０８に与えられる。

#### 【０３２７】

また、表示モジュール７００にゲートドライバ回路部７０６を複数設けてもよい。また、表示モジュール７００としては、ソースドライバ回路部７０４、及びゲートドライバ回路部７０６を画素部７０２と同じ第１の基板７０１に形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ回路部７０６のみを第１の基板７０１に形成しても良い、またはソースドライバ回路部７０４のみを第１の基板７０１に形成しても良い。この場合、ソースドライバ回路またはゲートドライバ回路等が形成された基板（例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板）を、第１の基板７０１に実装する構成としても良い。なお、別途形成した駆動回路基板の接続方法は、特に限定されるものではなく、ＣＯＧ（Chip On Glass）方法、ワイヤボンディング方法などを用いることができる。

#### 【０３２８】

また、表示モジュール７００が有する画素部７０２、ソースドライバ回路部７０４及びゲートドライバ回路部７０６は、複数のトランジスタを有している。該複数のトランジスタとしては、先の実施の形態で説明したトランジスタを適用することができる。

#### 【０３２９】

また、表示モジュール７００は、様々な素子を有することが出来る。該素子は、例えば、液晶素子、ＥＬ（エレクトロルミネッセンス）素子（有機物及び無機物を含むＥＬ素子、有機ＥＬ素子、無機ＥＬ素子）、ＬＥＤ（白色ＬＥＤ、赤色ＬＥＤ、緑色ＬＥＤ、青色ＬＥＤなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、電子インク、電気泳動素子、グレーティングライトバルブ（ＧＬＶ）、プラズマディスプレイパネル（ＰＤＰ）、ＭＥＭＳ（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（ＤＭＤ）、ＤＭＳ（デジタル・マイクロ・シャッター）、ＩＭＯＤ（インターフェアレンス・モジュレーション）素子、シャッター方式のＭＥＭＳ表示素子、光干渉方式のＭＥＭＳ表示素子、エレクトロウェット素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。ＥＬ素子を用いた表示装置の一例としては、ＥＬディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（ＦＥＤ）又はＳＥＤ方式平面型ディスプレイ（ＳＥＤ：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子イ

10

20

30

40

50



ンク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、S R A Mなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。なお、本実施の形態においては、表示素子として液晶素子を用いる構成について、以下説明を行う。

#### 【0330】

なお、表示モジュール700における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、R G B ( Rは赤、Gは緑、Bは青を表す ) の三色に限定されない。例えば、Rの画素とGの画素とBの画素とW ( 白 ) の画素の四画素から構成されてもよい。または、ペンタイル配列のように、R G Bのうちの2色分で一つの色要素を構成し、色要素によって、異なる2色を選択して構成してもよい。またはR G Bに、イエロー、シアン、マゼンタ等を一色以上追加してもよい。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

#### 【0331】

また、バックライト ( 有機E L素子、無機E L素子、L E D、蛍光灯など ) に白色光 ( W ) を用いて表示装置をフルカラー表示させるために、着色層 ( カラーフィルタともいう。 ) を用いてもよい。着色層は、例えば、レッド ( R )、グリーン ( G )、ブルー ( B )、イエロー ( Y ) などを適宜組み合わせる用いることができる。着色層を用いることで、着色層を用いない場合と比べて色の再現性を高くすることができる。このとき、着色層を有する領域と、着色層を有さない領域と、を配置することによって、着色層を有さない領域における白色光を直接表示に利用しても構わない。一部に着色層を有さない領域を配置することで、明るい表示の際に、着色層による輝度の低下を少なくでき、消費電力を2割から3割程度低減できる場合がある。ただし、有機E L素子や無機E L素子などの自発光素子を用いてフルカラー表示する場合、R、G、B、Y、ホワイト ( W ) を、それぞれの発光色を有する素子から発光させても構わない。自発光素子を用いることで、着色層を用いた場合よりも、さらに消費電力を低減できる場合がある。なお、本実施の形態においては、バックライト等を設けない構成、所謂反射型の液晶表示モジュールについて、以下説明を行う。

#### 【0332】

< 表示モジュールの断面図 >

図28に示す一点鎖線Q - Rにおける断面図を図29に示す。図29に示す表示モジュールの詳細について、以下説明を行う。

#### 【0333】

図29に示す表示モジュール700は、引き回し配線部711と、画素部702と、ソースドライバ回路部704と、F P C端子部708と、を有する。また、引き回し配線部711は、信号線710を有する。また、画素部702は、トランジスタ750及び容量素子790を有する。また、ソースドライバ回路部704は、トランジスタ752を有する。

#### 【0334】

トランジスタ750及びトランジスタ752は、先に示すトランジスタを用いることができる。

#### 【0335】

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ状態における電流値 ( オフ電流値 ) を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくす

10

20

30

40

50

ることができるため、消費電力を抑制する効果を奏する。

【0336】

また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

【0337】

容量素子790は、一对の電極間に誘電体を有する構造である。より詳しくは、容量素子790の一方の電極としては、トランジスタ750のゲート電極として機能する導電膜と同一工程で形成された導電膜を用い、容量素子790の他方の電極としては、トランジスタ750のソース電極及びドレイン電極として機能する導電膜を用いる。また、一对の電極間に挟持される誘電体としては、トランジスタ750のゲート絶縁膜として機能する絶縁膜を用いる。

【0338】

また、図29において、トランジスタ750、トランジスタ752、及び容量素子790上に、絶縁膜764、768及び平坦化絶縁膜770が設けられている。

【0339】

絶縁膜764としては、例えば、PECVD装置を用いて、酸化シリコン膜、酸化窒化シリコン膜等を形成すればよい。また、絶縁膜768としては、例えば、PECVD装置を用いて、窒化シリコン膜等を形成すればよい。また、平坦化絶縁膜770としては、ポリイミド樹脂、アクリル樹脂、ポリイミドアミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂、エポキシ樹脂等の耐熱性を有する有機材料を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜770を形成してもよい。また、平坦化絶縁膜770を設けない構成としてもよい。

【0340】

また、信号線710は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程で形成される。なお、信号線710は、トランジスタ750、752のソース電極及びドレイン電極と異なる工程で形成された導電膜、例えばゲート電極として機能する導電膜と同じ工程で形成される導電膜としてもよい。信号線710として、例えば、銅元素を含む材料を用いた場合、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となる。

【0341】

また、FPC端子部708は、接続電極760、異方性導電膜780、及びFPC716を有する。なお、接続電極760は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程で形成される。また、接続電極760は、FPC716が有する端子と異方性導電膜780を介して、電気的に接続される。

【0342】

また、第1の基板701及び第2の基板705としては、例えばガラス基板を用いることができる。また、第1の基板701及び第2の基板705として、可撓性を有する基板を用いてもよい。該可撓性を有する基板としては、例えばプラスチック基板等が挙げられる。

【0343】

また、第1の基板701と第2の基板705の間には、構造体778が設けられる。構造体778は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第1の基板701と第2の基板705の間の距離（セルギャップ）を制御するために設けられる。なお、構造体778として、球状のスペーサを用いても良い。また、本実施の形態においては、構造体778を第1の基板701側に設ける構成について例示したが、

10

20

30

40

50

これに限定されない。例えば、第２の基板７０５側に構造体７７８を設ける構成、または第１の基板７０１及び第２の基板７０５双方に構造体７７８を設ける構成としてもよい。

【０３４４】

また、第２の基板７０５側には、ブラックマトリクスとして機能する遮光膜７３８と、カラーフィルタとして機能する着色膜７３６と、遮光膜７３８及び着色膜７３６に接する絶縁膜７３４が設けられる。

【０３４５】

図２９に一例として示す表示モジュール７００の断面図では、液晶素子７７５を有する。液晶素子７７５は、導電膜７７２、導電膜７７４、及び液晶層７７６を有する。液晶層７７６としては、先に説明した誘電率の異方性が２以上３．８以下である液晶材料を用いる。導電膜７７４は、第２の基板７０５側に設けられ、対向電極としての機能を有する。図２９に示す表示モジュール７００は、導電膜７７２と導電膜７７４に印加される電圧によって、液晶層７７６の配向状態が変わることによって光の透過、非透過が制御され画像を表示することができる。

10

【０３４６】

また、導電膜７７２は、トランジスタ７５０が有するソース電極及びドレイン電極として機能する導電膜に接続される。導電膜７７２は、平坦化絶縁膜７７０上に形成され画素電極、すなわち表示素子の一方の電極として機能する。また、導電膜７７２は、反射電極としての機能を有する。図２９に示す表示モジュール７００は、外光を利用し導電膜７７２で光を反射して着色膜７３６を介して表示する、所謂反射型のカラー液晶表示装置である。

20

【０３４７】

導電膜７７２としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム（Ｉｎ）、亜鉛（Ｚｎ）、錫（Ｓｎ）の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。本実施の形態においては、導電膜７７２として、可視光において、反射性のある導電膜を用いる。

【０３４８】

また、導電膜７７２として、可視光において反射性のある導電膜を用いる場合、該導電膜を積層構造としてもよい。例えば、下層に膜厚１００ｎｍのアルミニウム膜を形成し、上層に厚さ３０ｎｍの銀合金膜（例えば、銀、パラジウム、及び銅を含む合金膜）を形成する。上述の構造とすることで、以下の優れた効果を奏する。

30

【０３４９】

（１）下地膜と導電膜７７２との密着性を向上させることができる。（２）薬液によってアルミニウム膜と、銀合金膜とを一括してエッチングすることが可能である。（３）導電膜７７２の断面形状を良好な形状（例えば、テーパ形状）とすることができる。（３）の理由としては、アルミニウム膜は、銀合金膜よりも薬液によるエッチング速度が遅い、または上層の銀合金膜のエッチング後、下層のアルミニウム膜が露出した場合に、銀合金膜よりも卑な金属、別言するとイオン化傾向の高い金属であるアルミニウムから電子を引き抜くため、銀合金膜のエッチングが抑制され、下層のアルミニウム膜のエッチングの進行が速くなるためである。

40

【０３５０】

また、図２９に示す表示モジュール７００においては、画素部７０２の平坦化絶縁膜７７０の一部に凹凸が設けられている。該凹凸は、例えば、平坦化絶縁膜７７０を有機樹脂膜等で形成し、該有機樹脂膜の表面に凹凸を設けることで形成することができる。また、反射電極として機能する導電膜７７２は、上記凹凸に沿って形成される。したがって、外光が導電膜７７２に入射した場合において、導電膜７７２の表面で光を乱反射することが可能となり、視認性を向上させることができる。図２９に示すように、反射型のカラー液晶表示装置とすることで、バックライトを用いずに表示することが可能となるため、消費電

50

力を低減することができる。

【0351】

なお、図29に示す表示モジュール700は、反射型のカラー液晶表示モジュールについて例示したが、これに限定されない。例えば、導電膜772を可視光において、透光性のある導電膜を用いることで透過型のカラー液晶表示モジュールとしてもよい。透過型のカラー液晶表示モジュールの場合、平坦化絶縁膜770に設けられる凹凸については、設けない構成としてもよい。

【0352】

なお、図29において図示しないが、導電膜772、774の液晶層776と接する側に、それぞれ配向膜を設ける構成としてもよい。また、図29において図示しないが、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設けてもよい。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、透過型の表示モジュール、または半透過型の表示モジュールの場合、光源としてバックライト、サイドライトなどを設けてもよい。

【0353】

液晶素子としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0354】

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要であり、且つ視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。

【0355】

また、表示素子として液晶素子を用いる場合、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

【0356】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向(VA)モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASVモードなどを用いることができる。

【0357】

(実施の形態9)

本実施の形態においては、先の実施の形態で説明した表示モジュールに、タッチセンサ（接触検出装置）を設けることで、入出力装置（タッチパネルともいう）として機能させることができる構成について、図30及び図31を用いて説明する。以下において、上記実施の形態と重複する部分については、説明を省略する場合がある。

【0358】

図 30 は、入出力装置の構成を説明する投影図である。

【0359】

図 30 (A) は、入出力装置 800 の投影図であり、図 30 (B) は入出力装置 800 が備える検知ユニット 820U の構成を説明する投影図である。

【0360】

図 31 は、図 30 (A) に示す入出力装置 800 の Z1 - Z2 における断面図である。

【0361】

本実施の形態で説明する入出力装置 800 は、可視光を透過する窓部 834 を具備し且つマトリクス状に配設される複数の検知ユニット 820U、行方向 (図中に矢印 Rx で示す) に配置される複数の検知ユニット 820U と電氣的に接続する走査線 G1、列方向 (図中に矢印 Ry で示す) に配置される複数の検知ユニット 820U と電氣的に接続する信号線 DL ならびに、検知ユニット 820U、走査線 G1 および信号線 DL を支持する第 1 の基材 836 を備える入力装置 850 と、窓部 834 に重なり且つマトリクス状に配設される複数の画素 802 および画素 802 を支持する第 2 の基材 810 を備える表示モジュール 801 と、を有する (図 30 (A) 乃至図 30 (C) 参照)。

10

【0362】

検知ユニット 820U は、窓部 834 に重なる検知素子 Ca および検知素子 Ca と電氣的に接続される検知回路 839 を備える (図 30 (B) 参照)。

【0363】

検知素子 Ca は、絶縁層 823、絶縁層 823 (図 30 (B) には図示せず) を挟持する第 1 の電極 821 および第 2 の電極 822 を備える (図 30 (B) 参照)。

20

【0364】

検知回路 839 は、選択信号を供給され且つ検知素子 Ca の容量の変化に基づいて検知信号 DATA を供給する。

【0365】

走査線 G1 は、選択信号を供給することができ、信号線 DL は、検知信号 DATA を供給することができ、検知回路 839 は、複数の窓部 834 の間隙に重なるように配置される。

【0366】

また、本実施の形態で説明する入出力装置 800 は、検知ユニット 820U および検知ユニット 820U の窓部 834 と重なる画素 802 の間に、着色層を備える。

30

【0367】

本実施の形態で説明する入出力装置 800 は、可視光を透過する窓部 834 を具備する検知ユニット 820U を複数備える入力装置 850 と、窓部 834 に重なる画素 802 を複数備える表示モジュール 801 と、を有し、窓部 834 と画素 802 の間に着色層を含んで構成される。

【0368】

これにより、入出力装置は容量の変化に基づく検知信号およびそれを供給する検知ユニットの位置情報を供給すること、ならびに検知ユニットの位置情報と関連付けられた画像情報を表示することができる。その結果、利便性または信頼性に優れた新規な入出力装置を提供することができる。

40

【0369】

また、入出力装置 800 は、入力装置 850 が供給する信号を供給されるフレキシブル基板 FPC1 または / および画像情報を含む信号を表示モジュール 801 に供給するフレキシブル基板 FPC2 を備えていてもよい。

【0370】

また、傷の発生を防いで入出力装置 800 を保護する、保護基材 837、保護層 837p または / および入出力装置 800 が反射する外光の強度を弱める反射防止層 867p を備えていてもよい。

【0371】

50

また、入出力装置 800 は、表示モジュール 801 の走査線に選択信号を供給する走査線駆動回路 803g、信号を供給する配線 811 およびフレキシブル基板 FPC2 と電氣的に接続される端子 819 を有する。

【0372】

以下に、入出力装置 800 を構成する個々の要素について説明する。なお、これらの構成は明確に分離できず、一つの構成が他の構成を兼ねる場合や他の構成の一部を含む場合がある。例えば、複数の窓部 834 に重なる位置に着色層を備える入力装置 850 は、入力装置 850 であるとともにカラーフィルタでもある。

【0373】

入出力装置 800 は、入力装置 850 と、表示モジュール 801 と、を備える（図 30（A）参照）。

10

【0374】

入力装置 850 は、複数の検知ユニット 820U および検知ユニット 820U を支持する第 1 の基材 836 を備える。例えば、40 行 15 列のマトリクス状に複数の検知ユニット 820U を第 1 の基材 836 に配設する。

【0375】

窓部 834 は可視光を透過する。

【0376】

窓部 834 に重なる位置に所定の色の光を透過する着色層を備える。例えば、青色の光を透過する着色層 CFB、緑色の光を透過する着色層 CFG または赤色の光を透過する着色層 CFR を備える（図 30（B）参照）。

20

【0377】

なお、青色、緑色または赤色に加えて、白色の光を透過する着色層または黄色の光を透過する着色層などさまざまな色の光を透過する着色層を備えることができる。

【0378】

着色層に金属材料、顔料または染料等を用いることができる。

【0379】

窓部 834 を囲むように遮光性の層 BM を備える。遮光性の層 BM は窓部 834 より光を透過しにくい。

【0380】

30

カーボンブラック、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等を遮光性の層 BM に用いることができる。

【0381】

遮光性の層 BM と重なる位置に走査線 G1、信号線 DL、配線 VPI、配線 RES および配線 VRES ならびに検知回路 839 を備える。

【0382】

なお、着色層および遮光性の層 BM を覆う透光性のオーバーコート層を備えることができる。

【0383】

検知素子 Ca は、第 1 の電極 821、第 2 の電極 822 および第 1 の電極 821 と第 2 の電極 822 の間に絶縁層 823 を有する（図 31 参照）。

40

【0384】

第 1 の電極 821 は他の領域から分離されるように、例えば島状に形成される。特に、入出力装置 800 の使用者に第 1 の電極 821 が識別されないように、第 1 の電極 821 と同一の工程で作製することができる層を第 1 の電極 821 に近接して配置する構成が好ましい。より好ましくは、第 1 の電極 821 および第 1 の電極 821 に近接して配置する層の間に配置する窓部 834 の数をできるだけ少なくするとよい。特に、当該間に窓部 834 を配置しない構成が好ましい。

【0385】

例えば、大気中に置かれた検知素子 Ca の第 1 の電極 821 または第 2 の電極 822 に、

50

大気と異なる誘電率を有するものが近づくと、検知素子C aの容量が変化する。具体的には、指などのものが検知素子C aに近づくと、検知素子C aの容量が変化する。これにより、近接検知器に用いることができる。

【0386】

第1の電極821および第2の電極822は、導電性の材料を含む。

【0387】

例えば、無機導電性材料、有機導電性材料、金属または導電性セラミックスなどを第1の電極821および第2の電極822に用いることができる。

【0388】

具体的には、第1の電極821及び第2の電極822として、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステン、ニッケル、銀またはマンガンから選ばれた金属元素、上述した金属元素を成分とする合金または上述した金属元素を組み合わせた合金などを用いることができる。

10

【0389】

または、第1の電極821及び第2の電極822として、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物を用いることができる。

【0390】

または、第1の電極821及び第2の電極822として、グラフェンまたはグラファイトを用いることができる。グラフェンを含む膜は、例えば膜状に形成された酸化グラフェンを含む膜を還元して形成することができる。還元する方法としては、熱を加える方法や還元剤を用いる方法等を挙げることができる。

20

【0391】

または、第1の電極821及び第2の電極822として、導電性高分子を用いることができる。

【0392】

検知回路839は例えばトランジスタM1乃至トランジスタM3を含む。また、検知回路839は電源電位および信号を供給する配線を含む。例えば、信号線DL、配線VPI、配線CS、走査線G1、配線RES、および配線VRESなどを含む。

【0393】

なお、検知回路839を窓部834と重ならない領域に配置してもよい。

30

【0394】

導電性を有する材料を配線（例えば、信号線DL、配線VPI、配線CS、走査線G1、配線RES、および配線VRESなど）に適用できる。例えば、無機導電性材料、有機導電性材料、金属または導電性セラミックスなどを配線に用いることができる。または、第1の電極821および第2の電極822に用いることができる材料と同一の材料を配線として適用してもよい。

【0395】

また、アルミニウム、金、白金、銀、ニッケル、チタン、タングステン、クロム、モリブデン、鉄、コバルト、銅、又はパラジウム等の金属材料や、該金属材料を含む合金材料を走査線G1、信号線DL、配線VPI、配線RESおよび配線VRESに用いることができる。

40

【0396】

また、第1の基材836に検知回路839を形成してもよい。または、他の基材に形成された検知回路839を第1の基材836に転置してもよい。

【0397】

第1の基材836及び第2の基材810としては、ガラス基板、または可撓性の材料（例えば、樹脂、樹脂フィルムまたはプラスチックフィルム等）を用いることができる。

【0398】

より具体的には、第1の基材836及び第2の基材810としては、無アルカリガラス、

50

ソーダ石灰ガラス、カリガラス若しくはクリスタルガラス等を用いることができる。または、第1の基材836としては、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート若しくはアクリル樹脂等の樹脂フィルムまたは樹脂板を用いることができる。

【0399】

保護基材837または/および保護層837pとしては、例えば、ガラス、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート若しくはアクリル樹脂等の樹脂フィルム、樹脂板または積層体等を用いることができる。

【0400】

保護層837pとしては、例えば、ハードコート層またはセラミックコート層を用いることができる。具体的には、UV硬化樹脂または酸化アルミニウムを含む層を第2の電極822に重なる位置に形成してもよい。

【0401】

表示モジュール801は、マトリクス状に配置された複数の画素802を備える(図30(C)参照)。

【0402】

例えば、画素802は副画素802B、副画素802Gおよび副画素802Rを含み、それぞれの副画素は表示素子と表示素子を駆動する画素回路を備える。

【0403】

なお、画素802の副画素802Bは着色層CFBと重なる位置に配置され、副画素802Gは着色層CFGと重なる位置に配置され、副画素802Rは着色層CFRと重なる位置に配置される。

【0404】

着色層CFRは液晶素子880と重なる位置にある。なお、液晶素子880は、一方の電極として反射電極872を有する(図31参照)。これにより、反射電極872で反射された外光の一部は着色層CFRを透過して、図中に示す矢印の方向に射出される。反射電極872としては、先の実施の形態に示す反射電極として機能する導電膜772と同様の構成とすることができる。また、液晶素子880は、誘電率の異方性が2以上3.8以下である液晶層を有する。

【0405】

また、着色層(例えば着色層CFR)を囲むように遮光性の層BMがある。

【0406】

走査線駆動回路803gは、トランジスタ803tおよび容量803cを含む(図31参照)。

【0407】

検知ユニット820Uが供給する検知信号DATAを変換してフレキシブル基板FPC1に供給することができるさまざまな回路を、変換器CONVに用いることができる(図30(A)および図31参照)。

【0408】

例えば、トランジスタM4を変換器CONVに用いることができる。

【0409】

表示モジュール801は、反射防止層867pを画素に重なる位置に備える。反射防止層867pとして、例えば円偏光板を用いることができる。

【0410】

図30(A)に示すように、表示モジュール801は、信号を供給することができる配線811を備え、端子819が配線811に設けられている。なお、画像信号および同期信号等の信号を供給することができるフレキシブル基板FPC2が端子819に電氣的に接続されている。

【0411】

なお、フレキシブル基板FPC2にはプリント配線基板(PWB)が取り付けられていて

10

20

30

40

50



も良い。

【0412】

表示モジュール801は、走査線、信号線および電源線等の配線を有する。様々な導電膜を配線に用いることができる。

【0413】

表示モジュール801が有する配線としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステン、ニッケル、イットリウム、ジルコニウム、銀またはマンガンから選ばれた金属元素、上述した金属元素を成分とする合金または上述した金属元素を組み合わせた合金等を用いることができる。とくに、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンの中から選択される一以上の元素を含むと好ましい。特に、銅とマンガンの合金がウエットエッチング法を用いた微細加工に好適である。

10

【0414】

表示モジュール801が有する配線の具体的な構成としては、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等を用いることができる。または、アルミニウム膜上にチタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数組み合わせ合わせた合金膜、もしくは窒化膜を積層する積層構造を用いることができる。または、酸化インジウム、酸化錫または酸化亜鉛を含む透光性を有する導電材料を用いてもよい。

20

【0415】

(実施の形態10)

本実施の形態では、上記実施の形態で説明した液晶表示装置を用いて作製される電子機器の具体例について、図32を用いて説明する。

【0416】

本発明を適用可能な電子機器の一例として、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音楽再生装置、遊技機(パチンコ機、スロットマシン等)、ゲーム筐体が挙げられる。これらの電子機器の具体例を図32に示す。

30

【0417】

図32(A)は、表示部を有する携帯情報端末1400を示している。携帯情報端末1400は、筐体1401に表示部1402及び操作ボタン1403が組み込まれている。本発明の一態様の液晶表示装置は、表示部1402に用いることができる。

【0418】

図32(B)は、携帯電話機1410を示している。携帯電話機1410は、筐体1411に表示部1412、操作ボタン1413、スピーカー1414、及びマイク1415が組み込まれている。本発明の一態様の液晶表示装置は、表示部1412に用いることができる。

40

【0419】

図32(C)は、音楽再生装置1420を示している。音楽再生装置1420は、筐体1421に表示部1422、操作ボタン1423、アンテナ1424が組み込まれている。またアンテナ1424からは、無線信号により情報を送受信することができる。本発明の一態様の液晶表示装置は、表示部1422に用いることができる。

【0420】

表示部1402、表示部1412及び表示部1422は、タッチ入力機能を有しており、表示部1402、表示部1412及び表示部1422に表示された表示ボタン(図示せず)を指などで触れることで、画面操作や、情報を入力することができる。

50

## 【0421】

先の実施の形態に示した液晶表示装置を表示部1402、表示部1412及び表示部1422に用いることで、表示品位の向上が図られた表示部1402、表示部1412及び表示部1422とすることができる。

## 【0422】

(本明細書等の記載に関する付記)

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

<実施の形態で述べた本発明の一態様に関する付記>

## 【0423】

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

10

## 【0424】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)、及び/又は、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

## 【0425】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

20

## 【0426】

なお、ある一つの実施の形態において述べる図(一部でもよい)は、その図の別の部分、その実施の形態において述べる別の図(一部でもよい)、及び/又は、一つ若しくは複数の別の実施の形態において述べる図(一部でもよい)に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

## 【0427】

また、各実施の形態において本発明の一態様を説明したが、本発明の一態様はこれらに限定されない。例えば、本発明の一態様として、実施の形態1、2では、第1の動作と第2の動作という2つの動作を切り替えて走査方向の切り替えを行う構成について説明したが、本発明の一態様はこれに限定されない。状況に応じて、例えば一方方向に走査する構成としてもよい。また例えば、本発明の一態様として実施の形態4では、回路100をシフトレジスタに適用する場合の例を示したが、本発明の一態様は、これに限定されない。状況に応じて、例えば回路100は、様々な回路に適用して本発明の一態様としてもよい。

30

## 【0428】

<図面を説明する記載に関する付記>

## 【0429】

本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

40

## 【0430】

また、「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

## 【0431】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説

50

明した構成要素に限定されない。

【0432】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期するために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0433】

また、図面において、上面図（平面図、レイアウト図ともいう）や斜視図などにおいて、図面の明確性を期するために、一部の構成要素の記載を省略している場合がある。

10

【0434】

< 言い換え可能な記載に関する付記 >

【0435】

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

20

【0436】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0437】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

30

【0438】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0439】

< 語句の定義に関する付記 >

以下では、上記実施の形態中で言及したかった語句の定義について説明する。

< < スイッチについて > >

40

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0440】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0441】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオ

50

ード、MIS (Metal Insulator Semiconductor) ダイオード、ダイオード接続のトランジスタなど)、又はこれらを組み合わせた論理回路などがある。

【0442】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性(導電型)は特に限定されない。

【0443】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス(DMD)のように、MEMS(マイクロ・エレクトロ・メカニカル・システム)技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0444】

<<チャンネル長について>>

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

【0445】

なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0446】

<<チャンネル幅について>>

本明細書等において、チャンネル幅とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

【0447】

なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0448】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅(以下、実効的なチャンネル幅と呼ぶ。)と、トランジスタの上面図において示されるチャンネル幅(以下、見かけ上のチャンネル幅と呼ぶ。)と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

【0449】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

10

20

30

40

50

## 【0450】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャネル幅を、「囲い込みチャネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

10

## 【0451】

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

## 【0452】

<<画素について>>

本明細書等において、画素とは、例えば、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。

20

## 【0453】

なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）や、RGBに、イエロー、シアン、マゼンタを追加したものなどがある。

## 【0454】

<<接続について>>

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電氣信号の授受を可能とするものをいう。

30

## 【0455】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

## 【0456】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様

40

50

な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第１の端子など）と、ドレイン（又は第２の端子など）とを、区別して、技術的範囲を決定することができる。

#### 【 0 4 5 7 】

または、別の表現方法として、例えば、「トランジスタのソース（又は第１の端子など）は、少なくとも第１の接続経路を介して、Xと電氣的に接続され、前記第１の接続経路は、第２の接続経路を有しておらず、前記第２の接続経路は、トランジスタを介した、トランジスタのソース（又は第１の端子など）とトランジスタのドレイン（又は第２の端子など）との間の経路であり、前記第１の接続経路は、Z１を介した経路であり、トランジスタのドレイン（又は第２の端子など）は、少なくとも第３の接続経路を介して、Yと電氣的に接続され、前記第３の接続経路は、前記第２の接続経路を有しておらず、前記第３の接続経路は、Z２を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第１の端子など）は、少なくとも第１の接続経路によって、Z１を介して、Xと電氣的に接続され、前記第１の接続経路は、第２の接続経路を有しておらず、前記第２の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第２の端子など）は、少なくとも第３の接続経路によって、Z２を介して、Yと電氣的に接続され、前記第３の接続経路は、前記第２の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第１の端子など）は、少なくとも第１の電氣的パスによって、Z１を介して、Xと電氣的に接続され、前記第１の電氣的パスは、第２の電氣的パスを有しておらず、前記第２の電氣的パスは、トランジスタのソース（又は第１の端子など）からトランジスタのドレイン（又は第２の端子など）への電氣的パスであり、トランジスタのドレイン（又は第２の端子など）は、少なくとも第３の電氣的パスによって、Z２を介して、Yと電氣的に接続され、前記第３の電氣的パスは、第４の電氣的パスを有しておらず、前記第４の電氣的パスは、トランジスタのドレイン（又は第２の端子など）からトランジスタのソース（又は第１の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第１の端子など）と、ドレイン（又は第２の端子など）とを、区別して、技術的範囲を決定することができる。

#### 【 0 4 5 8 】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z１、Z２は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

#### 【 符号の説明 】

#### 【 0 4 5 9 】

C K 1      信号  
C K 2      信号  
C K 3      信号  
O U T [ i ]      出力信号  
O U T [ i + 1 ]      出力信号  
O U T [ i + 2 ]      出力信号  
G 1      走査線  
M 1      トランジスタ  
M 3      トランジスタ  
M 4      トランジスタ  
N D 1      ノード  
N D 2      ノード  
N D 3      ノード  
t 1      期間  
t 2      期間

t 3	期間	
t 4	期間	
t 5	期間	
t 6	期間	
T 1	期間	
T 2	期間	
T 3	期間	
T 4	期間	
T 5	期間	
T 6	期間	10
S L	配線	
O U T	配線	
S E L 1	信号	
S E L 2	信号	
R E S	配線	
V P I	配線	
V R E S	配線	
D L	信号線	
C S	配線	
D A T A	検知信号	20
F P C 1	フレキシブル基板	
F P C 2	フレキシブル基板	
1 0 0	回路	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 2 A	スイッチ	
1 0 3	トランジスタ	
1 0 3 A	スイッチ	
1 0 4	トランジスタ	
1 0 5	トランジスタ	30
1 0 5 A	スイッチ	
1 0 6	トランジスタ	
1 0 7	トランジスタ	
1 0 8	トランジスタ	
1 0 9	トランジスタ	
1 1 0	容量素子	
1 1 1	トランジスタ	
1 1 2	トランジスタ	
1 1 3	トランジスタ	
1 1 4	容量素子	40
1 3 0	画素部	
1 3 1	画素	
1 3 2	トランジスタ	
1 3 3	液晶素子	
1 3 4	容量素子	
1 3 5	トランジスタ	
1 3 6	トランジスタ	
1 3 7	E L 素子	
1 5 1	配線	
1 5 2	配線	50

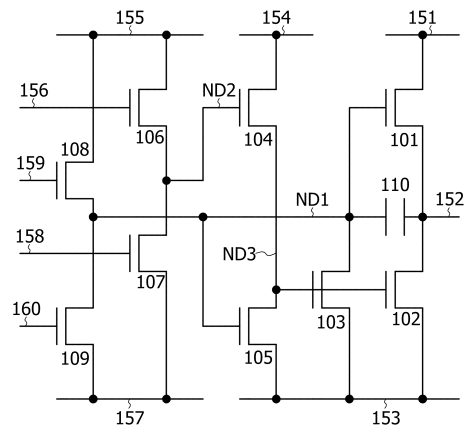
1 5 3	配線	
1 5 4	配線	
1 5 4 A	配線	
1 5 5	配線	
1 5 6	配線	
1 5 7	配線	
1 5 8	配線	
1 5 9	配線	
1 6 0	配線	
1 6 1	配線	10
1 6 2	配線	
1 6 3	配線	
2 0 0	シフトレジスタ	
2 0 1	回路	
2 1 1	配線	
2 1 2	配線	
2 1 3	配線	
2 1 4	配線	
2 1 5	配線	
2 1 6	配線	20
2 1 7	配線	
2 1 8	配線	
3 0 0	回路	
3 0 1	回路	
4 0 1	第 1 の配線	
4 0 2	第 2 の配線	
4 0 3	半導体層	
4 0 4	開口部	
6 0 0	トランジスタ	
6 0 1	基板	30
6 0 2	ゲート電極	
6 0 3	絶縁層	
6 0 4	酸化物半導体層	
6 0 4 a	チャネル領域	
6 0 4 b	n 型領域	
6 0 4 c	n 型領域	
6 0 5 a	電極	
6 0 5 b	電極	
6 0 6	絶縁層	
6 0 7	絶縁層	40
6 1 0	トランジスタ	
6 1 4	酸化物半導体層	
6 1 4 a	酸化物半導体層	
6 1 4 b	酸化物半導体層	
6 2 0	トランジスタ	
6 2 4	酸化物半導体層	
6 2 4 a	酸化物半導体層	
6 2 4 b	酸化物半導体層	
6 2 4 c	酸化物半導体層	
6 5 0	トランジスタ	50



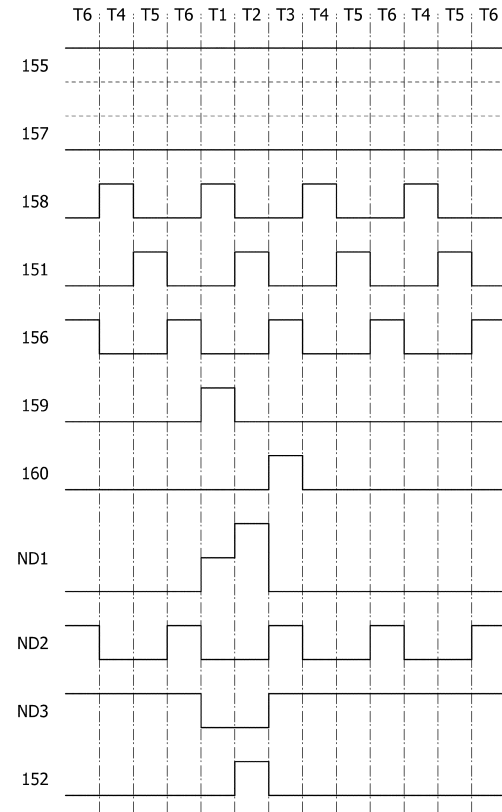
6 5 1	絶縁層	
6 5 2	絶縁層	
6 5 4	絶縁層	
6 5 6	絶縁層	
6 6 0	トランジスタ	
6 6 4	酸化物半導体層	
6 6 4 a	酸化物半導体層	
6 6 4 b	酸化物半導体層	
6 6 4 c	酸化物半導体層	
6 7 0	トランジスタ	10
7 0 0	表示モジュール	
7 0 1	基板	
7 0 2	画素部	
7 0 4	ソースドライバ回路部	
7 0 5	基板	
7 0 6	ゲートドライバ回路部	
7 0 8	F P C 端子部	
7 1 0	信号線	
7 1 1	配線部	
7 1 2	シール材	20
7 1 6	F P C	
7 3 4	絶縁膜	
7 3 6	着色膜	
7 3 8	遮光膜	
7 5 0	トランジスタ	
7 5 2	トランジスタ	
7 6 0	接続電極	
7 6 4	絶縁膜	
7 6 6	絶縁膜	
7 6 8	絶縁膜	30
7 7 0	平坦化絶縁膜	
7 7 2	導電膜	
7 7 4	導電膜	
7 7 5	液晶素子	
7 7 6	液晶層	
7 7 8	構造体	
7 8 0	異方性導電膜	
7 9 0	容量素子	
8 0 0	入出力装置	
8 0 1	表示モジュール	40
8 0 2	画素	
8 0 2 B	副画素	
8 0 2 G	副画素	
8 0 2 R	副画素	
8 0 3 c	容量	
8 0 3 g	走査線駆動回路	
8 0 3 t	トランジスタ	
8 1 0	基材	
8 1 1	配線	
8 1 7	保護基材	50

8 1 9	端子	
8 2 0 U	検知ユニット	
8 2 1	電極	
8 2 2	電極	
8 2 3	絶縁層	
8 3 4	窓部	
8 3 6	基材	
8 3 7	保護基材	
8 3 7 p	保護層	
8 3 9	検知回路	10
8 5 0	入力装置	
8 6 7 p	反射防止層	
8 7 2	反射電極	
8 8 0	液晶素子	
1 1 3 5	トランジスタ	
1 4 0 0	携帯情報端末	
1 4 0 1	筐体	
1 4 0 2	表示部	
1 4 0 3	操作ボタン	
1 4 1 0	携帯電話機	20
1 4 1 1	筐体	
1 4 1 2	表示部	
1 4 1 3	操作ボタン	
1 4 1 4	スピーカー	
1 4 1 5	マイク	
1 4 2 0	音楽再生装置	
1 4 2 1	筐体	
1 4 2 2	表示部	
1 4 2 3	操作ボタン	
1 4 2 4	アンテナ	30

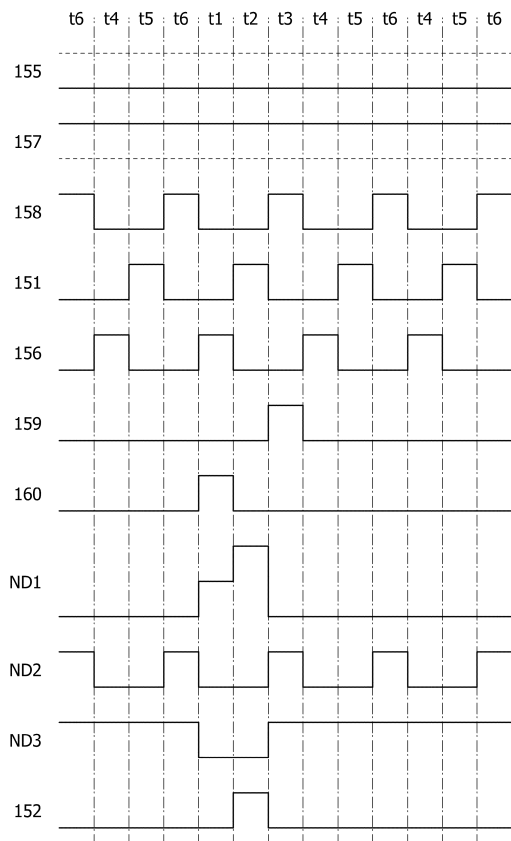
【図 1】



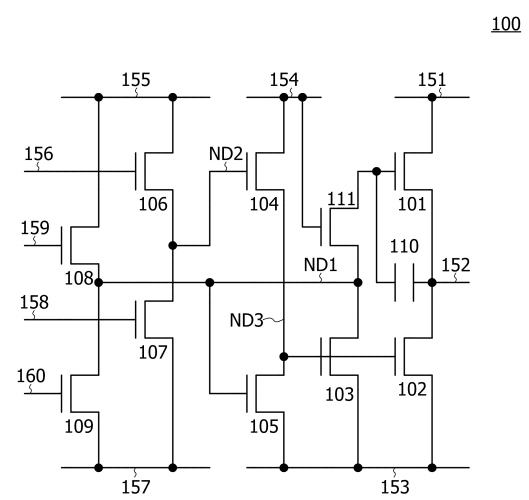
【図 2】



【図 3】

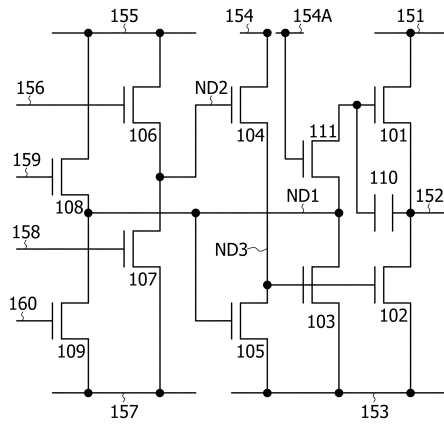


【図 4】



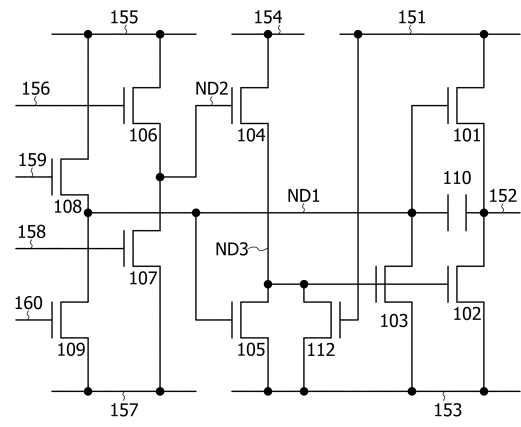
【図 5】

100



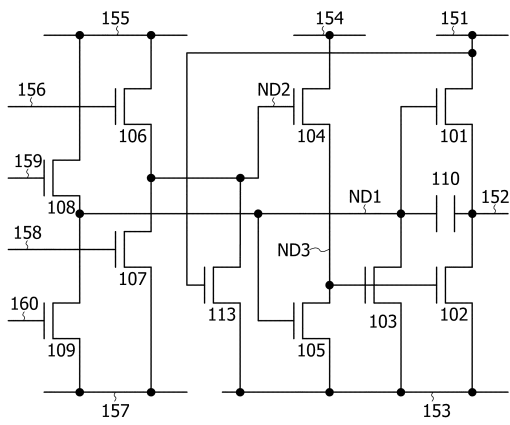
【図 6】

100



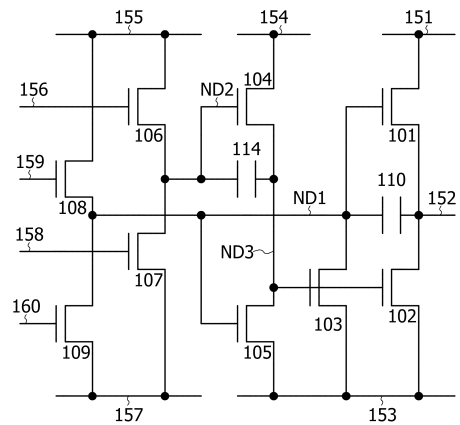
【図 7】

100



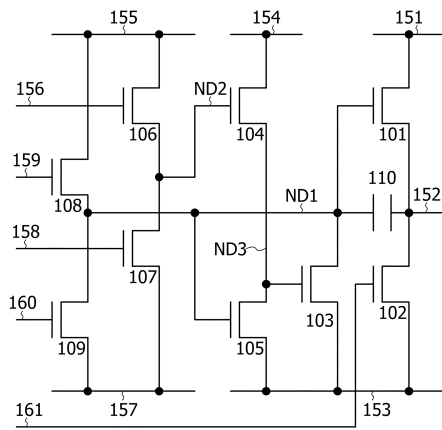
【図 8】

100



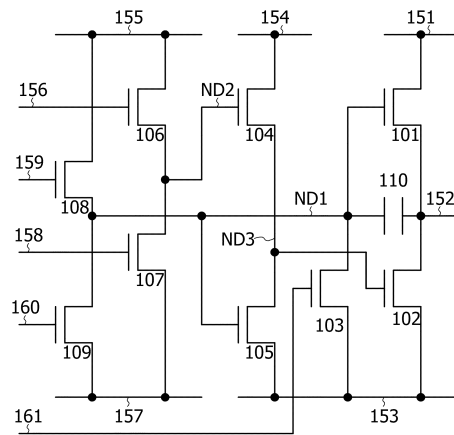
【図 9】

100



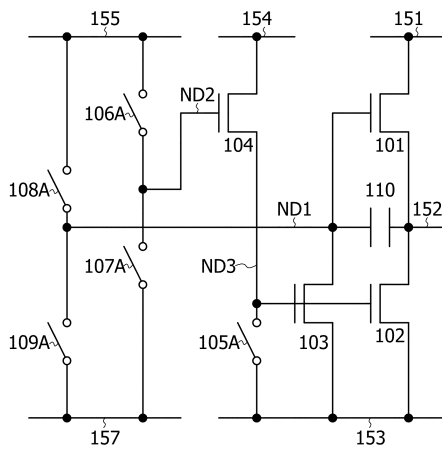
【図 10】

100



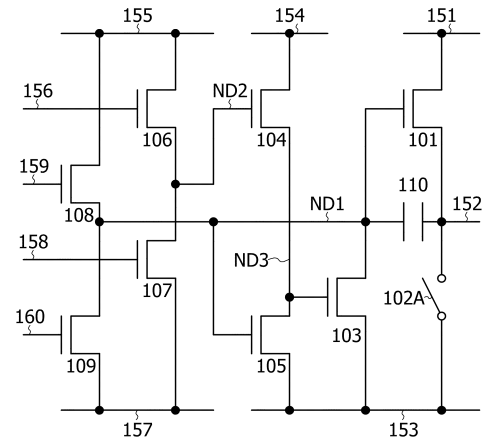
【図 11】

100



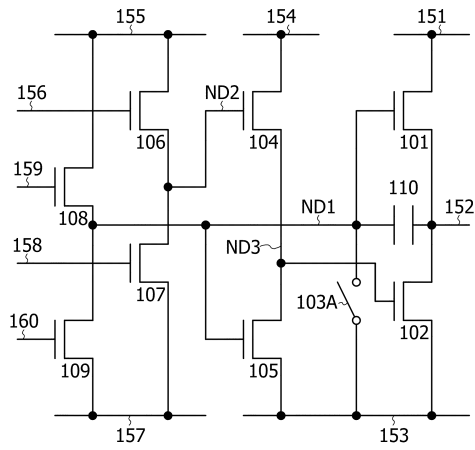
【図 12】

100



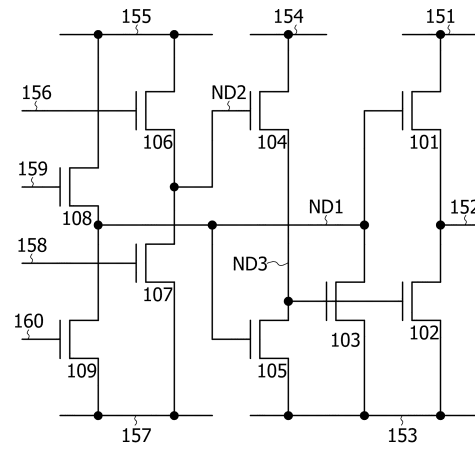
【図 13】

100



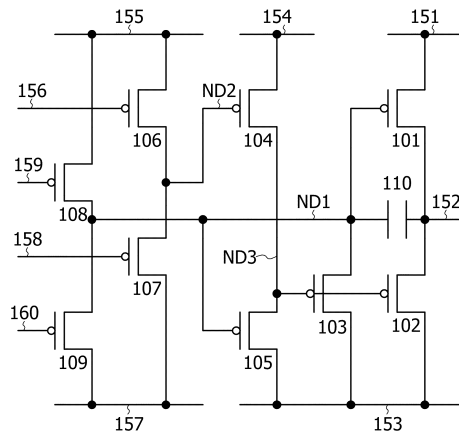
【図 14】

100



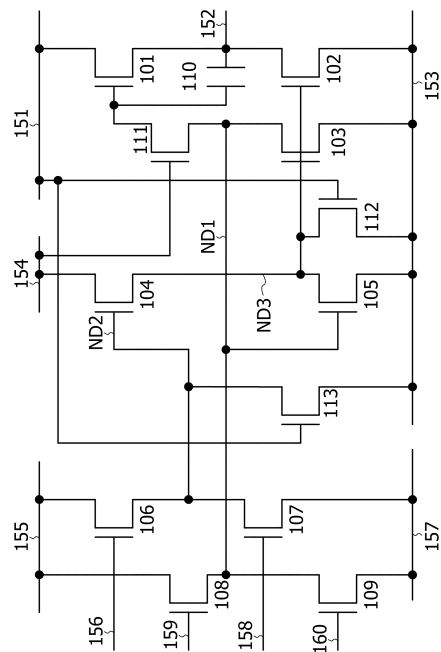
【図 15】

100



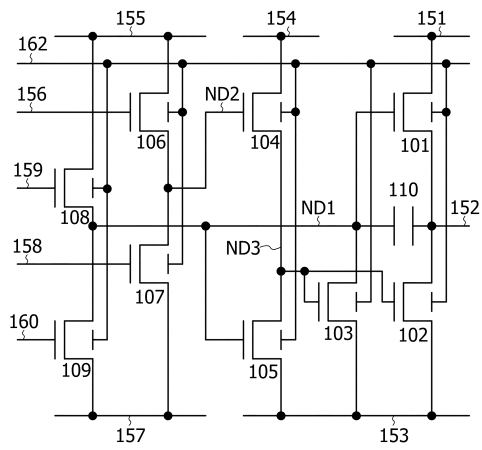
【図 16】

100



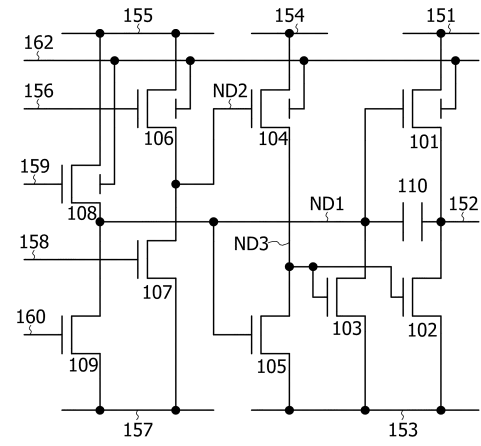
【図 17】

100



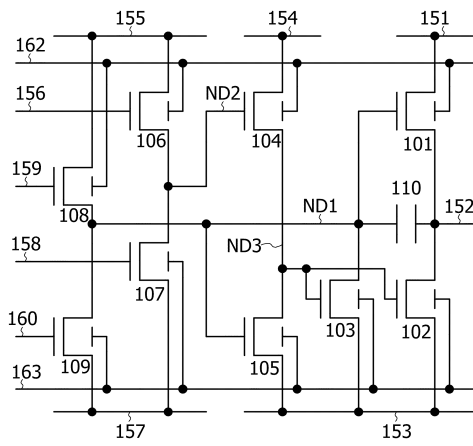
【図 18】

100



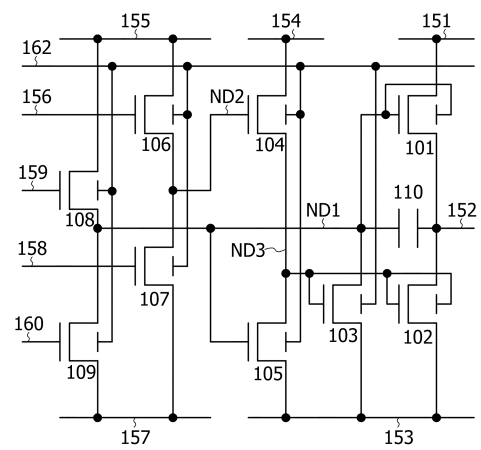
【図 19】

100

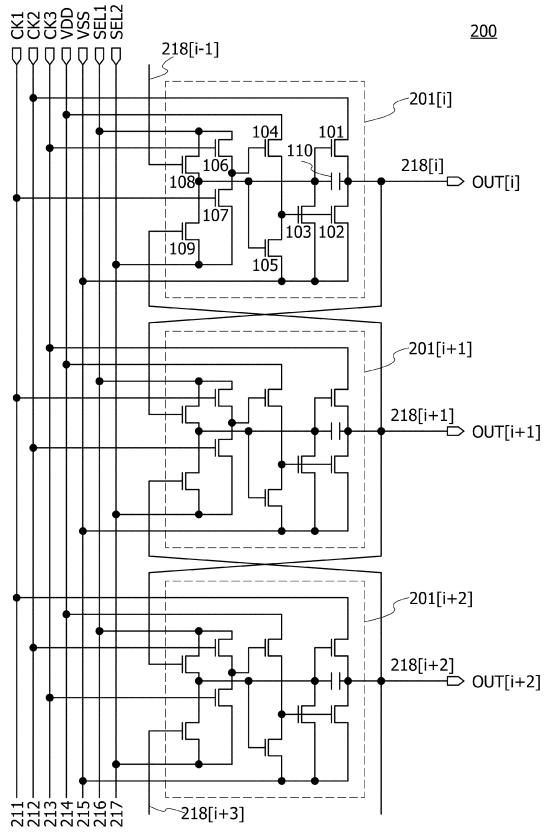


【図 20】

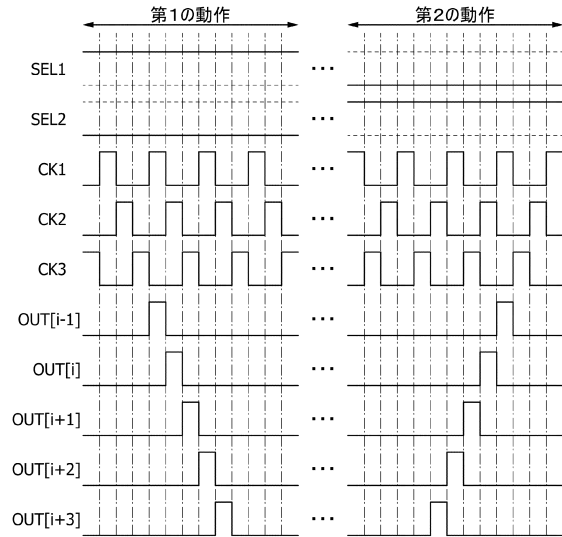
100



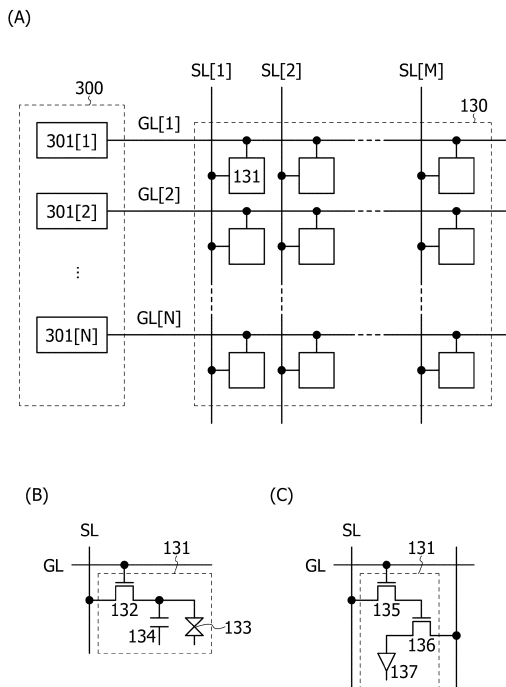
【図 2 1】



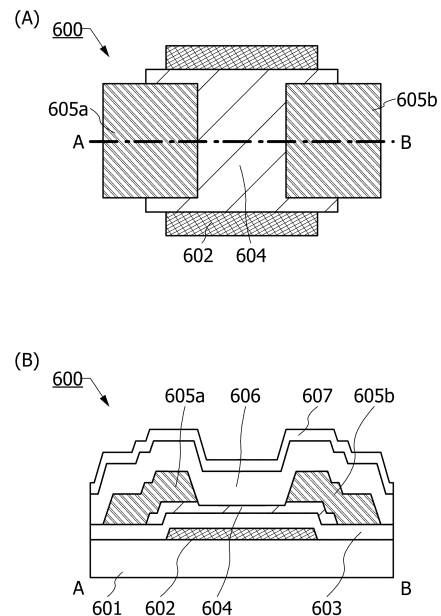
【図 2 2】



【図 2 3】

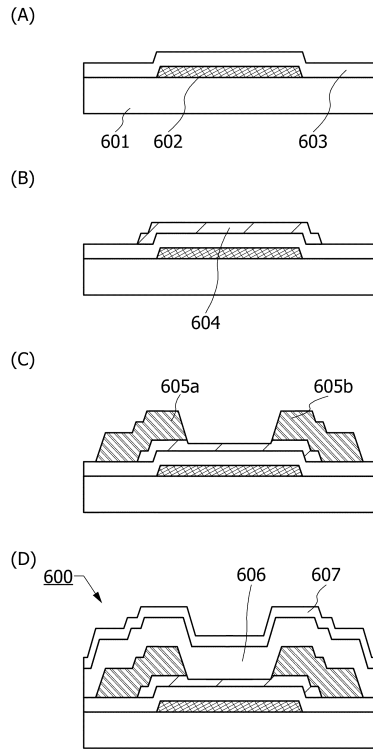


【図 2 4】

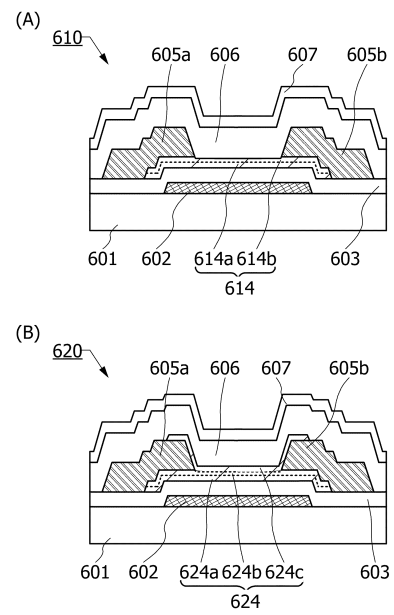




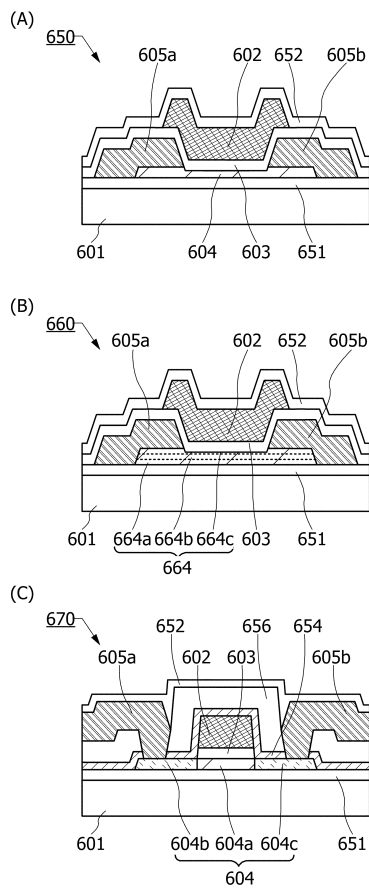
【図 25】



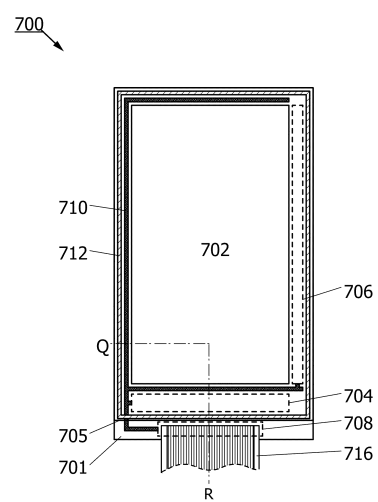
【図 26】



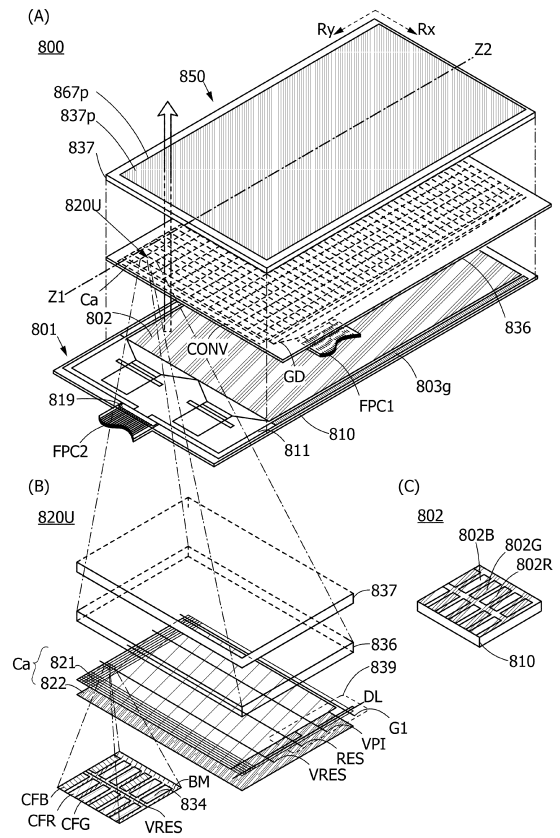
【図 27】



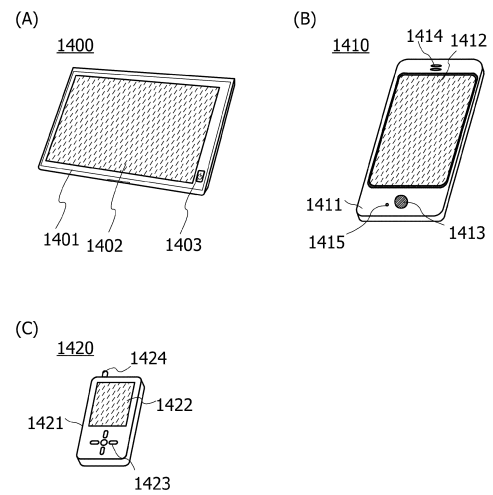
【図 28】



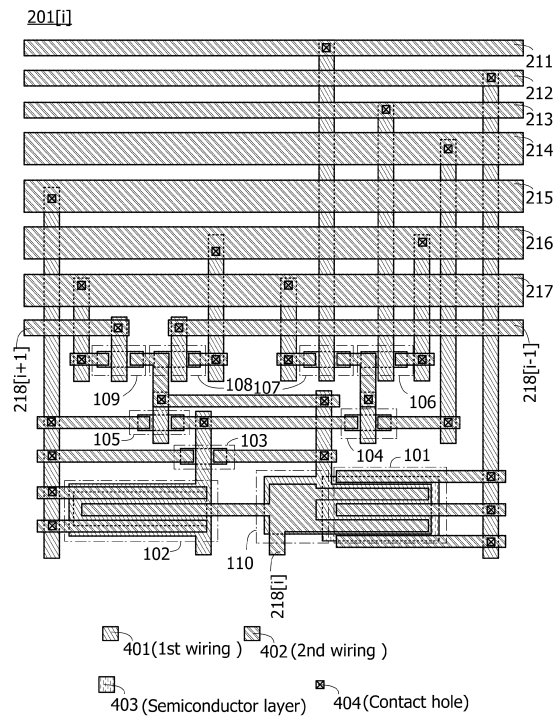
【 図 3 0 】



【 図 3 2 】



## 【図 33】



---

フロントページの続き

(56)参考文献 特開2007-293995(JP,A)  
特開2006-190437(JP,A)  
特開2008-107807(JP,A)  
特開2004-185684(JP,A)  
米国特許出願公開第2014/0159999(US,A1)

(58)調査した分野(Int.Cl., DB名)  
G11C 19/28