

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和2年3月26日(2020.3.26)

【公開番号】特開2019-140310(P2019-140310A)

【公開日】令和1年8月22日(2019.8.22)

【年通号数】公開・登録公報2019-034

【出願番号】特願2018-24047(P2018-24047)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 29/12 (2006.01)

【F I】

H 01 L 29/78 6 5 2 N

H 01 L 29/78 6 5 2 K

H 01 L 29/78 6 5 3 C

H 01 L 29/78 6 5 2 M

H 01 L 29/78 6 5 7 D

H 01 L 29/78 6 5 2 T

H 01 L 29/78 6 5 6 A

【手続補正書】

【提出日】令和2年2月6日(2020.2.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1電極と、

前記第1電極の上に設けられ、第1領域と、前記第1領域を囲む第2領域と、を有する第1導電形の第1半導体領域と、

前記第1領域の上に設けられた第2導電形の第2半導体領域と、

前記第2半導体領域の上に設けられた第1導電形の第3半導体領域と、

前記第3半導体領域の上に設けられ、前記第2半導体領域及び前記第3半導体領域と電気的に接続された第2電極と、

前記第1領域から前記第2半導体領域に向かう第1方向に垂直な第2方向において、前記第2半導体領域とゲート絶縁部を介して対向するゲート電極と、

前記第2領域の上に第1絶縁部を介して設けられ、前記第1方向及び前記第2方向に垂直な第3方向において互いに離間して複数設けられた第1導電部であって、複数の前記第1導電部は、前記第2方向において前記ゲート電極と並び、前記第2電極又は前記ゲート電極と電気的に接続された、前記第1導電部と、

前記第2電極又は前記ゲート電極と電気的に接続され、前記第2領域の上に第2絶縁部を介して設けられ、前記第3方向において前記ゲート電極及び前記複数の第1導電部と並ぶ第2導電部と、

を備え、

前記第1導電部の前記第2方向における長さは、前記ゲート電極の前記第2方向における長さよりも長い半導体装置。

【請求項2】

前記ゲート電極は、前記第2方向において互いに離間して複数設けられ、

前記第2導電部は、前記第3方向において前記複数のゲート電極及び前記複数の第1導電部と並び、

前記第1絶縁部同士の間の前記第3方向における距離は、前記ゲート絶縁部同士の間の前記第2方向における距離以下である請求項1記載の半導体装置。

【請求項3】

前記第2電極又は前記ゲート電極と電気的に接続された複数の第3導電部と、

前記複数の第3導電部の上に設けられ、前記ゲート電極と電気的に接続された第3電極と、

をさらに備え、

前記複数の第3導電部は、前記第3方向において互いに離間し、

前記複数の第3導電部のそれぞれは、前記第2領域の上に第3絶縁部を介して設けられ、

前記ゲート電極の一部は、前記第2方向において、前記複数の第1導電部の一部と前記複数の第3導電部との間に位置し、

前記複数の第3導電部のそれぞれの前記第2方向における長さは、前記複数の第1導電部のそれぞれの前記第2方向における長さよりも長い請求項1または2に記載の半導体装置。

【請求項4】

前記第1絶縁部中に設けられ、前記第2方向において前記第1導電部と離間した第4導電部をさらに備えた請求項1～3のいずれか1つに記載の半導体装置。

【請求項5】

前記第1導電部は、さらに、前記第2方向において複数設けられ、

前記ゲート電極は、前記第2方向において、複数の前記第1導電部の一部と、複数の前記第1導電部の別の一部と、の間に位置する請求項1～4のいずれか1つに記載の半導体装置。

【請求項6】

前記第2導電部は、前記第3方向において複数設けられ、

前記ゲート電極は、前記第3方向において、複数の前記第2導電部の1つと、複数の前記第2導電部の別の1つと、の間に位置する請求項1～5のいずれか1つに記載の半導体装置。

【請求項7】

第1電極と、

前記第1電極の上に設けられ、第1領域と、前記第1領域を囲む第2領域と、を有し、前記第1電極と電気的に接続された第1導電形の第1半導体領域と、

前記第1領域の上に設けられた第2導電形の複数の第2半導体領域と、

それぞれが、前記複数の第2半導体領域のそれぞれの上に設けられた第1導電形の複数の第3半導体領域と、

前記複数の第3半導体領域の上に設けられ、前記複数の第2半導体領域及び前記複数の第3半導体領域と電気的に接続された第2電極と、

それぞれが、前記第1領域から前記第2半導体領域に向かう第1方向に垂直な第2方向において、前記複数の第2半導体領域のそれぞれとゲート絶縁部を介して対向する複数のゲート電極と、

前記第2領域の上に第1絶縁部を介して設けられ、前記第2方向において互いに離間して複数設けられた第1導電部であって、複数の前記第1導電部は、前記第1方向及び前記第2方向に垂直な第3方向において前記ゲート電極と並び、前記第2電極又は前記ゲート電極と電気的に接続された、前記第1導電部と、

前記第2電極又は前記ゲート電極と電気的に接続され、前記第2領域の上に第2絶縁部を介して設けられ、前記第2方向において前記ゲート電極及び前記複数の第1導電部と並ぶ第2導電部と、

を備え、

前記第1導電部の前記第3方向における長さは、前記ゲート電極の前記第2方向における長さよりも長い半導体装置。

【請求項8】

前記ゲート電極は、前記第2方向において互いに離間して複数設けられ、

前記第2導電部は、前記第2方向において前記複数のゲート電極及び前記複数の第1導電部と並び、

前記第1絶縁部同士の間の前記第2方向における距離は、前記ゲート絶縁部同士の間の前記第2方向における距離以下である請求項7記載の半導体装置。

【請求項9】

第1電極と、

前記第1電極の上に設けられ、第1領域と、前記第1領域を囲む第2領域と、を有し、前記第1電極と電気的に接続された第1導電形の第1半導体領域と、

前記第1領域の上に設けられた第2導電形の複数の第2半導体領域と、

それぞれが、前記複数の第2半導体領域のそれぞれの上に設けられた第1導電形の複数の第3半導体領域と、

前記複数の第3半導体領域の上に設けられ、前記複数の第2半導体領域及び前記複数の第3半導体領域と電気的に接続された第2電極と、

それぞれが、前記第1領域から前記第2半導体領域に向かう第1方向に垂直な第2方向において、前記複数の第2半導体領域のそれぞれとゲート絶縁部を介して対向する複数のゲート電極と、

前記第2領域の上に第1絶縁部を介して設けられ、前記第1方向及び前記第2方向に垂直な第3方向において互いに離間して複数設けられた第1導電部であって、複数の前記第1導電部は、前記第2方向において前記ゲート電極と並び、前記第2電極又は前記ゲート電極と電気的に接続された、前記第1導電部と、

前記第2領域の上に第2絶縁部を介して設けられ、前記第2方向において互いに離間して複数設けられた第2導電部であって、複数の前記第2導電部は、前記第3方向において前記複数のゲート電極と並び、前記第2電極又は前記ゲート電極と電気的に接続された、前記第2導電部と、

を備えた半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

実施形態に係る半導体装置は、第1電極と、第1導電形の第1半導体領域と、第2導電形の第2半導体領域と、第1導電形の第3半導体領域と、第2電極と、ゲート電極と、第1導電部と、第2導電部と、を備える。前記第1半導体領域は、前記第1電極の上に設けられている。前記第1半導体領域は、第1領域と、前記第1領域を囲む第2領域と、を有する。前記第2半導体領域は、前記第1領域の上に設けられている。前記第3半導体領域は、前記第2半導体領域の上に設けられている。前記第2電極は、前記第3半導体領域の上に設けられ、前記第2半導体領域及び前記第3半導体領域と電気的に接続されている。前記ゲート電極は、前記第1領域から前記第2半導体領域に向かう第1方向に垂直な第2方向において、前記第2半導体領域とゲート絶縁部を介して対向している。前記第1導電部は、前記第2領域の上に第1絶縁部を介して設けられている。前記第1導電部は、前記第1方向及び前記第2方向に垂直な第3方向において、互いに離間して複数設けられている。複数の前記第1導電部は、前記第2方向において前記ゲート電極と並び、前記第2電極又は前記ゲート電極と電気的に接続されている。前記第2導電部は、前記第2電極又は前記ゲート電極と電気的に接続されている。前記第2導電部は、前記第2領域の上に第2絶縁部を介して設けられている。前記第2導電部は、前記第3方向において前記ゲート電

極及び前記複数の第1導電部と並んでいる。前記第1導電部の前記第2方向における長さは、前記ゲート電極の前記第2方向における長さよりも長い。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

【図1】第1実施形態に係る半導体装置を表す平面図である。

【図2】図1のA-A'断面図である。

【図3】図1のB-B'断面図及びC-C'断面図である。

【図4】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図5】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図6】第1実施形態に係る半導体装置の製造工程を表す工程断面図である。

【図7】第1実施形態に係る半導体装置が接続された電気回路を例示する回路図である。

【図8】図7に表した電気回路中の半導体装置における電流及び電圧の波形を表すグラフである。

【図9】第1実施形態に係る半導体装置中の正孔の流れを模式的に表す平面図である。

【図10】第1実施形態の変形例に係る半導体装置を表す平面図である。

【図11】図10のA-A'断面図である。

【図12】第2実施形態に係る半導体装置を表す平面図である。

【図13】図12のA-A'断面図及びB-B'断面図である。

【図14】図12のC-C'断面図である。

【図15】第1実施形態に係る半導体装置の一部を表す平面図及び第2実施形態に係る半導体装置の一部を表す平面図である。

【図16】第3実施形態に係る半導体装置を表す平面図である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

(第2実施形態)

図12は、第2実施形態に係る半導体装置を表す平面図である。

図13は、図12のA-A'断面図及びB-B'断面図である。

図14は、図12のC-C'断面図である。

なお、図12の平面図は、図13のD-D'線における断面を表している。