

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 9 日(09.10.2014)



(10) 国際公開番号
WO 2014/163058 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/06* (2006.01)
- (21) 国際出願番号: PCT/JP2014/059578
- (22) 国際出願日: 2014 年 3 月 31 日(31.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP2013/059785 2013 年 3 月 31 日(31.03.2013) JP
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者: 宮腰 宣樹 (MIYAKOSHI, Nobuki); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 松尾 誠剛 (MATSUO, Nobutaka); 〒3990214 長野県諏訪郡富士見町落合 9 8 6 2 番地 6 0 めぶき特許事務所 Nagano (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

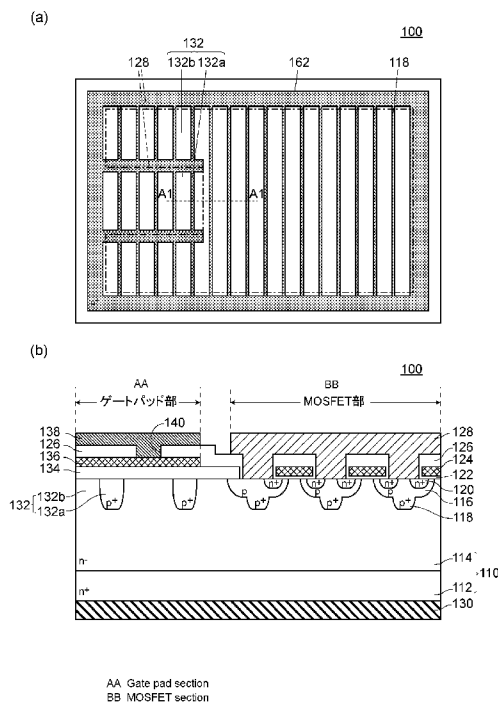
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

【図1】



(57) Abstract: [Problem] To provide a semiconductor device in which gate oscillation phenomenon during switch off can be suppressed without externalizing the capacity and resistance to between the gate and a drain. [Solution] A semiconductor device (100) including a MOSFET section and a gate pad section that are demarcated on a semiconductor substrate (110) in which a low-resistance semiconductor layer (112) and a drift layer (114) are laminated, in which the gate pad section contains: the low resistance semiconductor layer (112); the drift layer (114) that is formed on the low resistance semiconductor layer (112); a polysilicon layer (136) and a gate pad electrode (138) that are formed on the drift layer (114) via a field insulation layer (134), and cross the entire surface of the gate pad section as conductor layers; and, on a surface of the drift layer (114), a gate oscillation suppressing structure (132) in which p⁺ diffusion regions (132a) that are electrically connected to a source electrode layer (128), and p impurity non-diffusion regions (132b) are alternately formed.

(57) 要約: 【課題】ゲート・ドレイン間に容量及び抵抗を外付けすることなく、スイッチオフ時におけるゲート発振現象を抑止することが可能な半導体装置を提供する。【解決手段】低抵抗半導体層 112 とドリフト層 114 とが積層された半導体基板 110 に画定された MOSFET 部及びゲートパッド部を備える半導体装置 100 であって、ゲートパッド部は、低抵抗半導体層 112 と、低抵抗半導体層 112 上に形成されたドリフト層 114 と、ドリフト層 114 上にフィールド絶縁層 134 を介してゲートパッド部の全面にわたって形成された導電体層としてのポリシリコン層 136 及びゲートパッド用電極 138 と、ドリフト層 114 の表面において、ソース電極層 128 と電気的に接続されている p⁺ 型拡散領域 132a と、p 型不純物非拡散領域 132b とが交互に形成されたゲート発振抑制構造 132 とを備える半導体装置。

形成されたゲート発振抑制構造 132 とを備える半導体装置。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来、ドレイン層（低抵抗半導体層）とドリフト層とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置が知られている（例えば、特許文献１の図２３参照。）。図３２は、従来の半導体装置８００を説明するために示す図である。図３２（ａ）は半導体装置８００の要部を示す平面図であり、図３２（ｂ）は図３２（ａ）のＸ－Ｘ断面図である。

[0003] 従来の半導体装置８００は、図３２に示すように、 n^+ ドレイン層５１と n^- ドリフト層５２とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置である。そして、能動素子部は、図３２（ｂ）に示すように、 n^+ ドレイン層５１と、 n^- ドリフト層５２と、 n^- ドリフト層５２の表面に形成された p ベース領域５３と、 p ベース領域５３の表面に形成された n^+ ソース領域５４と、 n^+ ソース領域５４と n^- ドリフト層５２とに挟まれた p ベース領域５３上にゲート絶縁膜５６を介して設けられたゲート電極５７と、ゲート電極５７とは層間絶縁膜５８を介して絶縁された状態で n^+ ソース領域５４及び p ベース領域５３の表面に接して設けられたソース電極６１とを備える。

[0004] また、ゲートパッド部は、図３２（ｂ）に示すように、 n^+ ドレイン層５１と、 n^- ドリフト層５２と、 n^- ドリフト層５２上に層間絶縁膜７２を介してゲートパッド部の全面にわたって形成されたポリシリコン膜からなる導電体７３と、導電体７３上に形成されたゲートパッド用電極６２と、ゲートパッド部の全面にわたって n^- ドリフト層５２の表面に形成された p 領域７１を備える。なお、図３２中、符号５５は p^+ ウェル領域を示し、符号５９はソース

コンタクトホール 59 を示し、符号 60 はドレイン電極を示し、符号 70 はポリシリコン膜を示し、符号 74 は p 領域コンタクトホールを示す。

- [0005] 従来の半導体装置 800 によれば、ゲートパッド部においては、n-ドリフト層 52 の表面において、ゲートパッド部の全面にわたって p 領域 71 が形成されていることから、逆バイアス時には n-ドリフト層 52 中の空乏層がゲートパッド部の全面において n+ドレイン層 51 に向かって伸長することで、高耐压の半導体装置を構成することが可能となる。

先行技術文献

特許文献

- [0006] 特許文献 1：特開 2005-150348 号公報

発明の概要

発明が解決しようとする課題

- [0007] ところで、従来の半導体装置 800 においては、近年のスイッチング速度の高速化やセルの微細化によりスイッチオフ時におけるゲート発振現象（後述する図 30（c）参照。）が問題となってきたことから、ゲート・ドレイン間に容量及び抵抗を外付けすることにより、スイッチオフ時におけるゲート発振現象を抑止することが行われている。

しかしながら、ゲート・ドレイン間に容量及び抵抗を外付けすることは、外付けするディスクリート部品の増加やディスクリート部品を外付けする工程の増加などのため、好ましくない。

- [0008] そこで、本発明は、上記した事情に鑑みてなされたものであり、ゲート・ドレイン間に容量及び抵抗を外付けすることなく、スイッチオフ時におけるゲート発振現象を抑止することが可能な半導体装置を提供することを目的とする。

課題を解決するための手段

- [0009] [1] 本発明の半導体装置は、第 1 導電型又は第 2 導電型の低抵抗半導体層と第 1 導電型のドリフト層とが積層された半導体基板に画定された能動素子

部及びゲートパッド部を備える半導体装置であって、前記能動素子部は、前記低抵抗半導体層と、前記低抵抗半導体層上に形成された前記ドリフト層と、前記ドリフト層の表面に形成された第2導電型のベース領域と、前記ベース領域の表面に形成された第1導電型の高濃度拡散領域と、前記高濃度拡散領域と前記ドリフト層とに挟まれた前記ベース領域上においてゲート絶縁層を介して形成されたゲート電極層と、前記ゲート電極層とは層間絶縁層を介して絶縁された状態で前記高濃度拡散領域及び前記ベース領域の表面に接して形成された第1電極層とを備え、前記ゲートパッド部は、前記低抵抗半導体層と、前記低抵抗半導体層上に形成された前記ドリフト層と、前記ドリフト層上に、フィールド絶縁層を介して前記ゲートパッド部の全面にわたって形成された導電体層と、前記ドリフト層の表面において、前記第1電極層と電氣的に接続されている第2導電型不純物拡散領域と、第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造とを備えることを特徴とする。

[0010] [2] 本発明の半導体装置は、第1導電型又は第2導電型の低抵抗半導体層と第1導電型のドリフト層とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置であって、前記能動素子部は、前記低抵抗半導体層と、前記低抵抗半導体層上に形成された前記ドリフト層と、前記ドリフト層の表面に形成された第2導電型のベース領域と、前記ベース領域を開口し前記ドリフト層に達して形成してなる複数のトレンチと、前記ベース領域内に配置されるとともに少なくとも一部を前記トレンチの内周面に露出させて形成してなる第1導電型の高濃度拡散領域と、前記トレンチの内周面に形成してなるゲート絶縁層と、前記ゲート絶縁層を介して前記トレンチの内部に埋め込まれてなるゲート電極層と、前記ゲート電極層とは層間絶縁層を介して絶縁された状態で前記高濃度拡散領域及び前記ベース領域の表面に接して形成された第1電極層とを備え、前記ゲートパッド部は、前記低抵抗半導体層と、前記低抵抗半導体層上に形成された前記ドリフト層と、前記ドリフト層上に、フィールド絶縁層を介して前記ゲートパッド部の全

面にわたって形成された導電体層と、前記ドリフト層の表面において、前記第1電極層と電氣的に接続されている第2導電型不純物拡散領域と、第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造とを備えることを特徴とする。

[0011] [3] 本発明の半導体装置においては、前記フィールド絶縁層が前記ゲート絶縁層よりも厚いことが好ましい。

[0012] [4] 本発明の半導体装置においては、前記導電体層は、前記フィールド絶縁層と、前記フィールド絶縁層の上方に形成されたゲートパッド用電極層との間に形成されたポリシリコン層であることが好ましい。

[0013] [5] 本発明の半導体装置においては、前記導電体層は、前記フィールド絶縁層上に形成されたゲートパッド用電極層であることが好ましい。

[0014] [6] 本発明の半導体装置においては、前記導電体層は、前記ゲートパッド用電極層と前記ゲート電極層とを連結するゲートフィンガー部を介して前記ゲート電極層と電氣的に接続されており、かつ、前記ゲートフィンガー部を介さずに前記ゲート電極層と直接接続されている箇所を有しないことが好ましい。

[0015] [7] 本発明の半導体装置において、前記ゲートパッド部に隣接するセルにおいては、前記ゲートパッド部側の前記高濃度拡散領域が削除された構造を有することが好ましい。

[0016] [8] 本発明の半導体装置において、前記ゲートパッド部に隣接するトレンチにおいては、前記ゲートパッド部側の前記高濃度拡散領域が削除された構造を有することが好ましい。

[0017] [9] 本発明の半導体装置においては、前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の高濃度張り出し拡散領域をさらに備え、前記第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と同一工程で、かつ、前記高濃度張り出し拡散領域と連続するように形成されたものであることが好ましい。

[0018] [10] 本発明の半導体装置においては、前記第2導電型不純物拡散領域は

、前記ベース領域と同一工程で、かつ、前記ベース領域と連続するように形成されたものであることが好ましい。

[0019] [11] 本発明の半導体装置においては、前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の低濃度張り出し拡散領域をさらに備え、前記第2導電型不純物拡散領域は、前記低濃度張り出し拡散領域と同一工程で、かつ、前記低濃度張り出し拡散領域と連続するように形成されたものであることが好ましい。

[0020] [12] 本発明の半導体装置においては、前記第2導電型不純物拡散領域は、前記能動素子部を囲んで形成されるガードリングと同一工程で形成されたものであることが好ましい。

[0021] [13] 本発明の半導体装置においては、前記第2導電型不純物拡散領域は、前記ベース領域と同一工程で、かつ、前記ベース領域と連続するように形成されたものであることが好ましい。

[0022] [14] 本発明の半導体装置においては、前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の高濃度張り出し拡散領域をさらに備え、前記第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と同一工程で、かつ、前記高濃度張り出し拡散領域と連続するように形成されたものであることが好ましい。

[0023] [15] 本発明の半導体装置において、前記ゲートパッド部においては、前記第2導電型不純物非拡散領域がストライプ状に形成されてなることが好ましい。

[0024] [16] 本発明の半導体装置において、前記ゲートパッド部においては、前記第2導電型不純物非拡散領域がアイランド状に形成されてなることが好ましい。

[0025] [17] 本発明の半導体装置においては、前記第2導電型不純物拡散領域は、内部に第1導電型の半導体領域を有しないことが好ましい。

[0026] [18] 本発明の半導体装置においては、前記ゲートパッド用電極層と前記ゲート電極層とを連結するゲートフィンガー部においても、前記ドリフト層

の表面において、前記第1電極層と電氣的に接続されている第2導電型不純物拡散領域と、第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造を備えることが好ましい。

[0027] 本発明の半導体装置において、「ある領域が当該ある領域とは別の領域と連続するように形成されている」とは、「ある領域」が「当該ある領域とは別の領域」と他の層を介さずに直接繋がって形成されていることを意味するものとする。

発明の効果

[0028] ところで、従来の半導体装置800においては、ゲート・ドレイン間容量は、能動素子部に形成されるコンデンサ C_0 の容量に、ゲートパッド部に形成されるコンデンサ C_1 の容量が付加された値となる（後述する図3（b）の半導体装置100A参照。）。このうち、ゲートパッド部に形成されるコンデンサ C_1 は、「『一方電極としての導電体層（図3ではポリシリコン層136）』、『誘電体としてのフィールド絶縁層134及びp⁺型拡散領域158』並びに『他方電極としてのドリフト層114』」が積層された構造を有する。

[0029] 一方、本発明の半導体装置においても、ゲート・ドレイン間容量は、能動素子部（MOSFET部）に形成されるコンデンサ C_0 の容量に、ゲートパッド部に形成されるコンデンサ C_2 、 C_3 の容量が付加された値となる（後述する図3（a）の半導体装置100参照。）。このうち、コンデンサ C_2 は、ドリフト層の表面において第2導電型不純物拡散領域（図3（a）ではp⁺型拡散領域132a）が形成されている領域に形成されたコンデンサであって、「『一方電極としての導電体層（図3ではポリシリコン層136）』、『誘電体としてのフィールド絶縁層（図3（a）ではフィールド絶縁層134）及び第2導電型不純物拡散領域（図3（a）ではp⁺型拡散領域132a）』並びに『他方電極としてのドリフト層（図3（a）ではドリフト層114）』」からなるコンデンサである。また、コンデンサ C_3 は、ドリフト層の表面において第2導電型不純物非拡散領域（図3（a）ではp型不純物非拡散領

域 1 3 2 b) に形成されたコンデンサであって、「『一方電極としての導電体層 (図 3 (a) ではポリシリコン層 1 3 6) 』、『誘電体としてのフィールド絶縁層 (図 3 (a) ではフィールド絶縁層 1 3 4) 』及び『他方電極としてのドリフト層 (図 3 (a) ではドリフト層 1 1 4) 』」からなるコンデンサである。

[0030] そして、本発明の半導体装置においては通常、フィールド絶縁層が従来の半導体装置における p 領域 7 1 (図 3 2 (b)) や p⁺型拡散領域 1 5 8 (図 3 (b)) よりも極めて薄く形成されていることから (フィールド絶縁層: 200 nm ~ 500 nm、p 領域 7 1 や p⁺型拡散領域 1 5 8: 2.4 μ m ~ 8.0 μ m)、コンデンサ C₁, C₂, C₃のうち、コンデンサ C₃の容量が極めて大きくなり、その結果、本発明の半導体装置のゲート・ドレイン間容量 C_{rss}は、従来の半導体装置のゲート・ドレイン間容量 C_{rss}よりも大きくなる。

[0031] また、本発明の半導体装置においては、ドリフト層の表面において隣接する第 2 導電型不純物拡散領域に挟まれた狭い領域 (第 2 導電型不純物非拡散領域) が電流経路となることから (後述する図 3 (a) 参照。)、また、当該電流経路は、スイッチオフ時において、第 2 導電型不純物拡散領域からドリフト層側に空乏層が広がる結果、より一層狭く、かつ、より一層長くなり、そして最終的には空乏化することから (後述する図 4 参照。)、上述した狭い領域の部分に比較的大きな抵抗値を有する抵抗 (後述する図 3 (a) の抵抗 R 3 参照。) が形成されることとなる。

[0032] その結果、本発明の半導体装置によれば、ゲート・ドレイン間に大きな容量と抵抗を作り込むことができることから、ゲート・ドレイン間に容量及び抵抗を外付けすることなく、スイッチオフ時におけるゲート発振現象を抑止することが可能となる。

[0033] また、本発明の半導体装置によれば、ゲートパッド部においては、ドリフト層の表面において、第 1 電極層と電氣的に接続されている第 2 導電型不純物拡散領域と、第 2 導電型不純物非拡散領域とが交互に形成されたゲート発

振抑制構造が形成されていることから、後述する図4（a）～図4（d）に示すように、逆バイアス時には互いの空乏層が横方向に伸びて接触しながらゲートパッド部の全面において低抵抗半導体層112に向かって伸長することで、従来の半導体装置800の場合と同様に、高耐圧の半導体装置を構成することが可能となる。

[0034] なお、従来の半導体装置800においては、ゲートパッド部の全面にわたってp領域71が形成されていることから、pn接合面積が大きく、スイッチオフ時に注入されるキャリア量も多くなるため、逆回復期間 t_{rr} が長くなるとともに、逆回復ピーク電流 I_{RP} が大きくなるという問題点もある。これに対して、本発明の半導体装置によれば、ゲートパッド部においては、ドリフト層の表面において、第1電極層と電氣的に接続されている第2導電型不純物拡散領域と、第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造が形成されていることから、pn接合面積が小さく、スイッチオフ時に注入されるキャリア量も小さくなるため、逆回復期間 t_{rr} が短くなるとともに、逆回復ピーク電流 I_{RP} が小さくなるという効果も得られる。

[0035] なお、特許文献1には、ゲートパッド部にもMOSFETのセルを作り込んだ半導体装置が開示されている（特許文献1の図1参照。）。このような半導体装置を従来第2の半導体装置ということとする。従来第2の半導体装置によっても、従来の半導体装置800の場合よりも、ゲート・ドレイン間容量の大きな半導体装置を構成することが可能になると考えられる。

[0036] しかしながら、従来第2の半導体装置においては通常、ゲート絶縁層を介してゲート電極層と対向しているドリフト領域の面積割合が小さいことから、本発明の半導体装置よりも、ゲート・ドレイン間容量を大きくする効果は小さく、實際上、スイッチオフ時におけるゲート発振現象を抑止する効果は小さい。

[0037] また、従来第2の半導体装置においては、ゲートパッド部のMOSFETは能動素子部のMOSFETと並列して同じ動作を行うことから、スイッチ

オフ時におけるゲート発振現象の抑止効果は得られない。

[0038] また、従来第2の半導体装置においては、ゲートパッド部直下の領域でアバランシェ降伏が起こったとき、ゲートパッド部直下の領域から能動素子部のソース電極層まで長い距離をアバランシェ電流が流れることとなることから、ゲートパッド部周辺端において寄生トランジスタを動作させ易く、MOSFETを破壊させてしまう恐れがある。

[0039] なお、ゲートパッド部の下部にリング状にpウェル層が形成された半導体装置が知られている（例えば、特開平5-167070号公報参照。）。このような半導体装置を従来第3の半導体装置900ということとする。図33は、従来第3の半導体装置900の断面図である。

[0040] 従来第3の半導体装置900は、図33に示すように、n⁺ドレイン層（図示せず）とn⁻ドリフト層901とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置である。そして、能動素子部は、図33に示すように、n⁺ドレイン層（図示せず）と、n⁻ドリフト層901と、n⁻ドリフト層901の表面に形成されたpベース領域902と、pベース領域902の表面に形成されたn⁺ソース領域903と、n⁺ソース領域903とn⁻ドリフト層901とに挟まれたpベース領域902上にゲート絶縁膜904を介して設けられたゲート電極905と、ゲート電極905とは層間絶縁膜906を介して絶縁された状態でn⁺ソース領域903及びpベース領域902の表面に接して設けられたソース電極908とを備える。

[0041] また、ゲートパッド部は、図33に示すように、n⁺ドレイン層（図示せず）と、n⁻ドリフト層901と、n⁻ドリフト層901上にフィールド絶縁層910を介してゲートパッド部の全面にわたって形成されたポリシリコン膜からなる導電体911と、導電体911上に形成されたゲートパッド用電極907と、ゲートパッド部の下部にリング状に形成されたpウェル層919とを備える。

[0042] しかしながら、従来第3の半導体装置900は、従来の半導体装置（従来の半導体装置800、又は、特開平5-167070号公報の図3に記載の

半導体装置)よりも、スイッチオフ時における破壊耐量を大きくするために、ゲートパッド部下の寄生ダイオードの容量を小さくしている。また、従来第3の半導体装置900においては、ゲートパッド部の中央部分にはpウェル層919が形成されていないことから、ゲートパッド部の中央部分に形成される抵抗 R_3 の値は小さくなる。このため、従来第3の半導体装置900においては、本発明のように、スイッチオフ時におけるゲート発振現象を抑止することはできない。

[0043] また、従来第3の半導体装置900においては、ゲートパッド部の下部にリング状にpウェル層919を形成したものである、すなわち、ゲートパッド部の中央部分にはpウェル層919が形成されていないことから（後述する図5（b）参照。）、逆バイアス時にゲートパッド部下の空乏層の広がりを安定にするとする効果が小さくなるという問題も生ずる。

[0044] これに対して、本発明の半導体装置によれば、ドリフト層の表面において、第1電極層と電氣的に接続されている第2導電型不純物拡散領域と、第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造を備えるため、このような従来第3の半導体装置900が有する問題は発生しない。

[0045] また、従来第3の半導体装置900においては、ゲートパッド部の下部に形成されたpウェル層919は、ソース電極と接続されていないことから、pウェル層919が形成されていない領域においては逆バイアス時に空乏層が伸長しないために電界強度が小さくならず耐圧が低下する。

[0046] これに対して、本発明の半導体装置によれば、ドリフト層の表面において、第1電極層と電氣的に接続されている第2導電型不純物拡散領域と、第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造を備えることから、このような問題は発生しない。

図面の簡単な説明

[0047] [図1]実施形態1に係る半導体装置100を説明するために示す図である。

[図2]実施形態1に係る半導体装置100を説明するために示す図である。

[図3]実施形態1に係る半導体装置100の効果を説明するために示す図であ

る。

[図4]実施形態1に係る半導体装置100の効果を説明するために示す図である。

[図5]実施形態1に係る半導体装置100の効果を説明するために示す図である。

[図6]実施形態1に係る半導体装置の製造方法を説明するために示す図である。

[図7]実施形態1に係る半導体装置の製造方法を説明するために示す図である。

[図8]実施形態1に係る半導体装置の製造方法を説明するために示す図である。

[図9]実施形態1に係る半導体装置の製造方法を説明するために示す図である。

[図10]実施形態1に係る半導体装置の製造方法を説明するために示す図である。

[図11]実施形態2に係る半導体装置100aを説明するために示す図である。

[図12]実施形態3に係る半導体装置100bを説明するために示す図である。

[図13]実施形態4に係る半導体装置100cを説明するために示す図である。

[図14]実施形態5に係る半導体装置100dを説明するために示す図である。

[図15]実施形態6に係る半導体装置100eの断面図である。

[図16]実施形態7に係る半導体装置100fの断面図である。

[図17]実施形態8に係る半導体装置100gを説明するために示す図である。

[図18]実施形態9に係る半導体装置100hの断面図である。

[図19]実施形態10に係る半導体装置100iの断面図である。

[図20]実施形態11に係る半導体装置100jの断面図である。

[図21]実施形態11に係る半導体装置の製造方法を説明するために示す図である。

[図22]実施形態12に係る半導体装置100kの断面図である。

[図23]実施形態13に係る半導体装置200の断面図である。

[図24]実施形態14に係る半導体装置200aの断面図である。

[図25]実施形態15に係る半導体装置200bの断面図である。

[図26]実施形態16に係る半導体装置300の断面図である。

[図27]実施形態17に係る半導体装置100lを説明するために示す図である。

[図28]試験例1及び2に用いる半導体装置100i, 100cの断面図である。

[図29]試験例1の評価結果を説明するために示す図である。

[図30]試験例2における評価方法及び評価結果を説明するために示す図である。

[図31]変形例に係る半導体装置100mの平面図である。

[図32]従来の半導体装置800を説明するために示す図である。

[図33]従来の半導体装置900を説明するために示す図である。

発明を実施するための形態

[0048] 以下、本発明の半導体装置について、図に示す実施形態に基づいて説明する。

[0049] [実施形態1]

1. 実施形態1に係る半導体装置100

図1及び図2は、実施形態1に係る半導体装置100を説明するために示す図である。図1(a)は半導体装置100の平面図であり、図1(b)は図1(a)のA1-A1断面図である。図2(a)は半導体装置100の平面図であり、図2(b)は図2(a)のA2-A2断面図である。なお、図

1 (a) においては、 p^+ 型張り出し拡散領域 118、 p^+ 型拡散領域 132 a, 162、 p 型不純物非拡散領域 132 b、ゲート発振抑制構造 132 及びソース電極層 128 の輪郭線（一点鎖線）のみを示す。また、図 2 (a) においては、ポリシリコン層 136 及びソース電極層 128 の輪郭線（一点鎖線）のみを示す。また、図 1 (a) においては p^+ 型張り出し拡散領域 118 及び p^+ 型拡散領域 132 a, 162 をドット模様で示し、図 1 (b) においては p^+ 型張り出し拡散領域 118 及び p^+ 型拡散領域 132 a を白抜き模様で示す。図 1 (b) 及び図 2 (b) 中、符号 130 はドレイン電極層を示す。

[0050] 実施形態 1 に係る半導体装置 100 は、図 1 に示すように、 n^+ 型の低抵抗半導体層 112 と n^- 型のドリフト層 114 とが積層された半導体基板 110 に画定された、MOSFET 部（本発明の能動素子部に相当）、ゲートパッド部及びゲートフィンガー部を備える半導体装置（パワー MOSFET）である。

[0051] MOSFET 部は、図 1 (b) に示すように、低抵抗半導体層 112 と、低抵抗半導体層 112 上に形成されたドリフト層 114 と、ドリフト層 114 の表面に形成された p 型のベース領域 116 と、ベース領域 116 の表面に形成された n^+ 型のソース領域（高濃度拡散領域） 120 と、ソース領域 120 とドリフト層 114 とに挟まれたベース領域 116 上においてゲート絶縁層 122 を介して形成されたゲート電極層 124 と、ゲート電極層 124 とは層間絶縁層 126 を介して絶縁された状態でソース領域 120 及びベース領域 116 の表面に接して形成されたソース電極層（本発明の第 1 電極層に相当） 128 とを備える。

[0052] ゲートパッド部は、図 1 (b) に示すように、低抵抗半導体層 112 と、低抵抗半導体層 112 上に形成されたドリフト層 114 と、ドリフト層 114 上に、フィールド絶縁層 134 を介してゲートパッド部の全面にわたって形成された導電体層としてのポリシリコン層 136 と、ドリフト層 114 の表面において、ソース電極層 128 と電氣的に接続されている p^+ 型拡散領域

(本発明の第2導電型不純物拡散領域に相当) 132aと、n⁻型のp型不純物非拡散領域(本発明の第2導電型不純物非拡散領域に相当) 132bとが交互に形成されたゲート発振抑制構造132とを備える。p⁺型拡散領域132aは、後述するp⁺型拡散領域162及びp⁺型張り出し拡散領域118を介してソース電極層128と電氣的に接続されている。

[0053] なお、実施形態1及び後述する実施形態2～17において、p⁺型拡散領域、p型拡散領域及びp⁻型拡散領域が第2導電型不純物拡散領域に相当するものであり、p型不純物非拡散領域が第2導電型不純物非拡散領域に相当するものである。

[0054] ゲートフィンガー部は、図2(b)に示すように、低抵抗半導体層112と、低抵抗半導体層112上に形成されたドリフト層114と、ドリフト層114上に、フィールド絶縁層134を介してゲートフィンガー部の全面にわたって形成されたポリシリコン層136と、ドリフト層114の表面全域に形成されたp⁺型拡散領域(第2導電型不純物拡散領域) 162とを備える。p⁺型拡散領域162は、p⁺型張り出し拡散領域118を介してソース電極層128と電氣的に接続されている。

[0055] 実施形態1に係る半導体装置100においては、図1(b)に示すように、ゲートパッド部において、ポリシリコン層136上に層間絶縁層126が形成されており、層間絶縁層126上にゲートパッド用電極層138が形成されている。ポリシリコン層136とゲートパッド用電極層138とは、層間絶縁層126に設けられているスルーホール140を介して電氣的に接続されている。

[0056] 実施形態1に係る半導体装置100においては、図2(b)に示すように、ゲートフィンガー部において、ポリシリコン層136上に層間絶縁層126が形成されており、層間絶縁層126上にゲートフィンガー用配線層142が形成されている。ポリシリコン層136とゲートフィンガー用配線層142とは、層間絶縁層126に設けられているスルーホール140を介して電氣的に接続されている。

- [0057] 実施形態１に係る半導体装置１００においては、ポリシリコン層１３６は、ゲートパッド用電極層１３８とゲート電極層１２４とを連結するゲートフィンガー部を介してゲート電極層１２４と電氣的に接続されており、かつ、ゲートフィンガー部を介さずにゲート電極層１２４と直接接続されている箇所を有しない。
- [0058] 実施形態１に係る半導体装置１００において、ゲートパッド部においては、 p 型不純物非拡散領域１３２ｂがストライプ状に形成されてなる。また、 p^+ 型拡散領域１３２ａが p 型不純物非拡散領域１３２ｂを囲むように、両端が連結されたストライプ状に形成されている。
- [0059] 実施形態１に係る半導体装置１００において、ゲートパッド部に隣接するセルにおいては、ゲートパッド部側のソース領域１２０が削除された構造を有する（後述する図５における符号Ｂで示す部分参照。）。
- [0060] 実施形態１に係る半導体装置１００においては、ＭＯＳＦＥＴ部は、ベース領域１１６から下方に（深い方向に）張り出すように形成された p^+ 型張り出し拡散領域１１８をさらに備える。ゲートパッド部の p^+ 型拡散領域１３２ａは、ＭＯＳＦＥＴ部の p^+ 型張り出し拡散領域１１８及びゲートフィンガー部の p^+ 型拡散領域１６２と同一工程で、かつ、ＭＯＳＦＥＴ部の p^+ 型張り出し拡散領域１１８及びゲートフィンガー部の p^+ 型拡散領域１６２と連続するように形成されたものである。
- [0061] 実施形態１に係る半導体装置１００においては、 p^+ 型拡散領域１３２ａは、内部に n 型の半導体領域を有しない。
- [0062] また、実施形態１に係る半導体装置１００においては、ゲートパッド部において導電体層としてのポリシリコン層１３６がフィールド絶縁層１３４を介してドリフト層１１４に対向する部分が占める面積のゲートパッド部全体の面積に対する割合が、ＭＯＳＦＥＴ部においてゲート電極層１２４がゲート絶縁層１２２を介してドリフト層１１４に対向する部分が占める面積のＭＯＳＦＥＴ部全体の面積に対する割合よりも大きい。
- [0063] 低抵抗半導体層１１２の厚さは $100\mu\text{m}\sim400\mu\text{m}$ であり、低抵抗半

導体層 112 不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。ドリフト層 114 の厚さは $5 \mu\text{m} \sim 50 \mu\text{m}$ であり、ドリフト層 114 の不純物濃度は $1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ である。ベース領域 116 の深さは $2 \mu\text{m} \sim 2.5 \mu\text{m}$ であり、ベース領域 116 の不純物濃度は $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。ソース領域 120 の深さは $0.2 \mu\text{m} \sim 0.4 \mu\text{m}$ であり、ソース領域 120 の不純物濃度は $5 \times 10^{19} \text{ cm}^{-3} \sim 2 \times 10^{20} \text{ cm}^{-3}$ である。p⁺型張り出し拡散領域 118 の深さは $2.4 \mu\text{m} \sim 8.0 \mu\text{m}$ であり、p⁺型張り出し拡散領域 118 の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{18} \text{ cm}^{-3}$ である。p⁺型拡散領域 132a の深さは $2.4 \mu\text{m} \sim 8.0 \mu\text{m}$ であり、p⁺型拡散領域 132a の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{18} \text{ cm}^{-3}$ である。

[0064] ベース領域 116、p⁺型張り出し拡散領域 118、ゲート電極層 124 及び p⁺型拡散領域 132a は、ストライプ状に形成されている。そして、ベース領域 116、p⁺型張り出し拡散領域 118、ゲート電極層 124 の形成ピッチは例えば $15 \mu\text{m}$ であり、p⁺型拡散領域 132a の形成ピッチは例えば $15 \mu\text{m}$ である。ベース領域 116 のストライプ幅は例えば $9 \mu\text{m}$ であり、p⁺型張り出し拡散領域 118 のストライプ幅は例えば $3.75 \mu\text{m}$ であり、ゲート電極層 124 のストライプ幅は例えば $6 \mu\text{m}$ である。p⁺型拡散領域 132a のストライプ幅は例えば $8 \mu\text{m}$ である。

[0065] ゲート絶縁層 122 は、熱酸化法により形成された厚さが例えば 100 nm の二酸化珪素膜からなる。フィールド絶縁層 134 は、熱酸化法により形成された厚さが例えば 450 nm の二酸化珪素膜からなる。層間絶縁層 126 は、CVD 法により形成された厚さが 1000 nm の PSG 膜からなる。ゲート電極層 124 は、CVD 法及びイオン注入法により形成された厚さが例えば 500 nm の低抵抗ポリシリコン膜からなる。ポリシリコン層 136 は、CVD 法及びイオン注入法により形成された厚さが例えば 500 nm の低抵抗ポリシリコン膜からなる。ゲート電極層 124 及びポリシリコン層 136 は同一工程により形成されている。

[0066] ソース電極層 128 は、スパッタ法により形成された厚さが例えば $4\ \mu\text{m}$ のアルミニウム膜からなる。ゲートパッド用電極層 138 及びゲートフィンガー用配線層 142 は、スパッタ法により形成された厚さが例えば $4\ \mu\text{m}$ のアルミニウム膜からなる。ソース電極層 128 並びにゲートパッド用電極層 138 及びゲートフィンガー用配線層 142 は同一工程により形成されている。ドレイン電極層 130 は、Ti-Ni-Au などの多層金属膜により形成され、厚さが例えば多層金属膜全体にて $0.5\ \mu\text{m}$ で形成されている。

[0067] 2. 実施形態 1 に係る半導体装置 100 の効果

図 3～図 5 は、実施形態 1 に係る半導体装置 100 の効果を説明するために示す図である。図 3 (a) は実施形態 1 に係る半導体装置 100 の断面図に寄生容量及び寄生抵抗を追記した図であり、図 3 (b) は比較例 1 に係る半導体装置 100A の断面図に寄生容量及び寄生抵抗を追記した図である。なお、比較例 1 に係る半導体装置 100A は基本的には従来の半導体装置 800 に対応するものである。

[0068] 図 4 (a)～図 4 (d) は逆バイアス時に空乏層 d が伸長する様子を示す図であって、図 4 (a) は逆バイアス電圧が印加されていないときの空乏層 d が伸長する様子を示す図であり、図 4 (b) は低い逆バイアス電圧が印加されているときの空乏層 d が伸長する様子を示す図であり、図 4 (c) は中くらいの逆バイアス電圧が印加されているときの空乏層 d が伸長する様子を示す図であり、図 4 (d) は高い逆バイアス電圧が印加されているときの空乏層 d が伸長する様子を示す図である。なお、図 4 においては、低抵抗半導体層 112、ドレイン電極層 130、層間絶縁層 126 及びソース電極層 128 の図示を省略している。

[0069] 図 5 (a) は実施形態 1 に係る半導体装置 100 の断面図に寄生容量及び寄生抵抗を追記した図であり、図 5 (b) は比較例 2 に係る半導体装置 100B の断面図に寄生容量及び寄生抵抗を追記した図である。また、比較例 2 に係る半導体装置 100B は基本的には従来第 3 の半導体装置 900 に対応するものである。図 5 (a) 及び図 5 (b) は、図 3 (a) 及び図 3 (b)

よりもMOSFET部を小さく図示し、ゲートパッド部を大きく図示している。

[0070] ところで、従来の半導体装置800（又は比較例1に係る半導体装置1000A）においては、ゲート・ドレイン間容量は、MOSFET部に形成されるコンデンサ C_0 の容量に、ゲートパッド部に形成されるコンデンサ C_1 の容量が付加された値となる（図3（b）参照、）。このうち、ゲートパッド部に形成されるコンデンサ C_1 は、「『一方電極としての導電体層（ポリシリコン層136）』、『誘電体としてのフィールド絶縁層134及びp⁺型拡散領域158』並びに『他方電極としてのn⁻ドリフト層114』」が積層された構造（図3（b）参照、）を有する。

[0071] 一方、実施形態1に係る半導体装置100においては、図3（a）に示すように、ゲート・ドレイン間容量は、MOSFET部に形成されるコンデンサ C_0 の容量に、ゲートパッド部に形成されるコンデンサ C_2 、 C_3 の容量が付加された値となる。このうち、コンデンサ C_2 は、ドリフト層114の表面においてp⁺型拡散領域132aが形成されている領域に形成されたコンデンサであって、「『一方電極としての導電体層（ポリシリコン層136）』、『誘電体としてのフィールド絶縁層134及びp⁺型拡散領域132a』並びに『他方電極としてのドリフト層114』」からなるコンデンサである。また、コンデンサ C_3 は、ドリフト層114の表面においてp型不純物が拡散されていない領域（p型不純物非拡散領域132b）に形成されたコンデンサであって、「『一方電極としての導電体層（ポリシリコン層136）』、『誘電体としてのフィールド絶縁層134』及び『他方電極としてのドリフト層114』」からなるコンデンサである。

[0072] そして、実施形態1に係る半導体装置100においては通常、フィールド絶縁層134がp⁺型拡散領域132aよりも極めて薄く形成されていることから（フィールド絶縁層134：200nm～500nm、p⁺型拡散領域132a：2.4μm～8.0μm）、コンデンサ C_1 、 C_2 、 C_3 のうち、コンデンサ C_3 の容量が極めて大きくなり、その結果、実施形態1に係る半導体装

置 100 のゲート・ドレイン間容量 C_{rss} は、従来の半導体装置 800（又は比較例 1 に係る半導体装置 100A）のゲート・ドレイン間容量 C_{rss} よりも大きくなる。

[0073] また、実施形態 1 に係る半導体装置 100 においては、ドリフト層 114 の表面において隣接する p^+ 型拡散領域 132a に挟まれた狭い領域（ p 型不純物非拡散領域 132b）が電流経路となることから（図 3（a）参照。）
、また、当該電流経路は、スイッチオフ時において、 p^+ 型拡散領域 132a からドリフト層側に空乏層が広がる結果、より一層狭く、かつ、より一層長くなり、そして最終的には空乏化することから、上述した狭い領域の部分に比較的大きな抵抗値を有する抵抗（図 3（a）の抵抗 R_3 参照。）が形成されることとなる。

[0074] その結果、実施形態 1 に係る半導体装置 100 によれば、ゲート・ドレイン間に大きな容量と抵抗を作り込むことができることから、ゲート・ドレイン間に容量及び抵抗を外付けすることなく、スイッチオフ時におけるゲート発振現象を抑止することが可能となる。

[0075] また、実施形態 1 に係る半導体装置 100 によれば、ゲートパッド部においては、ドリフト層 114 の表面において、ソース電極層 128 と電氣的に接続されている p^+ 型拡散領域 132a と、 p 型不純物非拡散領域 132b とが交互に形成されたゲート発振抑制構造を備えることから、図 4（a）～図 4（d）に示すように、逆バイアス時には互いの空乏層が横方向に伸びて接触しながらゲートパッド部の全面において低抵抗半導体層 112 に向かって伸長することで、従来の半導体装置 800 の場合と同様に、高耐圧の半導体装置を構成することが可能となる。

[0076] なお、上記したように、従来第 3 の半導体装置 900（又は比較例 2 に係る半導体装置 100B）においては、ゲートパッド部の下部にリング状に p ウェル層 919（132c）が形成されている。

[0077] しかしながら、従来第 3 の半導体装置 900（又は比較例 2 に係る半導体装置 100B）は、従来の半導体装置（従来の半導体装置 800、又は、特

開平 5-167070 号公報の図 3 に記載の半導体装置) よりも、スイッチオフ時における破壊耐量を大きくするために、ゲートパッド部下の寄生ダイオードの容量を小さくしている。また、従来第 3 の半導体装置 900 (又は比較例 2 に係る半導体装置 100B) においては、ゲートパッド部の中央部分には p ウェル層 919 (132c) が形成されていないことから、ゲートパッド部の中央部分に形成される抵抗 R3 の値は小さくなる。このため、従来第 3 の半導体装置 900 においては、実施形態 1 に係る半導体装置 100 のように、スイッチオフ時におけるゲート発振現象を抑止することはできない。

[0078] また、従来第 3 の半導体装置 900 (又は比較例 2 に係る半導体装置 100B) においては、ゲートパッド部の下部にリング状に p ウェル層 919 (132c) を形成したものである、すなわち、ゲートパッド部の中央部分には p ウェル層 919 (132c) が形成されていないことから (図 3 3 及び図 5 (b) 参照。)、逆バイアス時にゲートパッド部下の空乏層の拡がりを安定にするとする効果が小さくなるという問題も生ずる。

[0079] これに対して、実施形態 1 に係る半導体装置 100 によれば、ドリフト層 114 の表面において、ソース電極層 128 と電氣的に接続されている p⁺型拡散領域 132a と、p 型不純物非拡散領域 132b とが交互に形成されたゲート発振抑制構造 132 を備えるため、このような従来第 3 の半導体装置 900 (又は比較例 2 に係る半導体装置 100B) が有する問題は発生しない。

[0080] また、従来第 3 の半導体装置 900 (又は比較例 2 に係る半導体装置 100B) においては、ゲートパッド部の下部に形成された p ウェル層 919 (132c) は、ソース電極と接続されていないことから、p ウェル層 919 (132c) が形成されていない領域においては逆バイアス時に空乏層が伸長しないために電界強度が小さくならず耐圧が低下する。

[0081] これに対して、実施形態 1 に係る半導体装置 100 によれば、ドリフト層 114 の表面において、ソース電極層 128 と電氣的に接続されている p⁺型

拡散領域 132a と、p 型不純物非拡散領域 132b とが交互に形成されたゲート発振抑制構造 132 を備えるため、このような従来第 3 の半導体装置 900（又は比較例 2 に係る半導体装置 100B）が有する問題は発生しない。

[0082] また、実施形態 1 に係る半導体装置 100 によれば、導電体層としてのポリシリコン層 136 上に層間絶縁層 126 が形成されており、層間絶縁層 126 上にゲートパッド用電極層 138 が形成されていることから、これらポリシリコン層 136、層間絶縁層 126 及びゲートパッド用電極層 138 からなる多層構造が、外部端子をゲートパッド用電極層 138 に接続する際に緩衝材として働くようになり、信頼性の高い半導体装置を構成することが可能となる。

[0083] また、実施形態 1 に係る半導体装置 100 によれば、図 2（a）に示すように、ポリシリコン層 136 が、ゲートパッド用電極層 138 とゲート電極層 124 とを連結するゲートフィンガー部を介してゲート電極層 124 と電氣的に接続されており、かつ、ゲートフィンガー部を介さずにゲート電極層 124 と直接接続されている箇所を有しないことから、ゲートパッド用電極層 138 がゲート電極層 124 と直接接続されている比較例 2 に係る半導体装置 100B の場合（図 5（b）の符号 C で示す部分参照。）よりもゲートパッド用電極層 138 とゲート電極層 124 との距離が長くなり、これによってもゲート発振現象を抑制することが可能となる。

[0084] また、実施形態 1 に係る半導体装置 100 は、ゲートパッド部に隣接するセルにおいては、ゲートパッド部側のソース領域 120 が削除された構造を有する（図 5（a）及び図 5（b）の符号 B が示す部分参照。）。このように、実施形態 1 に係る半導体装置 100 によれば、最もゲートパッド部に近くて最もゲート発振現象の起こりやすいソース領域 120 が削除された構造を有することから、これによってもゲート発振現象を抑制することが可能となる。

[0085] また、実施形態 1 に係る半導体装置 100 によれば、ゲートパッド部の p⁺

型拡散領域 1 3 2 a が MOSFET 部の p⁺型張り出し拡散領域 1 1 8 と同一工程で形成されたものであることから、ゲートパッド部に p⁺型拡散領域 1 3 2 a を形成するために余分な工程を実施することもない。また、ゲートパッド部の p⁺型拡散領域 1 3 2 a が MOSFET 部の p⁺型張り出し拡散領域 1 1 8 と連続するように形成されたものであることから、ゲートパッド部の p⁺型拡散領域 1 3 2 a が MOSFET 部の p⁺型張り出し拡散領域 1 1 8 の電位と同一の電位を与えられるようになり、その結果、逆バイアス時にはドリフト層 1 1 4 中の空乏層がドレイン層向かって伸長することで、高耐压の半導体装置を構成することが可能となる。

[0086] また、実施形態 1 に係る半導体装置 1 0 0 によれば、ゲートパッド部においては、p 型不純物非拡散領域 1 3 2 b がストライプ状に形成されてなるとともに、p⁺型拡散領域 1 3 2 a が p 型不純物非拡散領域 1 3 2 b を囲むように、両端が連結されたストライプ状に形成されてなることから、逆バイアス時には p 型不純物非拡散領域 1 3 2 b が空乏化し易くなり、これによっても高耐压の半導体装置を構成することが可能となる。

[0087] また、実施形態 1 に係る半導体装置 1 0 0 によれば、p⁺型拡散領域 1 3 2 a が内部に n 型の半導体領域を有しないことから、リーチスルー現象が起これず、高耐压を確保できるという効果も得られる。

[0088] また、実施形態 1 に係る半導体装置 1 0 0 によれば、面積が広いために高い絶縁性が求められているフィールド絶縁層 1 3 4 がゲート絶縁層 1 2 2 よりも厚いことから、絶縁性に優れた信頼性の高い半導体装置を構成できる。

[0089] また、実施形態 1 に係る半導体装置 1 0 0 によれば、ゲートパッド部において導電体層としてのポリシリコン層 1 3 6 がフィールド絶縁層 1 3 4 を介してドリフト層 1 1 4 に対向する部分が占める面積のゲートパッド部全体の面積に対する割合が、MOSFET 部においてゲート電極層 1 2 4 がゲート絶縁層 1 2 2 を介してドリフト層 1 1 4 に対向する部分が占める面積の MOSFET 部全体の面積に対する割合よりも大きいことから、ゲート・ドレイン間容量 C_{rss} を効果的に大きくすることができる。

[0090] 3. 実施形態1に係る半導体装置の製造方法

実施形態1に係る半導体装置100は、以下に示す製造工程を有する製造方法（実施形態1に係る半導体装置の製造方法）により製造することができる。図6～図10は、実施形態1に係る半導体装置の製造方法を説明するために示す図である。図6（a）～図10（c）は各工程である。

[0091] （1）半導体基板の準備

低抵抗半導体層112を構成するシリコン基板上に、ドリフト層114を構成するシリコン層をエピタキシャル成長法により成膜させた半導体基板110を準備する。低抵抗半導体層112の厚さは例えば $100\mu\text{m}\sim400\mu\text{m}$ とし、低抵抗半導体層112の不純物濃度は $1\times10^{19}\text{cm}^{-3}\sim1\times10^{20}\text{cm}^{-3}$ とする。ドリフト層114の厚さは $5\mu\text{m}\sim50\mu\text{m}$ とし、ドリフト層114の不純物濃度は $1\times10^{14}\text{cm}^{-3}\sim1\times10^{16}\text{cm}^{-3}$ とする。

[0092] （2） p^+ 型張り出し拡散領域及び p^+ 型拡散領域並びにフィールド絶縁層の形成

その後、 p^+ 型張り出し拡散領域118に対応する領域及び p^+ 型拡散領域132aに対応する領域に開口を有する二酸化珪素薄膜M1を形成し、当該二酸化珪素薄膜M1を介してイオン打ち込み法によりドリフト層114の表面に p 型不純物（例えばボロンイオン）を注入することにより、ドリフト層114の表面における p^+ 型張り出し拡散領域118に対応する領域及び p^+ 型拡散領域132aに対応する領域に p 型不純物を導入する（図6（a）参照。）。

[0093] その後、酸素ガス含有雰囲気下において、半導体基板110の熱処理を行うことにより p^+ 型張り出し拡散領域118及び p^+ 型拡散領域132aを形成する（図6（b）参照。）。 p^+ 型張り出し拡散領域118及び p^+ 型拡散領域132aの形成深さは $2.4\mu\text{m}\sim8.0\mu\text{m}$ とし、 p^+ 型張り出し拡散領域118及び p^+ 型拡散領域132aの不純物濃度は $1\times10^{17}\text{cm}^{-3}\sim3\times10^{18}\text{cm}^{-3}$ とする。なお、このとき、ゲートパッド部においては、ドリフト層114の表面に p 型不純物が拡散されていない部分に p 型不純物非拡

散領域 1 3 2 b が形成される。また、ドリフト層 1 1 4 の表面が熱酸化されて、フィールド絶縁層 1 3 4 が形成される。フィールド絶縁層 1 3 4 の厚さは例えば 4 5 0 n m とする。

[0094] (3) ゲート絶縁層及びゲート電極層の形成

その後、M O S F E T 部に開口を有するマスク（図示せず。）を形成した後、フィールド絶縁層 1 3 4 のエッチングを行い、M O S F E T 部においてドリフト層 1 1 4 を露出させる（図 6（c）参照。）。その後、酸素ガス含有雰囲気下において、半導体基板 1 1 0 の熱処理を行うことによりドリフト層 1 1 4 の表面を熱酸化して、M O S F E T 部においてゲート絶縁層 1 2 2 を形成する（図 7（a）参照。）。ゲート絶縁層 1 2 2 の厚さは例えば 1 0 0 n m とする。

[0095] その後、C V D 法により、フィールド絶縁層 1 3 4 及びゲート絶縁層 1 2 2 の表面上に低抵抗のポリシリコン層 1 2 3 を形成する（図 7（b）参照。）。ポリシリコン層 1 2 3 の厚さは例えば 5 0 0 n m とする。その後、ポリシリコン層 1 3 6 に対応する領域及びゲート電極層 1 2 4 に対応する領域にマスク（図示せず。）を形成した後、ポリシリコン層 1 2 3 のエッチングを行い、M O S F E T 部においてゲート電極層 1 2 4 を形成するとともに、ゲートパッド部においてポリシリコン層 1 3 6 を形成する（図 7（c）参照。）。）。

[0096] (4) ベース領域の形成

その後、フィールド絶縁層 1 3 4 及びゲート電極層 1 2 4 をマスクとして、ゲート絶縁層 1 2 2 を介してイオン打ち込み法によりドリフト層 1 1 4 の表面に p 型不純物（例えばボロンイオン）を注入することにより、ドリフト層 1 1 4 の表面におけるベース領域 1 1 6 に対応する領域に p 型不純物を導入する（図 8（a）参照。）。）。

その後、半導体基板 1 1 0 の熱処理を行うことにより p 型不純物の活性化アニール処理を行ってベース領域 1 1 6 を形成する（図 8（b）参照。）。ベース領域 1 1 6 の深さは $2\text{ }\mu\text{m}$ ~ $2.5\text{ }\mu\text{m}$ とし、ベース領域 1 1 6 の不

純物濃度は $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とする。

[0097] (5) ソース領域の形成

その後、ゲート絶縁層 122 上におけるソース領域 120 を形成する領域を除く領域にマスク M2 を形成し、当該マスク M2 並びにゲート電極層 124 及びフィールド絶縁層 134 をマスクとして、ゲート絶縁層 122 を介してイオン打ち込み法によりドリフト層 114 の表面に n 型不純物（例えばリンイオン）を注入することにより、ドリフト層 114 の表面におけるソース領域 120 に対応する領域に n 型不純物を導入する（図 8（c）参照。）。

[0098] その後、マスク M2 を除去した後、半導体基板 110 の第 1 主面側の全面に CVD 法により例えば 1000 nm の厚さの PSG からなる層間絶縁層 126 を形成し（図 9（a）参照。）、その後、半導体基板 110 の熱処理を行うことにより n 型不純物の活性化アニール処理を行ってソース領域 120 を形成する（図 9（b）参照。）。ソース領域 120 の深さは $0.2 \mu\text{m} \sim 0.4 \mu\text{m}$ とし、ソース領域 120 の不純物濃度は $5 \times 10^{19} \text{ cm}^{-3} \sim 2 \times 10^{20} \text{ cm}^{-3}$ とする。

[0099] (6) ソース電極層及びゲートパッド用電極層並びにドレイン電極層の形成

その後、ゲートパッド用電極層 138 がポリシリコン層 136 とコンタクトする部分（スルーホール 140）及びソース電極層 128 がソース領域 120 及びベース領域 116 とコンタクトする部分（コンタクトホール 141）にある層間絶縁層 126 を選択的に除去した後（図 9（c）参照。）、層間絶縁層 126 の上方からスパッタ法によりアルミニウムからなる金属層 127 を形成する（図 10（a）参照。）。その後、金属層 127 の所定領域をエッチングにより除去して、金属層 127 をソース電極層 128 とゲートパッド用電極層 138 に分離することにより、ソース電極層 128 とゲートパッド用電極層 138 を形成する（図 10（b）参照。）。ソース電極層 128 及びゲートパッド用電極層 138 の厚さは例えば $4 \mu\text{m}$ とする。

[0100] その後、半導体基板 110 の第 2 主面側の表面（低抵抗半導体層 112 の表面）に、Ti-Ni-Au などの多層金属膜からなる金属膜を成膜しドレ

イン電極層 130 とする（図 10（c）参照。）。ドレイン電極層 130 の厚さは例えば多層金属膜全体で $0.5\ \mu\text{m}$ とする。

[0101] 以上の工程を実施することにより、実施形態 1 に係る半導体装置 100 を製造することができる。

[0102] [実施形態 2～5]

図 11 は、実施形態 2 に係る半導体装置 100a を説明するために示す図である。図 11（a）は半導体装置 100a の平面図であり、図 11（b）は図 11（a）の A1－A1 断面図である。図 12 は、実施形態 3 に係る半導体装置 100b を説明するために示す図である。図 12（a）は半導体装置 100b の平面図であり、図 12（b）は図 12（a）の A1－A1 断面図である。図 13 は、実施形態 4 に係る半導体装置 100c を説明するために示す図である。図 13（a）は半導体装置 100c の平面図であり、図 13（b）は図 13（a）の A1－A1 断面図である。図 14 は、実施形態 5 に係る半導体装置 100d を説明するために示す図である。図 14（a）は半導体装置 100d の平面図であり、図 14（b）は図 14（a）の A1－A1 断面図である。図中、符号 130 はドレイン電極層を示す。なお、図 11（a）、図 12（a）、図 13（a）及び図 14（a）においては、 p^+ 型張り出し拡散領域 118、 p^+ 型拡散領域 132a、162、 p 型不純物非拡散領域 132b、ゲート発振抑制構造 132 及びソース電極層 128 の輪郭線（一点鎖線）のみを示す。また、図 11（a）、図 12（a）、図 13（a）及び図 14（a）においては p^+ 型張り出し拡散領域 118 及び p^+ 型拡散領域 132a、162 をドット模様で示し、図 11（b）、図 12（b）、図 13（b）及び図 14（b）においては p^+ 型張り出し拡散領域 118 及び p^+ 型拡散領域 132a を白抜き模様で示す。

[0103] 実施形態 2～5 に係る半導体装置 100a～100d は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、ゲート発振抑制構造 132 の平面構造が実施形態 1 に係る半導体装置 100 の場合と異なる。すなわち、実施形態 2 に係る半導体装置 100a においては、図 11 に示す

ように、ゲート発振抑制構造 132 における p^+ 型拡散領域 132 a のストライプピッチが実施形態 1 に係る半導体装置 100 の場合よりも狭い。また、実施形態 3 に係る半導体装置 100 b においては、図 12 に示すように、ゲート発振抑制構造 132 における p^+ 型拡散領域 132 a の幅が実施形態 1 に係る半導体装置 100 の場合よりも広い。また、実施形態 4 に係る半導体装置 100 c においては、図 13 に示すように、ゲート発振抑制構造 132 における p^+ 型拡散領域 132 a のストライプの向きが実施形態 1 に係る半導体装置 100 の場合と異なり、 p^+ 型張り出し拡散領域 118 のストライプの向きと直交している。また、実施形態 5 に係る半導体装置 100 d においては、図 14 に示すように、ゲート発振抑制構造 132 における p 型不純物非拡散領域 132 b の形状が、実施形態 1 に係る半導体装置 100 の場合と異なり、アイランド状である。すなわち、 p^+ 型拡散領域 132 a の形状が格子状である。

[0104] [実施形態 6 及び 7]

図 15 は、実施形態 6 に係る半導体装置 100 e の断面図である。図 16 は、実施形態 7 に係る半導体装置 100 f の断面図である。

[0105] 実施形態 6 及び 7 に係る半導体装置 100 e, 100 f は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、ゲートパッド部における電極積層構造が実施形態 1 に係る半導体装置 100 の場合と異なる。すなわち、実施形態 6 に係る半導体装置 100 e においては、図 15 に示すように、導電体層としてのポリシリコン層 136 上のほぼ全面にゲートパッド用电極層 138 が層間絶縁層 126 を介することなく直接形成されている。また、実施形態 7 に係る半導体装置 100 f においては、図 16 に示すように、フィールド絶縁層 134 上のほぼ全面に導電体層としてのゲートパッド用电極層 138 がポリシリコン層を介することなく直接形成されている。

[0106] [実施形態 8]

図 17 は、実施形態 8 に係る半導体装置 100 g を説明するために示す図

である。図17(a)は半導体装置100gの平面図であり、図17(b)は図17(a)のA1-A1断面図である。図17(b)中、符号130はドレイン電極層を示す。なお、図17(a)においては、ベース領域116、p型拡散領域（本発明の第2導電型不純物拡散領域に相当）133a、p型不純物非拡散領域（本発明の第2導電型不純物非拡散領域に相当）133b、ゲート発振抑制構造133及びソース電極層128の輪郭線（一点鎖線）のみを示す。

[0107] 実施形態8に係る半導体装置100gは、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、第2導電型不純物拡散領域の形成工程が実施形態1に係る半導体装置100の場合と異なる。すなわち、実施形態8に係る半導体装置100gにおいては、図17に示すように、MOSFET部においてp⁺型張り出し拡散領域の代わりにp⁺型コンタクト領域144が形成されており、p型拡散領域133aは、p⁺型張り出し拡散領域ではなくベース領域116と同一工程で形成されたものである。

[0108] [実施形態9～11]

図18は、実施形態9に係る半導体装置100hの断面図である。図19は、実施形態10に係る半導体装置100iの断面図である。図20は、実施形態11に係る半導体装置100jを説明するために示す図である。図20(a)は半導体装置100jにおけるゲートパッド部及びMOSFET部の断面図であり、図20(b)は半導体装置100jにおけるMOSFET部、ゲートフィンガー部及びガードリング部の断面図である。なお、図18～図20において、符号150bはp型不純物非拡散領域（本発明の第2導電型不純物非拡散領域に相当）を示し、符号150はゲート発振抑制構造を示す。

[0109] 実施形態9～11に係る半導体装置100h～100jは、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、ベース領域116よりも高濃度のp型不純物を含有するp⁺型拡散領域132aに代えてベース領域116よりも低濃度のp型不純物を含有するp⁻型拡散領域（本発明の

第2導電型不純物拡散領域に相当) 150aを備える点が実施形態1に係る半導体装置100の場合と異なる。すなわち、実施形態9～11に係る半導体装置100h～100jにおいては、図18～図20に示すように、隣接するベース領域116の間にベース領域116よりも浅く形成され、かつ、ドリフト層114よりも高濃度、かつソース領域120よりも低濃度のn型不純物を含有するn型基準濃度半導体層146をMOSFET部に備える。また、ベース領域116よりも高濃度のp型不純物を含有するp⁺型張り出し拡散領域118に代えてベース領域116よりも低濃度のp型不純物を含有するp⁻型張り出し拡散領域148をMOSFET部に備え、さらには、ベース領域116よりも高濃度のp型不純物を含有するp⁺型拡散領域132aに代えてベース領域116よりも低濃度のp型不純物を含有するp⁻型拡散領域150aをゲートパッド部に備える。なお、MOSFET部にn型基準濃度半導体層146及びp⁻型張り出し拡散領域148を形成する技術は、本出願人が開発した技術であり、特開2011-228643号公報に詳細に記載されている。

[0110] このうち、実施形態9に係る半導体装置100hにおいては、n型基準濃度半導体層146がゲートパッド部にまで延在している(図18参照。)。また、実施形態10に係る半導体装置100iにおいては、n型基準濃度半導体層146がMOSFET部にのみ形成されている(図19参照。)。また、実施形態11に係る半導体装置100jにおいては、n型基準濃度半導体層146の表面にn型基準濃度半導体層146よりも浅く形成され、かつ、n型基準濃度半導体層146よりも高濃度、かつ、ソース領域120よりも低濃度のn型不純物を含有するn⁺型半導体層152をMOSFET部に備える(図20参照。)。

[0111] そして、実施形態9～11に係る半導体装置100h～100jにおいては、ゲートパッド部のp⁻型拡散領域150aが、MOSFET部のp⁻型張り出し拡散領域148と同一工程で、かつ、MOSFET部のp⁻型張り出し拡散領域148と連続するように形成されている(図18～図20参照。)

。

[0112] 実施形態 10 に係る半導体装置 100 i は、以下に示す半導体装置の製造方法によって製造することができる。図 21 は、実施形態 10 に係る半導体装置の製造方法を説明するために示す図である。図 21 (a) ~ 図 21 (c) は、各工程図である。

[0113] 実施形態 10 に係る半導体装置の製造方法は、基本的には実施形態 1 に係る半導体装置の製造方法と同様の工程を含むが、n 型基準濃度半導体層 146、p-型張り出し拡散領域 148 及び p-型拡散領域 150 a を形成する工程の内容が実施形態 1 に係る半導体装置の製造方法の場合とは異なる。そこで、n 型基準濃度半導体層 146、p-型張り出し拡散領域 148 及び p-型拡散領域 150 a を形成する工程を中心として実施形態 10 に係る半導体装置の製造方法を説明する。

[0114] (1) n 型基準濃度半導体層の形成

実施形態 1 に係る半導体装置の製造方法の場合と同様にして「半導体基板の準備 (工程)」を行った後、n 型基準濃度半導体層 146 に対応する領域に開口を有する二酸化珪素薄膜 M3 を形成し、当該二酸化珪素薄膜 M3 を介してイオン打ち込み法によりドリフト層 114 の表面に n 型不純物 (例えばリンイオン) を注入することにより、ドリフト層 114 の表面における n 型基準濃度半導体層 146 に対応する領域に n 型不純物を導入する (図 21 (a) 参照。)。

[0115] (2) p-型張り出し拡散領域及び p-型拡散領域並びにフィールド絶縁層の形成

その後、二酸化珪素薄膜 M3 を除去した後、p-型張り出し拡散領域 148 に対応する領域及び p-型拡散領域 150 a に対応する領域に開口を有する二酸化珪素薄膜 M4 を形成し、当該二酸化珪素薄膜 M4 を介してイオン打ち込み法によりドリフト層 114 の表面に p 型不純物 (例えばボロンイオン) を注入することにより、ドリフト層 114 の表面における p-型張り出し拡散領域 148 に対応する領域及び p-型拡散領域 150 a に対応する領域に p 型不

純物を導入する（図 2 1（b）参照。）。

[0116] その後、酸素ガス含有雰囲気下において、半導体基板 1 1 0 の熱処理を行うことにより、n 型基準濃度半導体層 1 4 6、p-型張り出し拡散領域 1 4 8 及び p-型拡散領域 1 5 0 a を形成する（図 2 1（c）参照。）。p-型張り出し拡散領域 1 4 8 及び p-型拡散領域 1 5 0 a の形成深さは $6.0\ \mu\text{m} \sim 8.0\ \mu\text{m}$ とし、p-型張り出し拡散領域 1 4 8 及び p-型拡散領域 1 5 0 a の不純物濃度は $1 \times 10^{17}\text{ cm}^{-3} \sim 3 \times 10^{18}\text{ cm}^{-3}$ とする。なお、このとき、ドリフト層 1 1 4 の表面が熱酸化されて、フィールド絶縁層 1 3 4 が形成される。フィールド絶縁層 1 3 4 の厚さは例えば 450 nm とする。

[0117] その後、実施形態 1 に係る半導体装置の製造方法の場合と同様にして、「ゲート絶縁層及びゲート電極層の形成」、「ベース領域の形成」、「ソース領域の形成」及び「ソース電極層及びゲートパッド用電極層並びにドレイン電極層の形成」の各工程を実施する。これにより、実施形態 1 1 に係る半導体装置 1 0 0 i を製造することができる。

[0118] なお、実施形態 9 に係る半導体装置 1 0 0 h を製造する際には、「n 型基準濃度半導体層の形成」の工程を実施する際に、ゲートパッド部においても、イオン打ち込み法によりドリフト層 1 1 4 の表面に n 型不純物（例えばリンイオン）を注入する。

[0119] また、実施形態 1 1 に係る半導体装置 1 0 0 j を製造する際には、上記した「p-型張り出し拡散領域及び p-型拡散領域並びにフィールド絶縁層の形成」の工程を実施した後、n+型半導体層 1 5 2 を形成する領域にのみ、イオン打ち込み法によりドリフト層 1 1 4 の表面に n 型不純物（例えばリンイオン）を注入することにより、ドリフト層 1 1 4 の表面における n+型半導体層 1 5 2 を形成する領域に n 型不純物を導入する。そして、その後、半導体基板 1 1 0 の熱処理を行うことにより n 型不純物の活性化アニール処理を行って、n+型半導体層 1 5 2 を形成する。

[0120] [実施形態 1 2]

図 2 2 は、実施形態 1 2 に係る半導体装置 1 0 0 k を説明するために示す

図である。図 22 (a) は半導体装置 100k におけるゲートパッド部及び MOSFET 部の断面図であり、図 22 (b) は半導体装置 100k における MOSFET 部、ゲートフィンガー部及びガードリング部の断面図である。

[0121] 実施形態 12 に係る半導体装置 100k は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、 p^+ 型半導体領域の形成工程が実施形態 1 に係る半導体装置 100 の場合と異なる。すなわち、実施形態 12 に係る半導体装置 100k においては、MOSFET 部において p^+ 型張り出し拡散領域 118 の代わりに p^+ 型コンタクト領域 144 が形成され、ゲートパッド部において p^+ 型拡散領域 132a が MOSFET 部を囲んで形成される p^+ 型拡散領域 162 及びガードリング 154 と同一工程で形成されている (図 22 参照。)。

[0122] [実施形態 13～15]

図 23 は、実施形態 13 に係る半導体装置 200 の断面図である。図 24 は、実施形態 14 に係る半導体装置 200a の断面図である。図 25 は、実施形態 15 に係る半導体装置 200b の断面図である。

[0123] 実施形態 13～15 に係る半導体装置 200～200b は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、MOSFET 部がプレーナ構造ではなくトレンチ構造を有する点で実施形態 1 に係る半導体装置 100 の場合と異なる。

[0124] すなわち、実施形態 13～15 に係る半導体装置 200～200b は、図 23～図 25 に示すように、 n^+ 型の低抵抗半導体層 212 と n^- 型のドリフト層 214 とが積層された半導体基板 210 に画定された MOSFET 部及びゲートパッド部を備える半導体装置 200 である。そして、MOSFET 部は、低抵抗半導体層 212 と、低抵抗半導体層 212 上に形成されたドリフト層 214 と、ドリフト層 214 の表面に形成された p 型のベース領域 216 と、ベース領域 216 を開口しドリフト層 214 に達して形成してなる複数のトレンチ 217 と、ベース領域 216 内に配置されるとともに少なく

とも一部をトレンチ 217 の内周面に露出させて形成してなる n^+ 型のソース領域 220 と、トレンチ 217 の内周面に形成してなるゲート絶縁層 222 と、ゲート絶縁層 222 を介してトレンチ 217 の内部に埋め込まれてなるゲート電極層 224 と、ゲート電極層 224 とは層間絶縁膜 226 を介して絶縁された状態でソース領域 220 及びベース領域 216 の表面に接して形成されたソース電極層 228 とを備える。また、ゲートパッド部は、低抵抗半導体層 212 と、低抵抗半導体層 212 上に形成されたドリフト層 214 と、ドリフト層 214 上に、フィールド絶縁層 234 を介してゲートパッド部の全面にわたって形成された導電体層としてのポリシリコン層 236 と、ドリフト層 214 の表面において、ソース電極層 128 と電氣的に接続されている第 2 導電型不純物拡散領域（実施形態 13 においては p 型拡散領域 233a、実施形態 14 及び 15 においては p^+ 型拡散領域 232a）と、第 2 導電型不純物非拡散領域（実施形態 13 においては p 型不純物非拡散領域 233b、実施形態 14 及び 15 においては p 型不純物非拡散領域 232a）が交互に形成されたゲート発振抑制構造（実施形態 13 においてはゲート発振抑制構造 233、実施形態 14 及び 15 においてはゲート発振抑制構造 232）を備える。ゲート電極層 224 とソース領域 220 とはゲート絶縁層 222 により絶縁されている。

- [0125] そして、実施形態 13 に係る半導体装置 200 においては、 p 型拡散領域 233a は、MOSFET 部のベース領域 216 と同一工程で、かつ、MOSFET 部のベース領域 216 と連続するように形成されたものである（図 23 参照。）。また、実施形態 14 に係る半導体装置 200a においては、 p^+ 型拡散領域 232a は、MOSFET 部の p^+ 型張り出し拡散領域 218 と同一工程で、かつ、MOSFET 部の p^+ 型張り出し拡散領域 218 と連続するように形成されたものである（図 24 参照。）。また、実施形態 15 に係る半導体装置 200b においては、 p^+ 型拡散領域 232a は、MOSFET 部を取り囲む位置に配設された、図示しないガードリングと同一工程で形成されたものである（図 25 参照。）。

[0126] [実施形態 16]

図 26 は、実施形態 16 に係る半導体装置 300 の断面図である。

実施形態 16 に係る半導体装置 300 は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、半導体装置がパワー MOSFET ではなく IGBT である点で実施形態 1 に係る半導体装置 100 の場合とは異なる。すなわち、実施形態 16 に係る半導体装置 300 は、図 26 に示すように、IGBT であり、低抵抗半導体層として、 n^+ 型の低抵抗半導体層の代わりに p^+ 型の低抵抗半導体層を備える。

[0127] [実施形態 17]

図 27 は、実施形態 17 に係る半導体装置 100 I を説明するために示す図である。図 27 (a) は半導体装置 100 I の平面図であり、図 27 (b) は図 27 (a) の A1-A1 断面図である。図 27 (b) 中、符号 130 はドレイン電極層を示す。なお、図 27 (a) においては、 p^+ 型張り出し拡散領域 118、 p^+ 型拡散領域 132 a、 p 型不純物非拡散領域 132 b、ゲート発振抑制構造 132、及びソース電極層 128 の輪郭線（一点鎖線）のみを示す。また、図 27 (a) においては p^+ 型張り出し拡散領域 118 及び p^+ 型拡散領域 132 a をドット模様で示し、図 27 (b) においては p^+ 型張り出し拡散領域 118 及び p^+ 型拡散領域 132 a を白抜き模様で示す。

[0128] 実施形態 17 に係る半導体装置 100 I は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、ゲートパッド用電極層 138 とゲート電極層 124 とを連結するゲートフィンガー部においても複数の p^+ 型拡散領域が互いに離隔して形成されている点で実施形態 1 に係る半導体装置 100 の場合とは異なる。すなわち、実施形態 17 に係る半導体装置 100 I は、図 27 に示すように、ゲートパッド用電極層 138 とゲート電極層 124 とを連結するゲートフィンガー部においてもドリフト層 114 の表面において互いに離隔して複数の p^+ 型拡散領域 132 a が形成されている。そして、ゲートフィンガー部におけるドリフト層 114 の表面にはフィールド絶縁層 134 が形成され、当該フィールド絶縁層 134 上には、ゲートパッド

用電極層 138 直下のポリシリコン層 136 から延在するようにポリシリコン層 136 が形成されている。複数の p^+ 型拡散領域 132 a は、図 27 (a) に示すように、ゲートフィンガー部の長辺に沿ってストライプ状に形成されていてもよいし、ゲートフィンガー部の短辺に沿ってストライプ状に形成されていてもよいし、ゲートフィンガー部の領域において格子状に形成されていてもよいし、ゲートフィンガー部の領域においてアイランド状に形成されていてもよい。

[0129] [実施形態 2～17 の効果]

以上のように、実施形態 2～17 に係る半導体装置 100 a～300 は、一部の構成（実施形態 2～5：ゲート発振抑制構造 132 の平面構造、実施形態 6～7：ゲートパッド部における電極積層構造、実施形態 8：第 2 導電型不純物拡散領域の形成工程、実施形態 9～11： p^+ 型拡散領域の代わりに p^- 型拡散領域を備える点、実施形態 12：第 2 導電型不純物拡散領域の形成工程、実施形態 13～15：MOSFET 部がトレンチ構造を有する点、実施形態 16：半導体装置が IGBT である点、実施形態 17：ゲートフィンガー部においても複数の p^+ 型拡散領域が互いに離隔して形成されている点）が実施形態 1 に係る半導体装置 100 の場合と異なるが、ゲートパッド部が、ドリフト層上にフィールド絶縁層を介してゲートパッド部の全面にわたって形成された導電体層としてのポリシリコン層、及び、ドリフト層の表面において、第 1 電極層（ソース電極層又はエミッタ電極層）と電氣的に接続されている第 2 導電型不純物拡散領域と、第 2 導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造を備えることから、ゲート・ドレイン間容量 C_{rss} が、従来の半導体装置のゲート・ドレイン間容量 C_{rss} よりも大きくなる。また、ドリフト層の表面において隣接する第 2 導電型不純物拡散領域に挟まれた狭い領域（第 2 導電型不純物非拡散領域）が電流経路となることから、また、当該電流経路は、スイッチオフ時において、第 2 導電型不純物拡散領域からドリフト層側に空乏層が広がる結果、より一層狭く、かつ、より一層長くなり、そして最終的には空乏化することから、上述した

狭い領域の部分に比較的大きな抵抗値を有する抵抗が形成されることとなる。その結果、実施形態 1 に係る半導体装置 100 の場合と同様に、ゲート・ドレイン間に大きな容量と抵抗を作り込むことができることから、ゲート・ドレイン間に容量及び抵抗を外付けすることなく、スイッチオフ時におけるゲート発振現象を抑止することが可能となる。

[0130] なお、上記した他、実施形態 9～11 に係る半導体装置 100h～100j 及び実施形態 17 に係る半導体装置 100l は、以下の効果を有する。

[0131] すなわち、実施形態 9～11 に係る半導体装置 100h～100j によれば、隣接するベース領域 116 の間にベース領域 116 よりも浅く形成され、かつ、ドリフト層 114 よりも高濃度、かつ、ソース領域 120 よりも低濃度の n 型不純物を含有する n 型基準濃度半導体層 146 を MOSFET 部に備えることから、従来よりもベース領域の間隔を狭くして半導体装置を微細化することが可能となる。また、ベース領域の間隔を従来よりも狭くしたとしても半導体装置のオン抵抗を増加させることもない。このため、実施形態 9～11 に係る半導体装置 100h～100j は、半導体装置のオン抵抗を増加させることなく半導体装置を微細化することが可能で、かつ、良好な耐圧特性を有する半導体装置となる。

[0132] また、実施形態 11 に係る半導体装置 100j によれば、n 型基準濃度半導体層 146 の表面に n 型基準濃度半導体層 146 よりも浅く形成され、かつ、n 型基準濃度半導体層 146 よりも高濃度、かつソース領域 120 よりも低濃度の n 型不純物を含有する n⁺型半導体層 152 を MOSFET 部に備えることから、半導体装置のオン抵抗を低減することが可能で、かつ、スイッチオフ時におけるゲート発振現象をより一層効果的に抑止することが可能となる。

[0133] また、実施形態 10 に係る半導体装置 100i によれば、ゲートパッド部には n 型基準濃度半導体層 146 が形成されていないことから、隣接する p 型拡散領域 150a に挟まれた狭い領域（p 型不純物非拡散領域 150b）の抵抗の抵抗値を低くしすぎることもない。

[0134] また、実施形態 17 に係る半導体装置 100I によれば、ゲートパッド用電極層 138 とゲート電極層 124 とを連結するゲートフィンガー部においても、ドリフト層 114 上にフィールド絶縁層 134 を介して導電体層としてのポリシリコン層 136、及び、ドリフト層 114 の表面において互いに離隔して形成された複数の p^+ 型拡散領域 132a を備えることから、ゲート・ドレイン間容量 C_{rss} が、実施形態 1 に係る半導体装置 100 のゲート・ドレイン間容量 C_{rss} よりもより一層大きくなるという効果が得られる。

[0135] [試験例]

なお、実施形態 1～17 に係る半導体装置 100～300 を構成するにあたっては、以下の試験例 1 及び 2 の結果を参考にした。

[0136] [試験例 1]

試験例 1 は、本発明の半導体装置が、ゲート・ドレイン間に大きな容量を有することを明らかにするための試験例である。

図 28 は、試験例 1 及び 2 に用いる半導体装置 100i、100C の断面図である。図 29 は、試験例 1 の評価結果を説明するために示す図である。図 29 (a) は半導体装置 100i の等価回路を示す図であり、図 29 (a) は半導体装置 100C の等価回路を示す図であり、図 29 (c) は半導体装置 100i 及び半導体装置 100C の測定結果を示す図である。なお、図 28 に示す半導体装置 100i、100C は、図 2 に示す半導体装置 100 又は図 3 に示す半導体装置 100A とは若干構造が異なるが、理解を容易にするために、対応する抵抗及び容量を同じ符号 (C_0 , C_1 , C_2 , C_3 , R_0 , R_1 , R_2 , R_3) で表すものとする。

[0137] 1. 半導体装置の構成条件

(1) 実施例に係る半導体装置

実施形態 10 に係る半導体装置 100i と同様の構成の半導体装置をそのまま実施例に係る半導体装置 100i とした。

[0138] (2) 比較例に係る半導体装置

実施形態 10 に係る半導体装置 100 i とほぼ同様の構成を有するが、ゲートパッド部においては、ドリフト層 114 の表面において、p-型拡散領域 150 a と、p 型不純物非拡散領域 150 b とが交互に形成されたゲート発振抑制構造 150 に代えてドリフト層 114 の表面においてゲートパッド部の全面にわたって形成されたウェル状の p-型拡散領域 160 を備える半導体装置を比較例 3 に係る半導体装置 100 C とした。

[0139] 2. 試験の方法

試験は、上記した実施例に係る半導体装置 100 i 及び比較例 3 に係る半導体装置 100 C について、容量測定装置を用いて、ドレイン・ソース間電圧 V_{DS} を変化させながらゲート・ドレイン間容量 C_{rss} を測定することにより行った。

[0140] 3. 試験の結果

測定結果を図 29 (c) に示す。その結果、図 29 (c) から分かるように、本発明の半導体装置（実施例に係る半導体装置 100 i）が従来の半導体装置（比較例 3 に係る半導体装置 100 C）よりも大きなゲート・ドレイン間容量 C_{rss} を有することが明らかとなった。

[0141] [試験例 2]

試験例 2 は、本発明の半導体装置が、従来の半導体装置よりもスイッチオフ時におけるゲート発振現象が抑制されていることを明らかにするための試験例である。

[0142] 1. 半導体装置の構成条件

(1) 実施例に係る半導体装置

試験例 1 で用いた「実施例に係る半導体装置 100 i」を試験例 2 においてもそのまま実施例に係る半導体装置 100 i として用いた。

[0143] (2) 比較例に係る半導体装置

試験例 2 で用いた「比較例 3 に係る半導体装置 100 C」を試験例 2 においてもそのまま比較例 3 に係る半導体装置 100 C として用いた。

[0144] 2. 試験の方法

図30は、試験例2における評価方法及び評価結果を説明するために示す図である。図30(a)は試験例2に用いる測定系を示す図であり、図30(b)は実施例に係る半導体装置100iにおけるスイッチオフ時における応答波形を示す図であり、図30(c)は比較例3に係る半導体装置100Cにおけるスイッチオフ時における応答波形を示す図である。

[0145] 試験は、図30(a)に示した測定系を用いて、スイッチオフ時のゲート・ソース間電圧 V_{GS} 及びドレイン電流 I_D を測定することにより行った。

[0146] 3. 試験の結果

試験の結果を図30(b)及び図30(c)に示す。その結果、図30(b)及び図30(c)からも分かるように、本発明の半導体装置（実施例に係る半導体装置100i）が、従来第3の半導体装置900（比較例3に係る半導体装置100C）においてよりもスイッチオフ時におけるゲート発振現象が抑制されていることが明らかになった。

[0147] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0148] (1) 上記各実施形態においては、n型を第1導電型としp型を第2導電型として本発明を説明したが、本発明はこれに限定されるものではない。例えば、p型を第1導電型としn型を第2導電型としても本発明を適用可能である。

[0149] (2) 本発明は、導電体層（ポリシリコン層136）が、ゲートフィンガー部を介してゲート電極層124と電氣的に接続されており、かつ、ゲートフィンガー部を介さずにゲート電極層124と直接接続されている箇所を有しないものであれば、図2(a)に示すようにレイアウトされたものに限定されるものではない。図31は、変形例に係る半導体装置100mの平面図である。図31においては、図2(a)の場合と同様に、ポリシリコン層136及びソース電極層128の輪郭線（一点鎖線）のみを示す。導電体層（ポ

リシリコン層136)は、例えば、図31に示すようにレイアウトされたものであってもよい。

符号の説明

[0150] 100, 100A, 100B, 100C, 100a, 100b, 100c, 100d, 100e, 100f, 100g, 100h, 100i, 100j, 100k, 100l, 100m, 200, 200a, 200b, 300, 800, 900…半導体装置、112, 212, 312…低抵抗半導体層、114, 214, 314…ドリフト層、116, 216, 316…ベース領域、118, 218, 318…p⁺型張り出し拡散領域、120, 220…ソース領域、122, 222, 322…ゲート絶縁層、124, 224, 324…ゲート電極層、126, 226, 326…層間絶縁層、127…金属層、128, 228, 328…ソース電極層、130, 230, 320…ドレイン電極層、132, 133, 150, 232, 233, 332…ゲート発振抑制構造、132a, 158, 162, 232a, 332a…p⁺型拡散領域、132b, 133b, 150b, 232b, 233b, 332b…p型不純物非拡散領域、133a, 163, 233a…p型拡散領域、134, 234, 334…フィールド絶縁層、136, 137, 236, 336…ポリシリコン層、138, 238, 338…ゲートパッド用電極層、140, 240, 340…スルーホール、141…コンタクトホール、142…ゲートフィンガー用配線層、144…コンタクト領域、146…n型基準濃度半導体層、148…p⁻型張り出し拡散領域、150a, 160, 164…p⁻型拡散領域、152…n⁺型半導体領域、154…ガードリング、156…チャンネルストッパ、217…トレンチ、320…エミッタ領域、328…エミッタ電極層、330…コレクタ電極層

請求の範囲

[請求項1]

第1導電型又は第2導電型の低抵抗半導体層と第1導電型のドリフト層とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置であって、

前記能動素子部は、

前記低抵抗半導体層と、

前記低抵抗半導体層上に形成された前記ドリフト層と、

前記ドリフト層の表面に形成された第2導電型のベース領域と、

前記ベース領域の表面に形成された第1導電型の高濃度拡散領域と

、
前記高濃度拡散領域と前記ドリフト層とに挟まれた前記ベース領域上においてゲート絶縁層を介して形成されたゲート電極層と、

前記ゲート電極層とは層間絶縁層を介して絶縁された状態で前記高濃度拡散領域及び前記ベース領域の表面に接して形成された第1電極層とを備え、

前記ゲートパッド部は、

前記低抵抗半導体層と、

前記低抵抗半導体層上に形成された前記ドリフト層と、

前記ドリフト層上に、フィールド絶縁層を介して前記ゲートパッド部の全面にわたって形成された導電体層と、

前記ドリフト層の表面において、前記第1電極層と電氣的に接続されている第2導電型不純物拡散領域と、第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造とを備えることを特徴とする半導体装置。

[請求項2]

第1導電型又は第2導電型の低抵抗半導体層と第1導電型のドリフト層とが積層された半導体基板に画定された能動素子部及びゲートパッド部を備える半導体装置であって、

前記能動素子部は、

前記低抵抗半導体層と、
前記低抵抗半導体層上に形成された前記ドリフト層と、
前記ドリフト層の表面に形成された第2導電型のベース領域と、
前記ベース領域を開口し前記ドリフト層に達して形成してなる複数のトレンチと、
前記ベース領域内に配置されるとともに少なくとも一部を前記トレンチの内周面に露出させて形成してなる第1導電型の高濃度拡散領域と、
前記トレンチの内周面に形成してなるゲート絶縁層と、
前記ゲート絶縁層を介して前記トレンチの内部に埋め込まれてなるゲート電極層と、
前記ゲート電極層とは層間絶縁層を介して絶縁された状態で前記高濃度拡散領域及び前記ベース領域の表面に接して形成された第1電極層とを備え、
前記ゲートパッド部は、
前記低抵抗半導体層と、
前記低抵抗半導体層上に形成された前記ドリフト層と、
前記ドリフト層上に、フィールド絶縁層を介して前記ゲートパッド部の全面にわたって形成された導電体層と、
前記ドリフト層の表面において、前記第1電極層と電氣的に接続されている第2導電型不純物拡散領域と、第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造とを備えることを特徴とする半導体装置。

[請求項3] 前記フィールド絶縁層が前記ゲート絶縁層よりも厚いことを特徴とする請求項1又は2に記載の半導体装置。

[請求項4] 前記導電体層は、前記フィールド絶縁層と、前記フィールド絶縁層の上方に形成されたゲートパッド用電極層との間に形成されたポリシリコン層であることを特徴とする請求項1～3のいずれかに記載の半

導体装置。

[請求項5] 前記導電体層は、前記フィールド絶縁層上に形成されたゲートパッド用電極層であることを特徴とする請求項1～3のいずれかに記載の半導体装置。

[請求項6] 前記導電体層は、前記ゲートパッド用電極層と前記ゲート電極層とを連結するゲートフィンガー部を介して前記ゲート電極層と電氣的に接続されており、かつ、前記ゲートフィンガー部を介さずに前記ゲート電極層と直接接続されている箇所を有しないことを特徴とする請求項4又は5に記載の半導体装置。

[請求項7] 前記ゲートパッド部に隣接するセルにおいては、前記ゲートパッド部側の前記高濃度拡散領域が削除された構造を有することを特徴とする請求項1に記載の半導体装置。

[請求項8] 前記ゲートパッド部に隣接するトレンチにおいては、前記ゲートパッド部側の前記高濃度拡散領域が削除された構造を有することを特徴とする請求項2に記載の半導体装置。

[請求項9] 前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の高濃度張り出し拡散領域をさらに備え、

前記第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と同一工程で、かつ、前記高濃度張り出し拡散領域と連続するように形成されたものであることを特徴とする請求項1に記載の半導体装置。

[請求項10] 前記第2導電型不純物拡散領域は、前記ベース領域と同一工程で、かつ、前記ベース領域と連続するように形成されたものであることを特徴とする請求項1に記載の半導体装置。

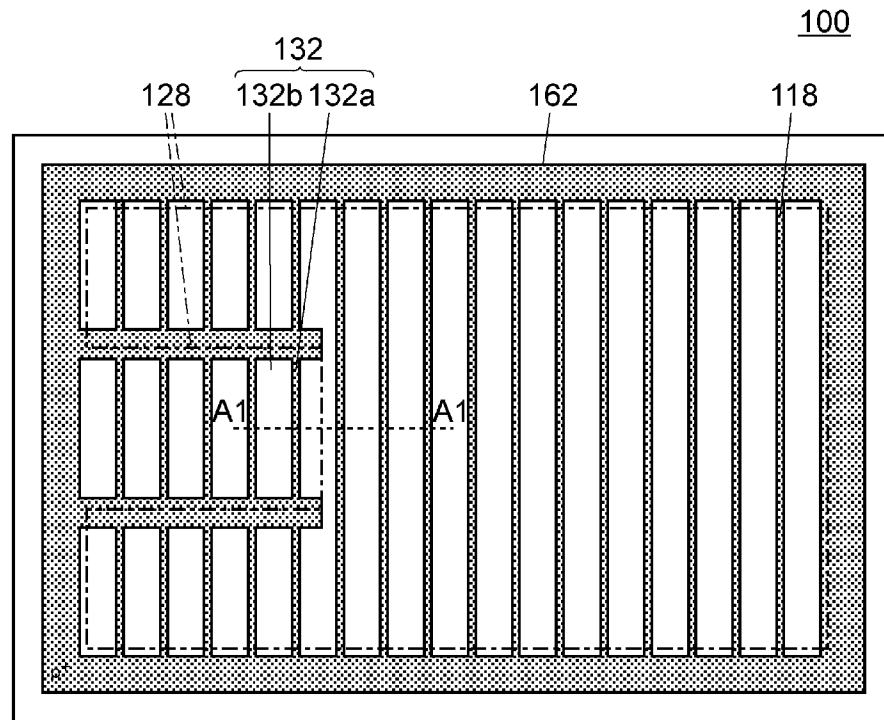
[請求項11] 前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の低濃度張り出し拡散領域をさらに備え、

前記第2導電型不純物拡散領域は、前記低濃度張り出し拡散領域と同一工程で、かつ、前記低濃度張り出し拡散領域と連続するように形成されたものであることを特徴とする請求項1に記載の半導体装置。

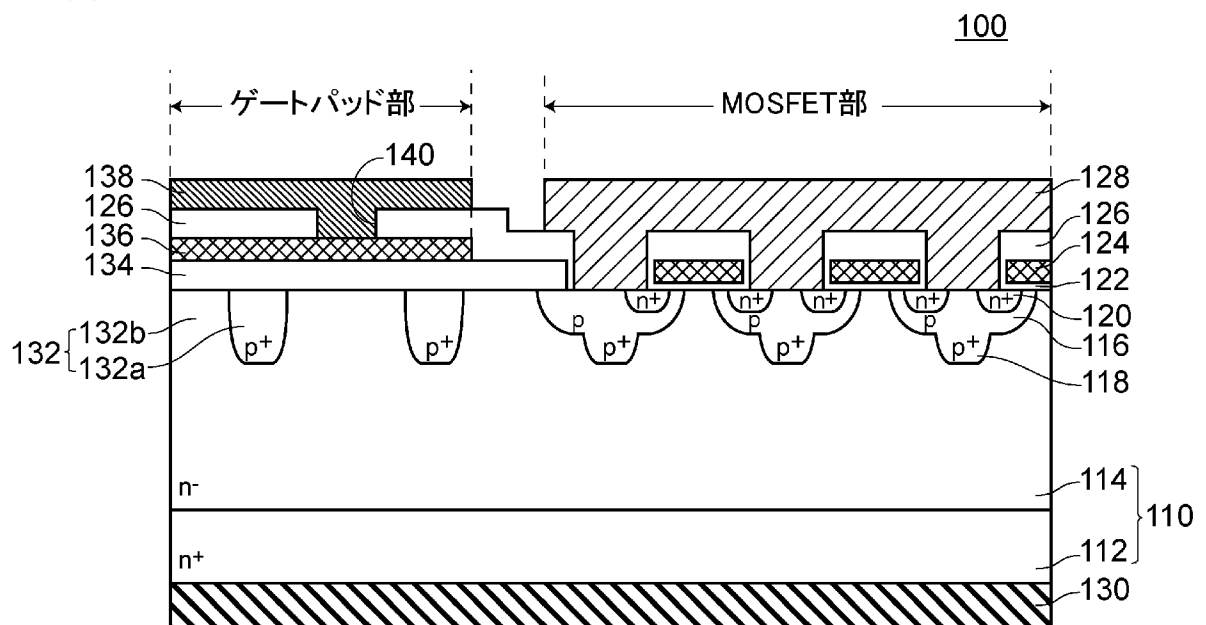
- [請求項12] 前記第2導電型不純物拡散領域は、前記能動素子部を囲んで形成されるガードリングと同一工程で形成されたものであることを特徴とする請求項1に記載の半導体装置。
- [請求項13] 前記第2導電型不純物拡散領域は、前記ベース領域と同一工程で、かつ、前記ベース領域と連続するように形成されたものであることを特徴とする請求項2に記載の半導体装置。
- [請求項14] 前記能動素子部は、前記ベース領域から下方に張り出すように形成された第2導電型の高濃度張り出し拡散領域をさらに備え、
前記第2導電型不純物拡散領域は、前記高濃度張り出し拡散領域と同一工程で、かつ、前記高濃度張り出し拡散領域と連続するように形成されたものであることを特徴とする請求項2に記載の半導体装置。
- [請求項15] 前記ゲートパッド部においては、前記第2導電型不純物非拡散領域がストライプ状に形成されてなることを特徴とする請求項1～14のいずれかに記載の半導体装置。
- [請求項16] 前記ゲートパッド部においては、前記第2導電型不純物非拡散領域がアイランド状に形成されてなることを特徴とする請求項1～14のいずれかに記載の半導体装置。
- [請求項17] 前記第2導電型不純物拡散領域は、内部に第1導電型の半導体領域を有しないことを特徴とする請求項1～16のいずれかに記載の半導体装置。
- [請求項18] 前記ゲートパッド用電極層と前記ゲート電極層とを連結するゲートフィンガー部においても、前記ドリフト層の表面において、前記第1電極層と電氣的に接続されている第2導電型不純物拡散領域と、第2導電型不純物非拡散領域とが交互に形成されたゲート発振抑制構造を備えることを特徴とする請求項1～17のいずれかに記載の半導体装置。

[図1]

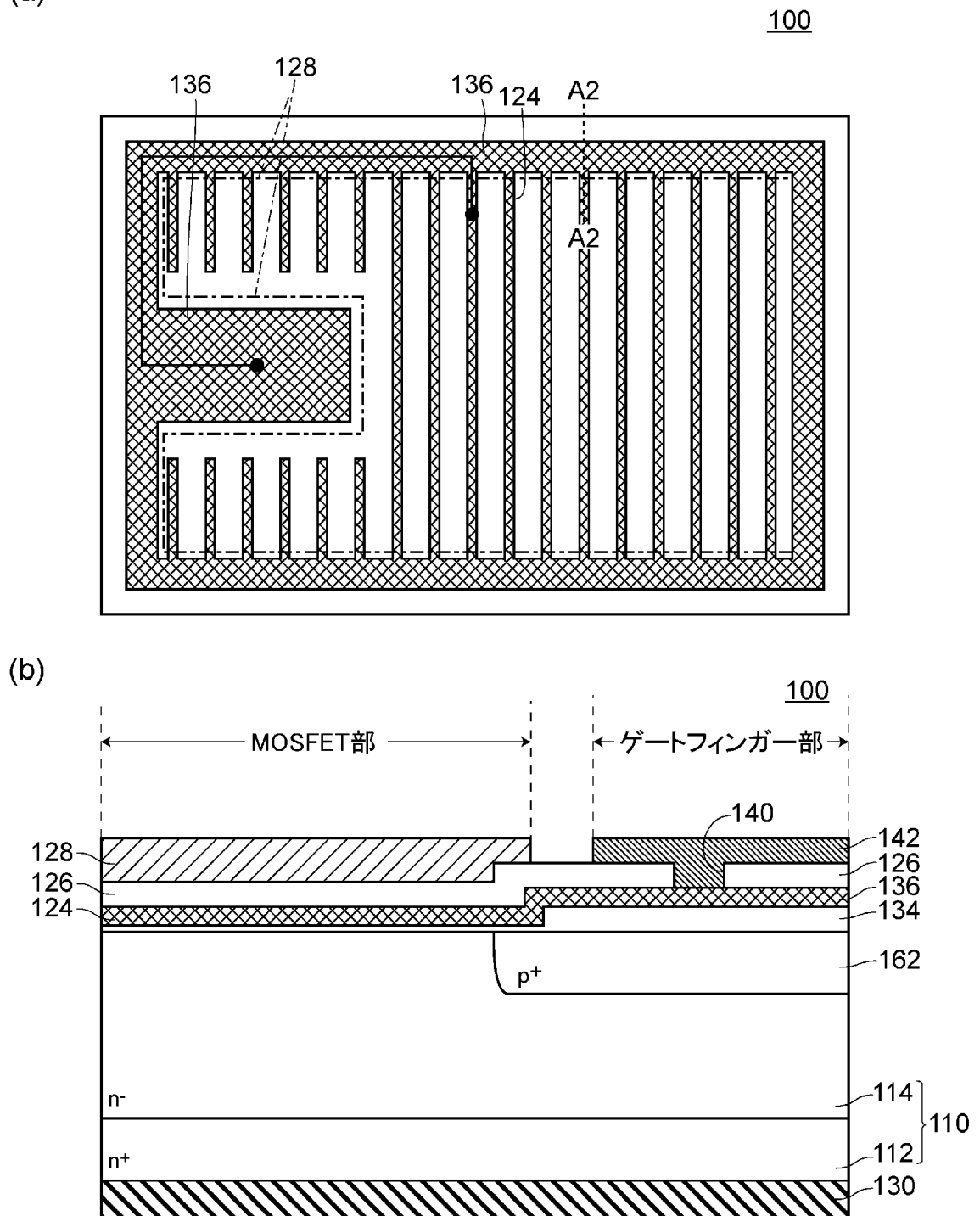
(a)



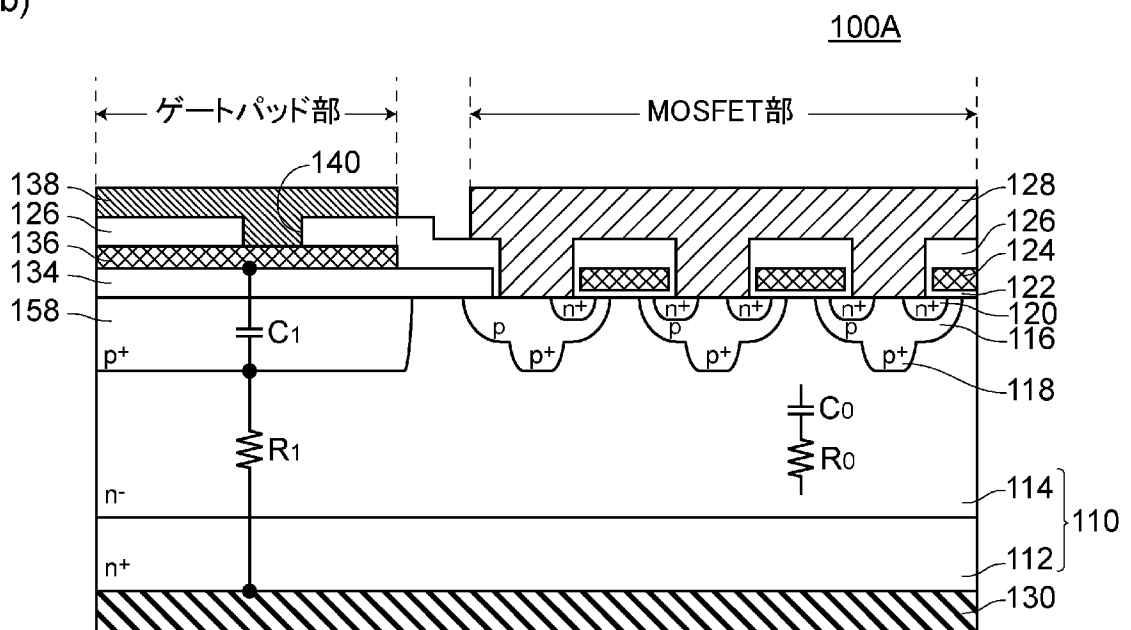
(b)



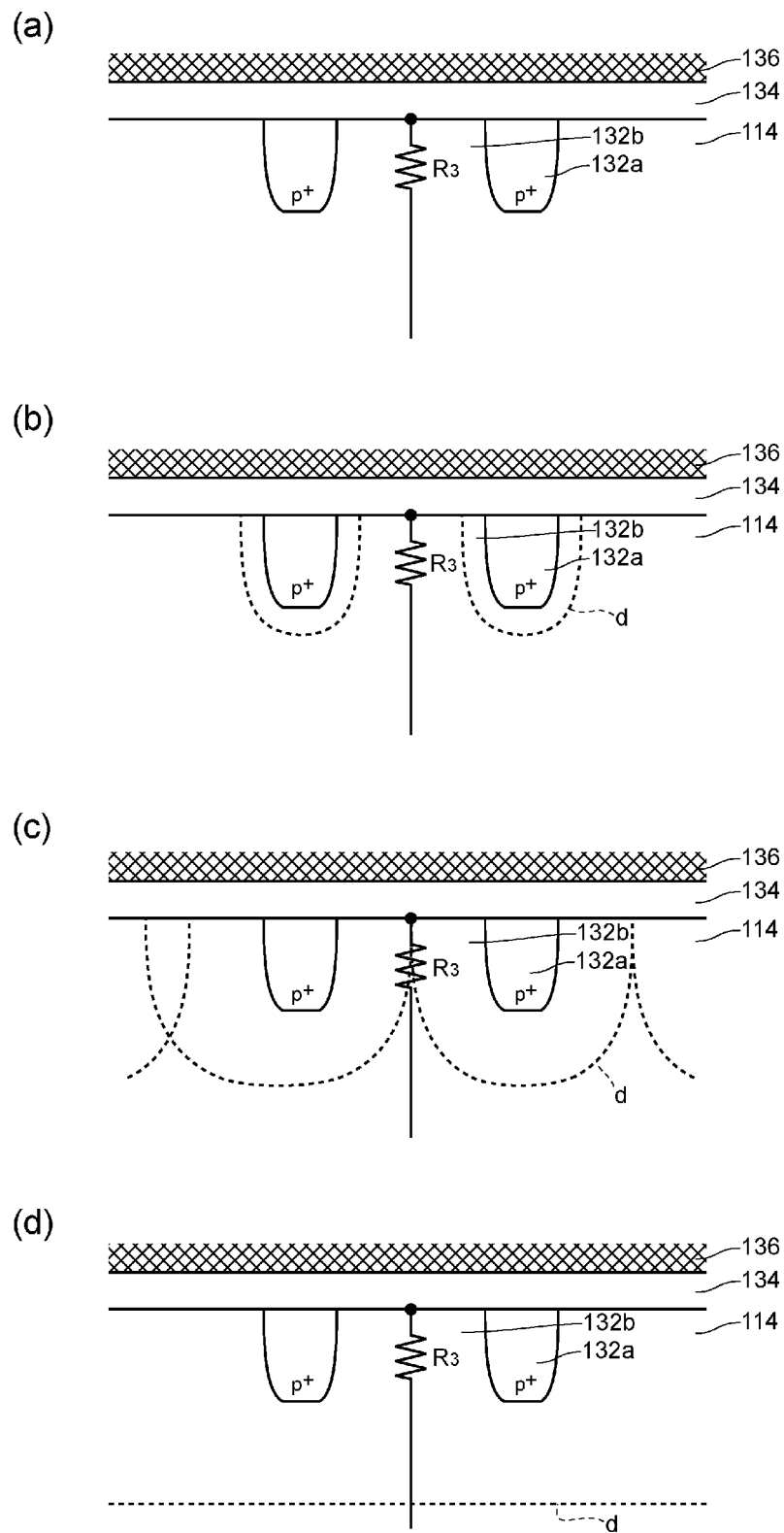
(a)



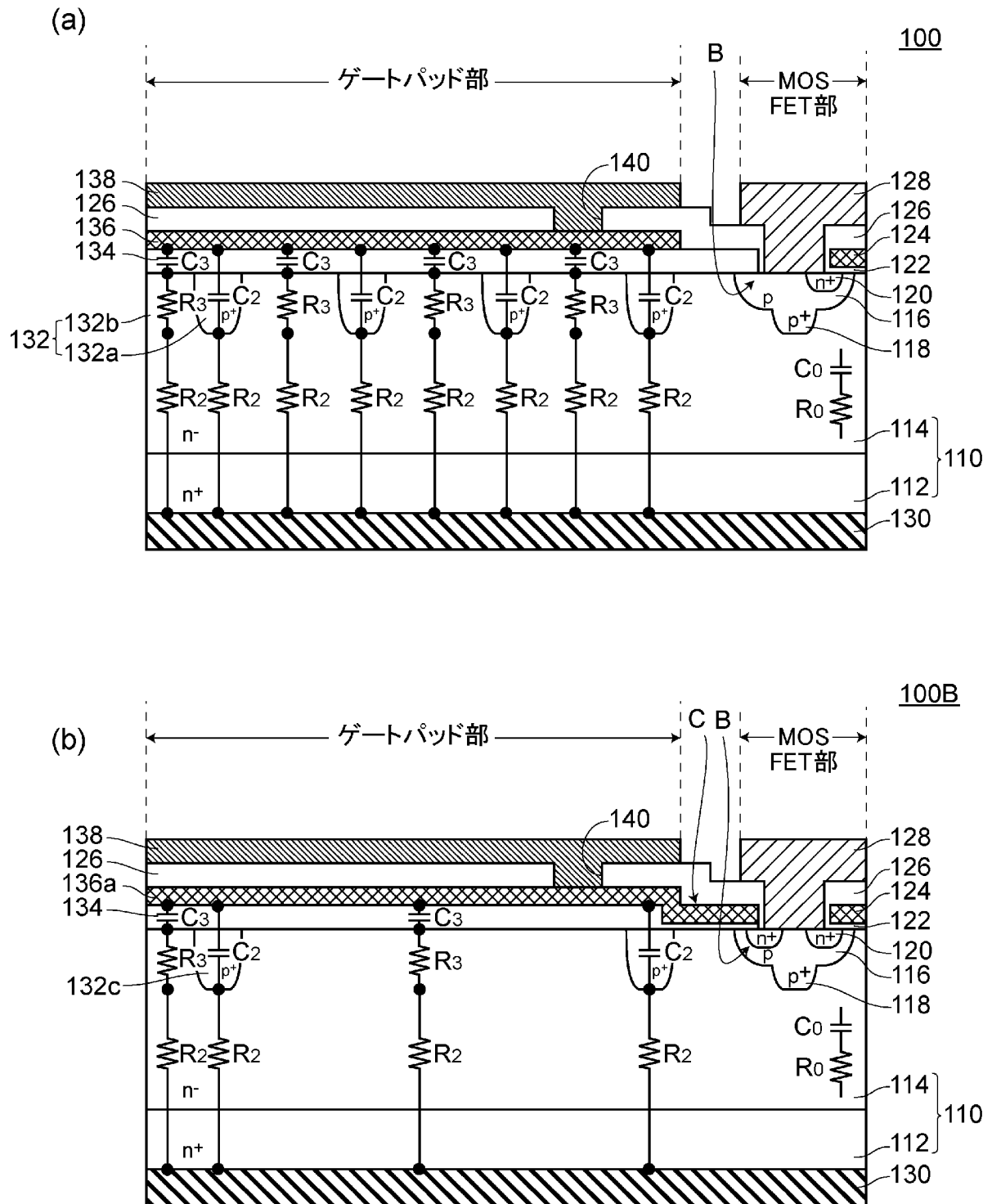
(a)



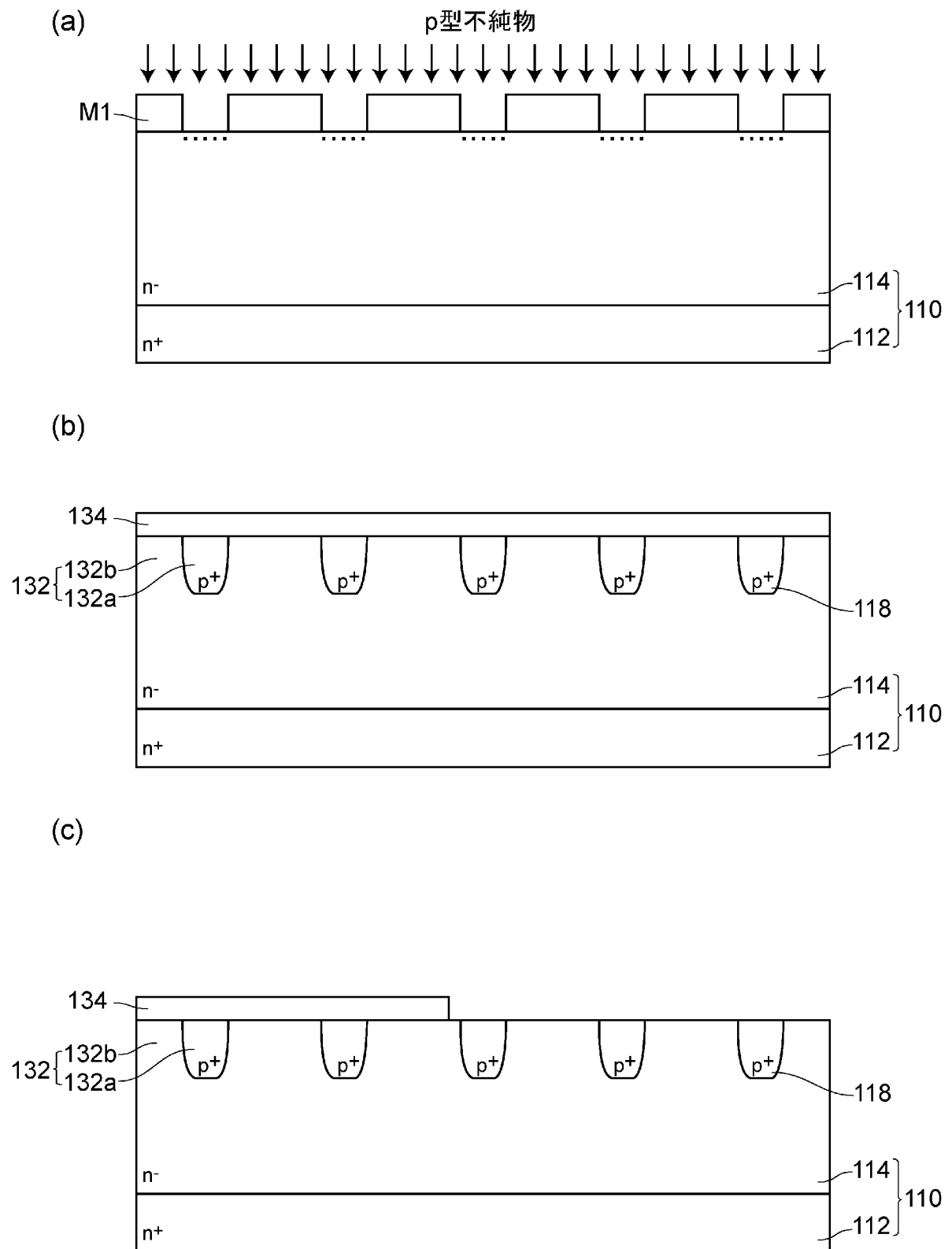
[図4]



[図5]

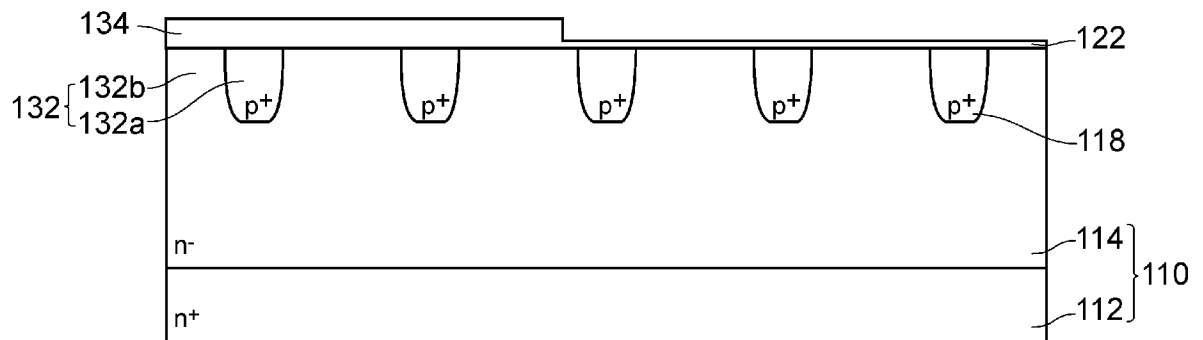


[図6]

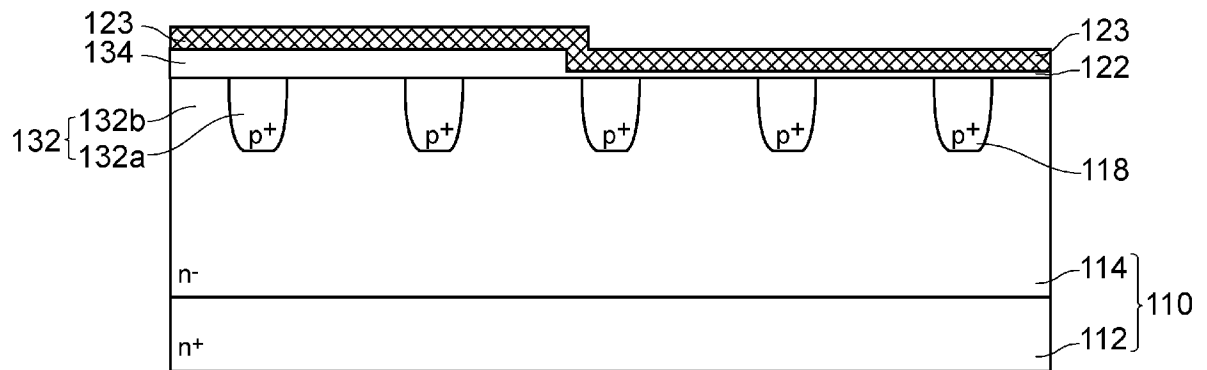


[図7]

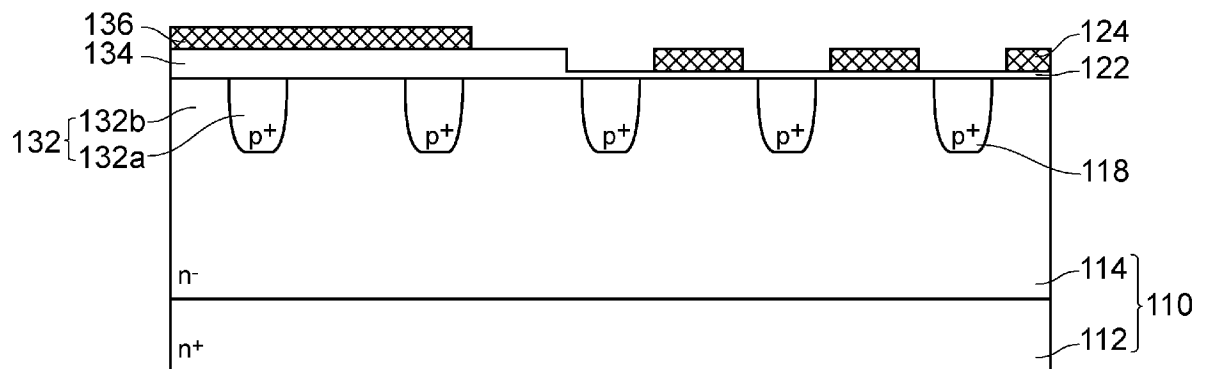
(a)



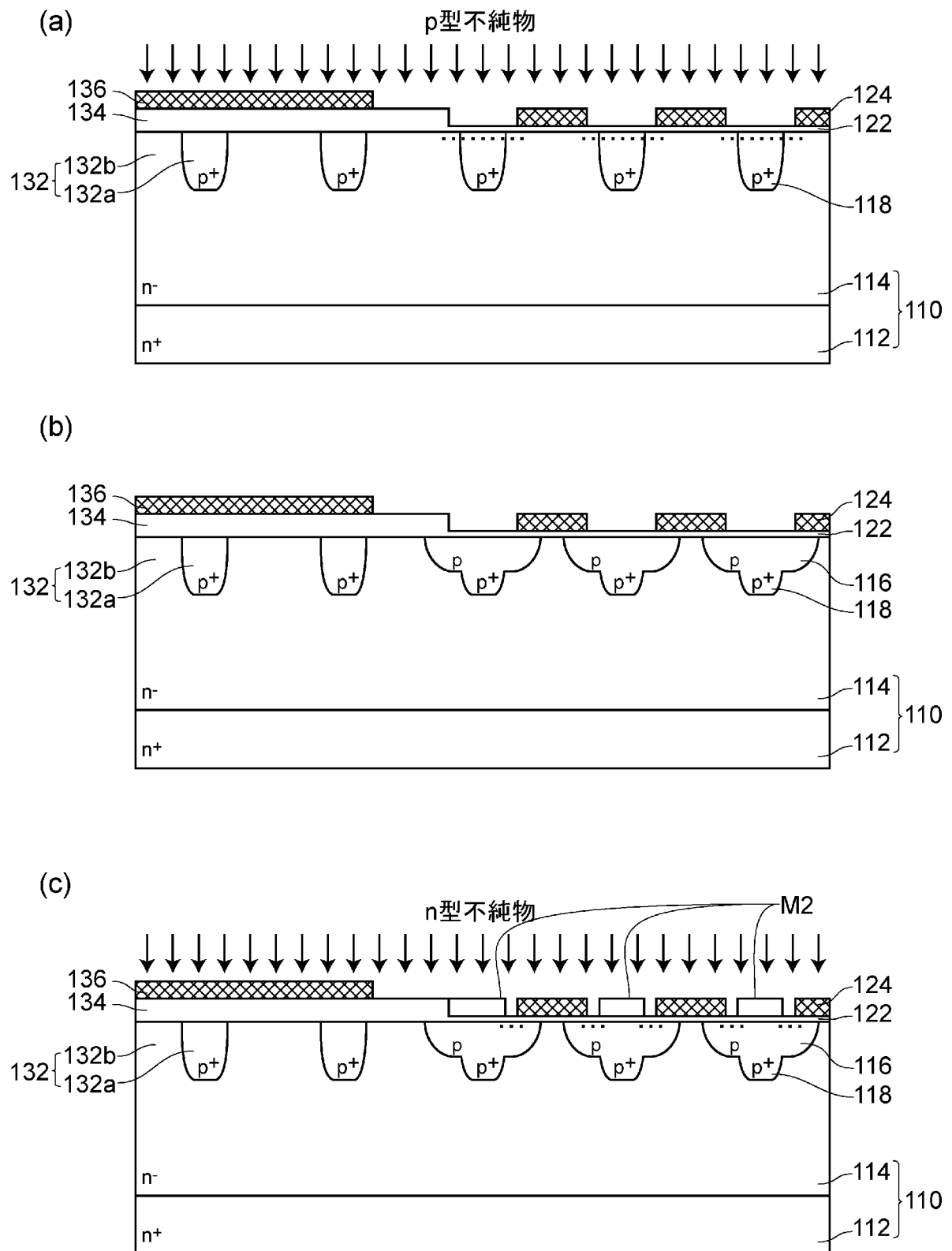
(b)



(c)

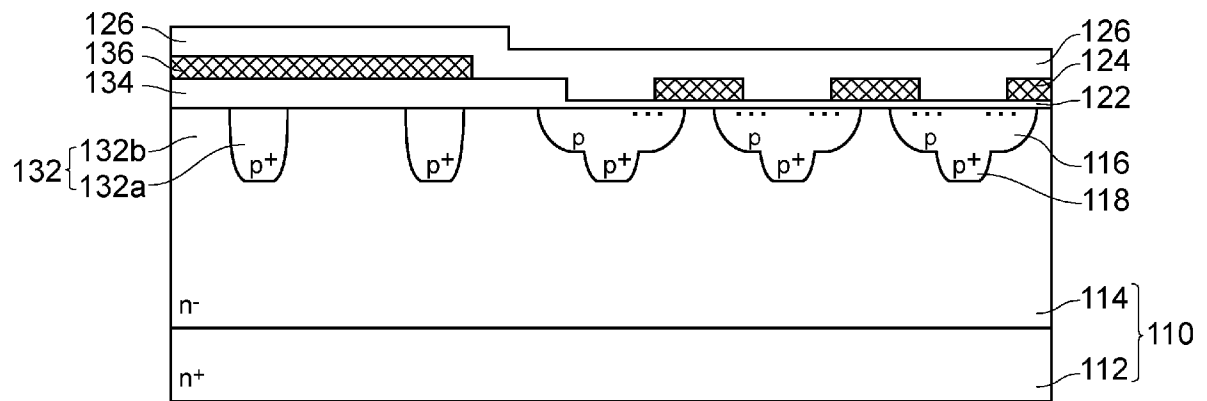


[図8]

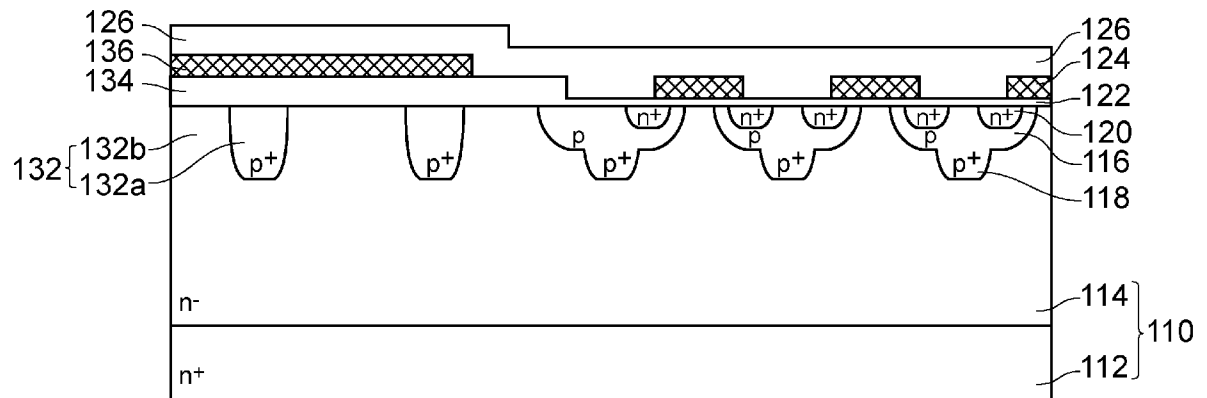


[図9]

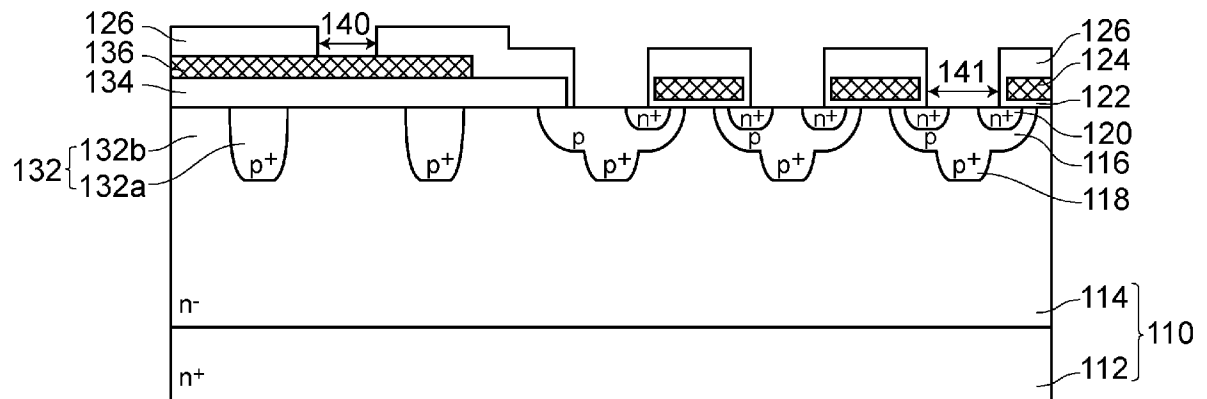
(a)



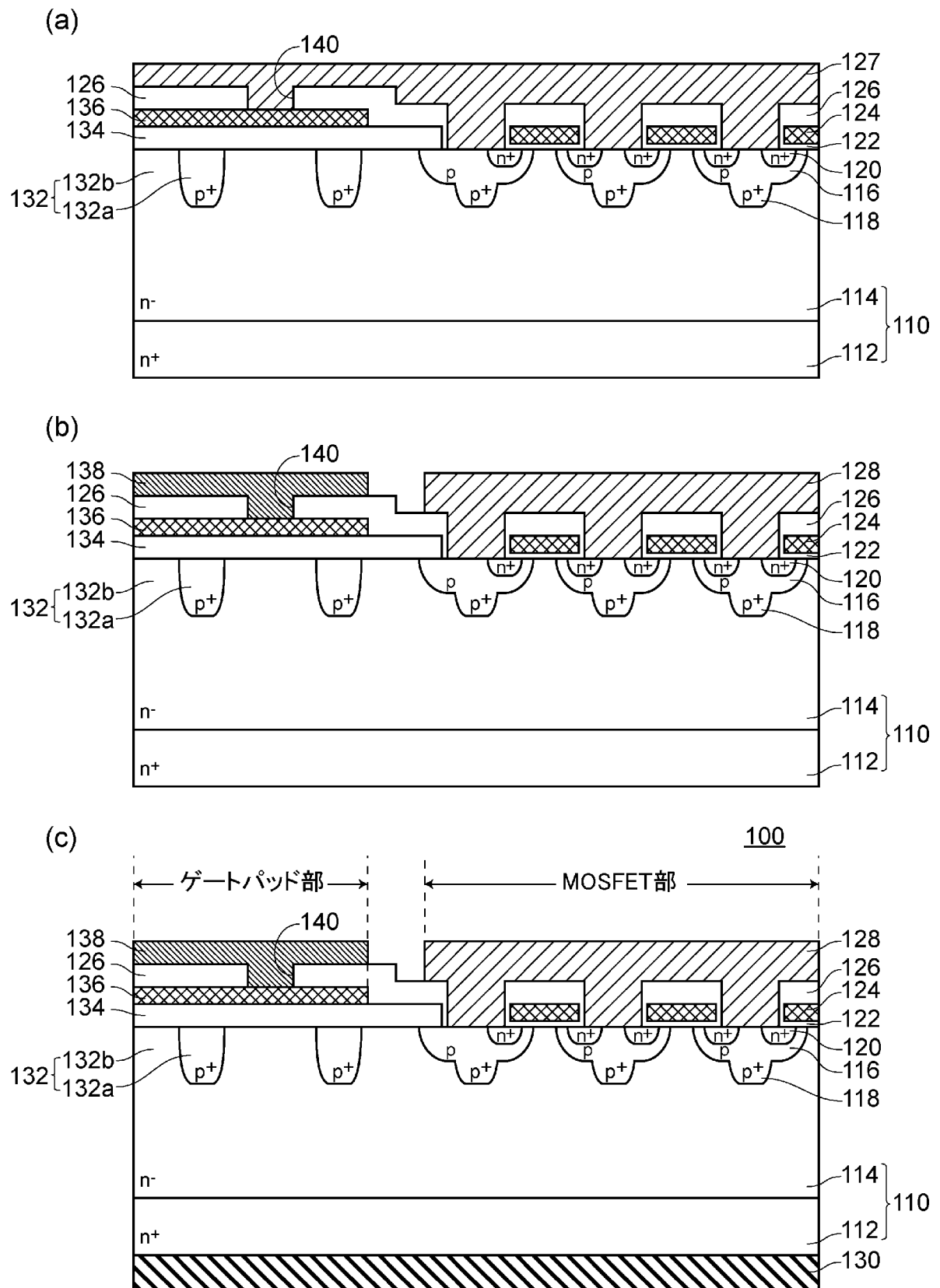
(b)



(c)

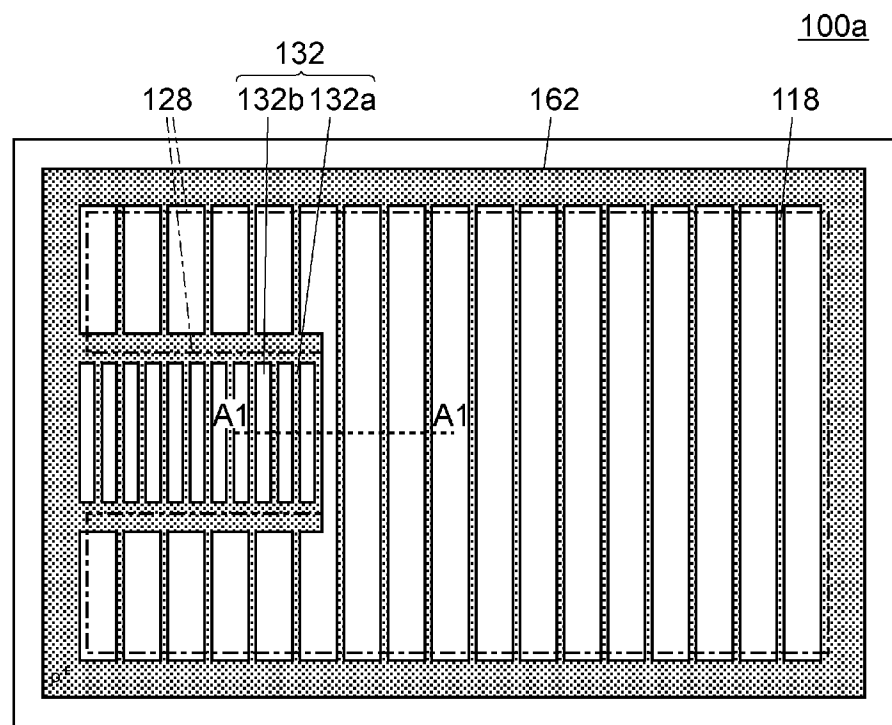


[図10]

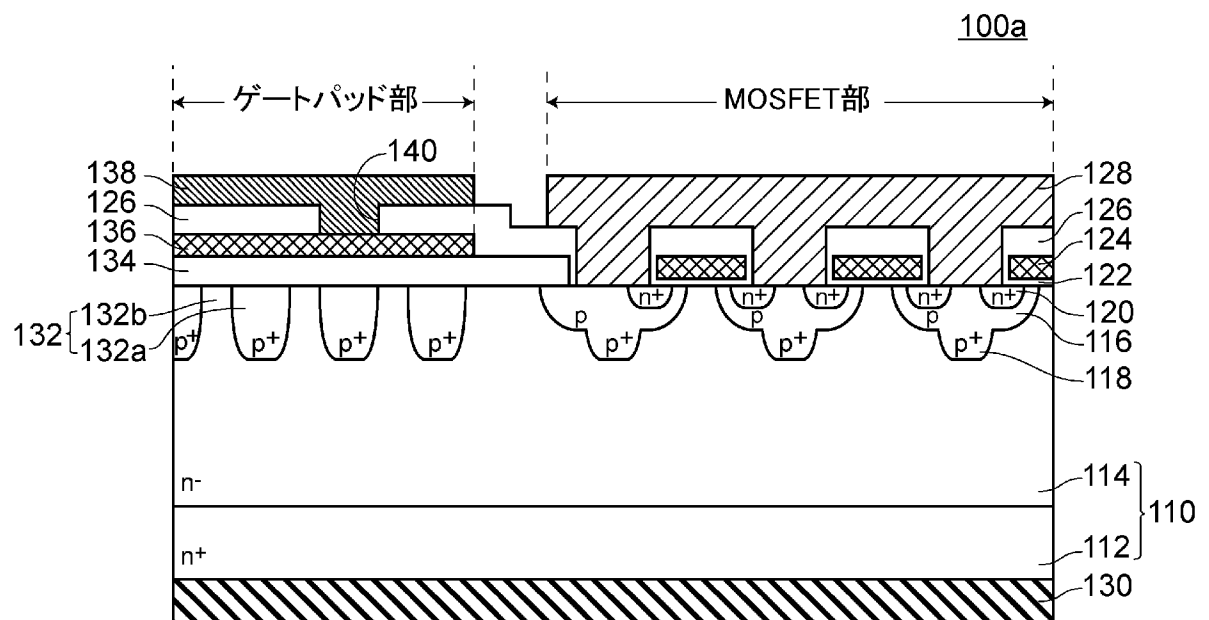


[図11]

(a)

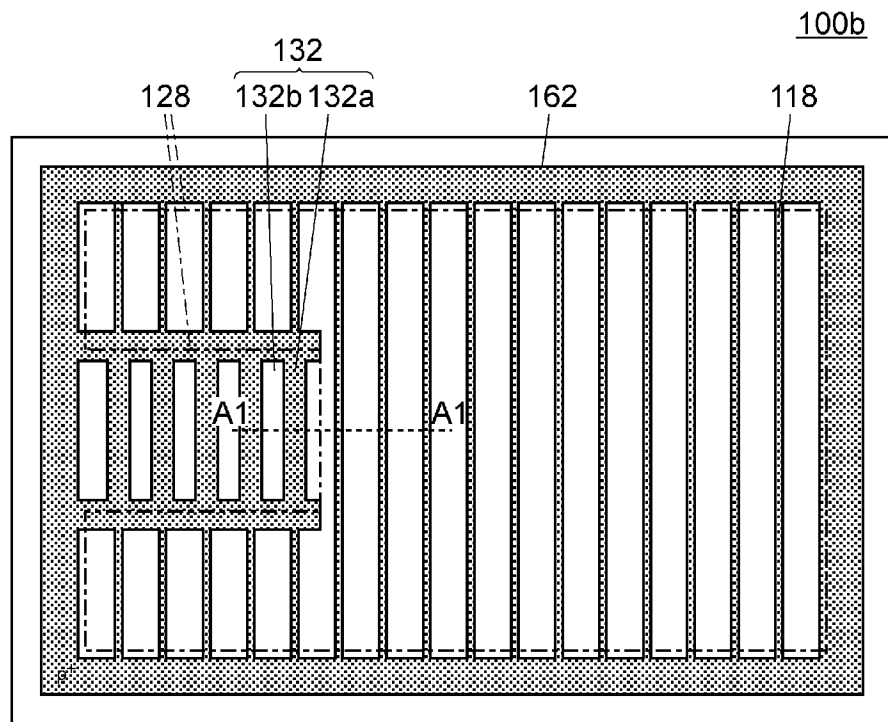


(b)

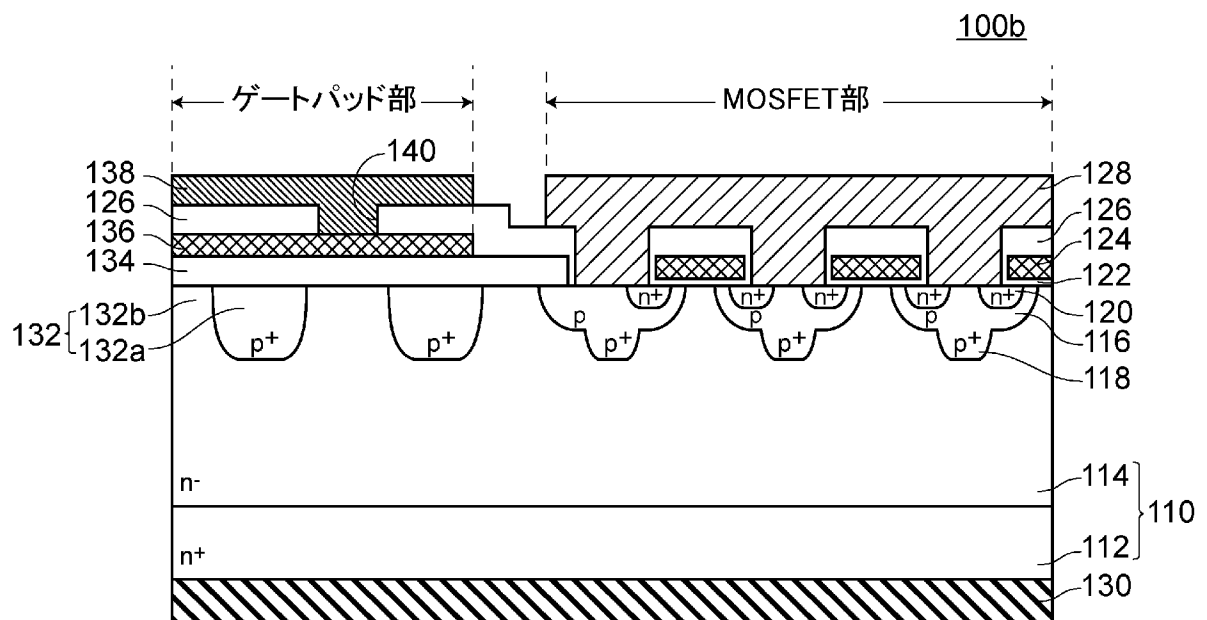


[図12]

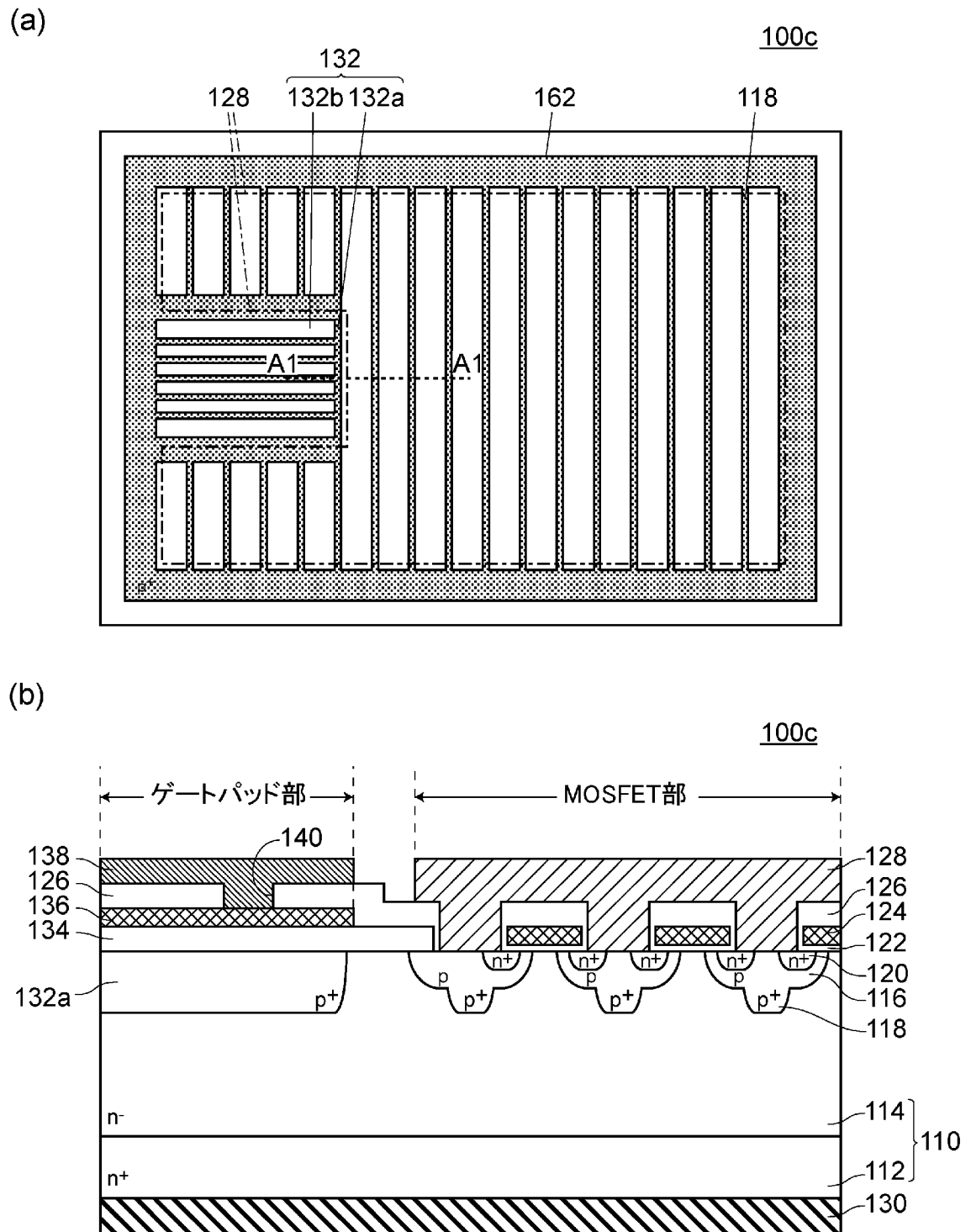
(a)



(b)

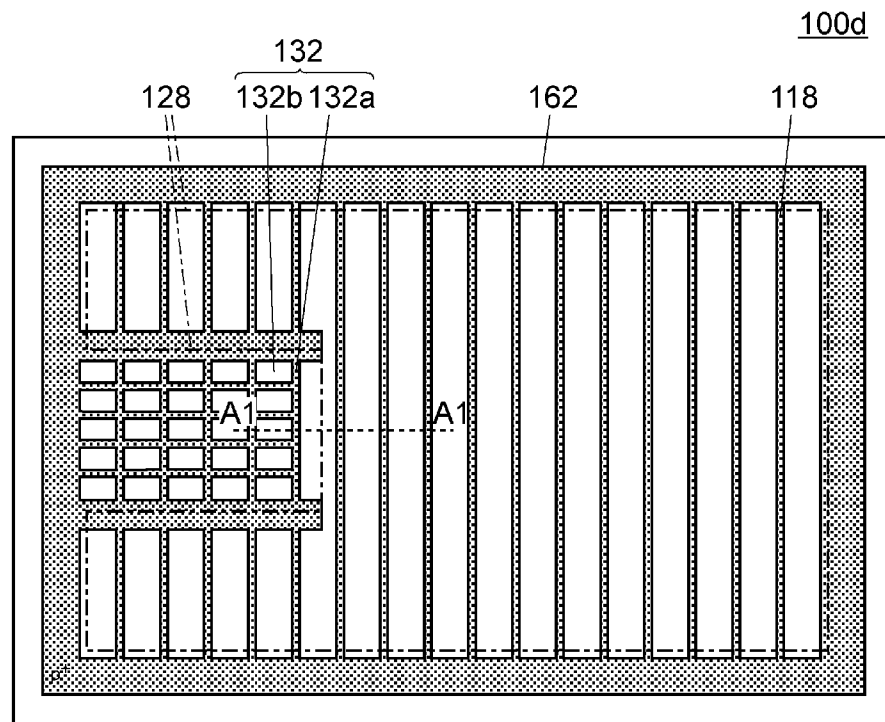


[図13]

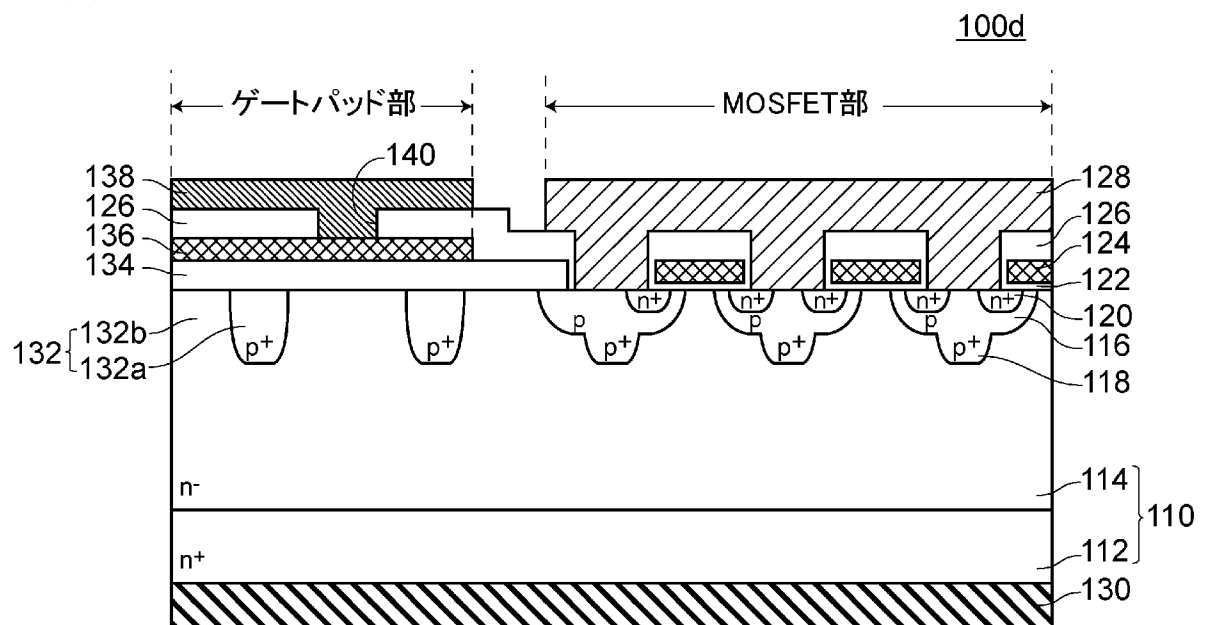


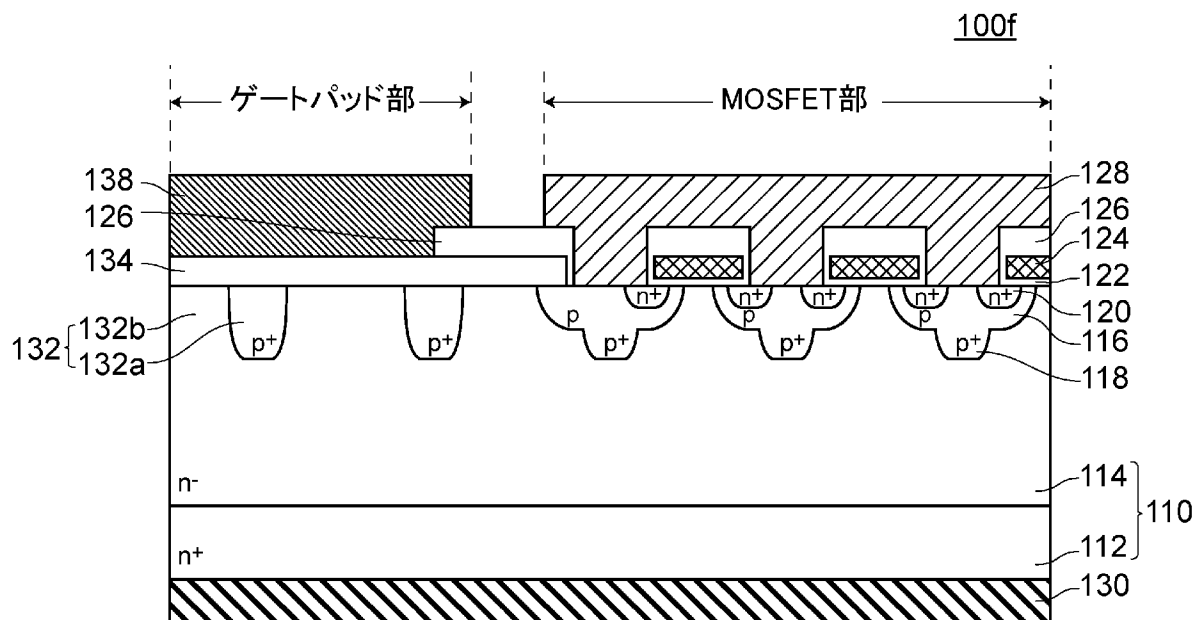
[図14]

(a)



(b)





(a)

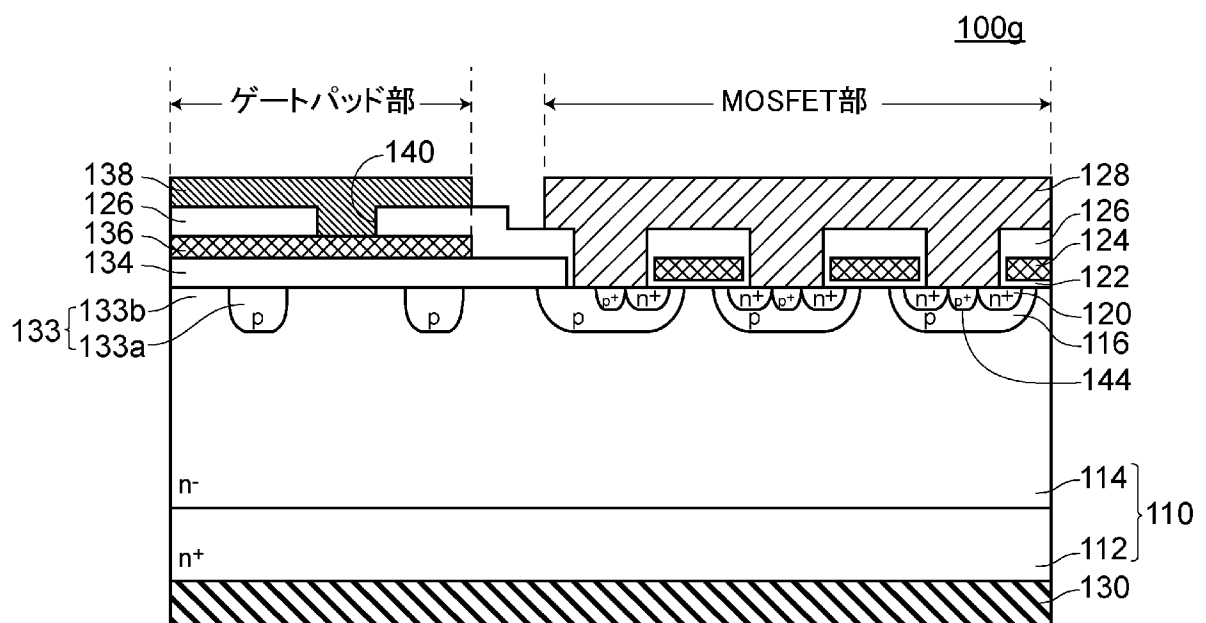
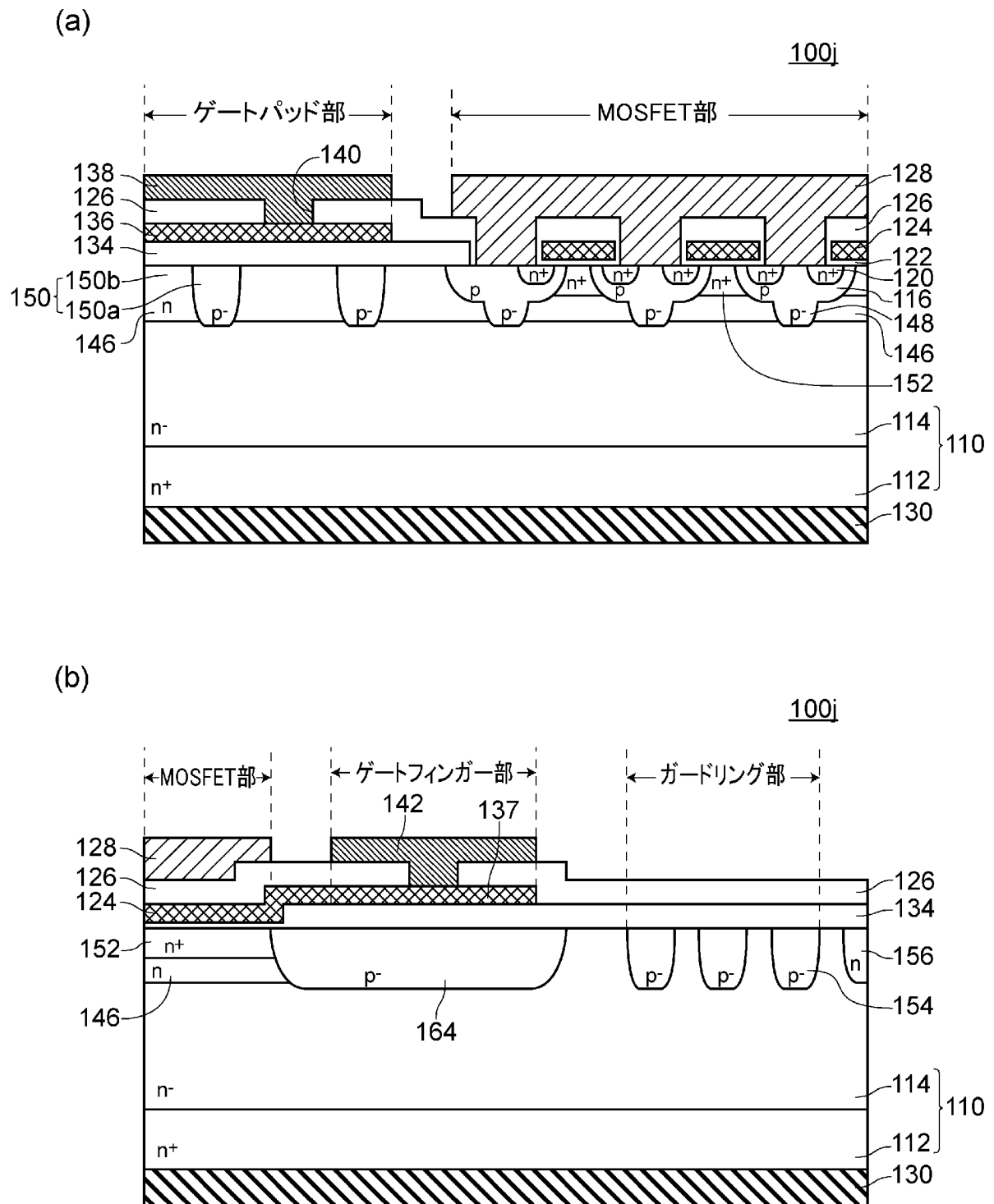


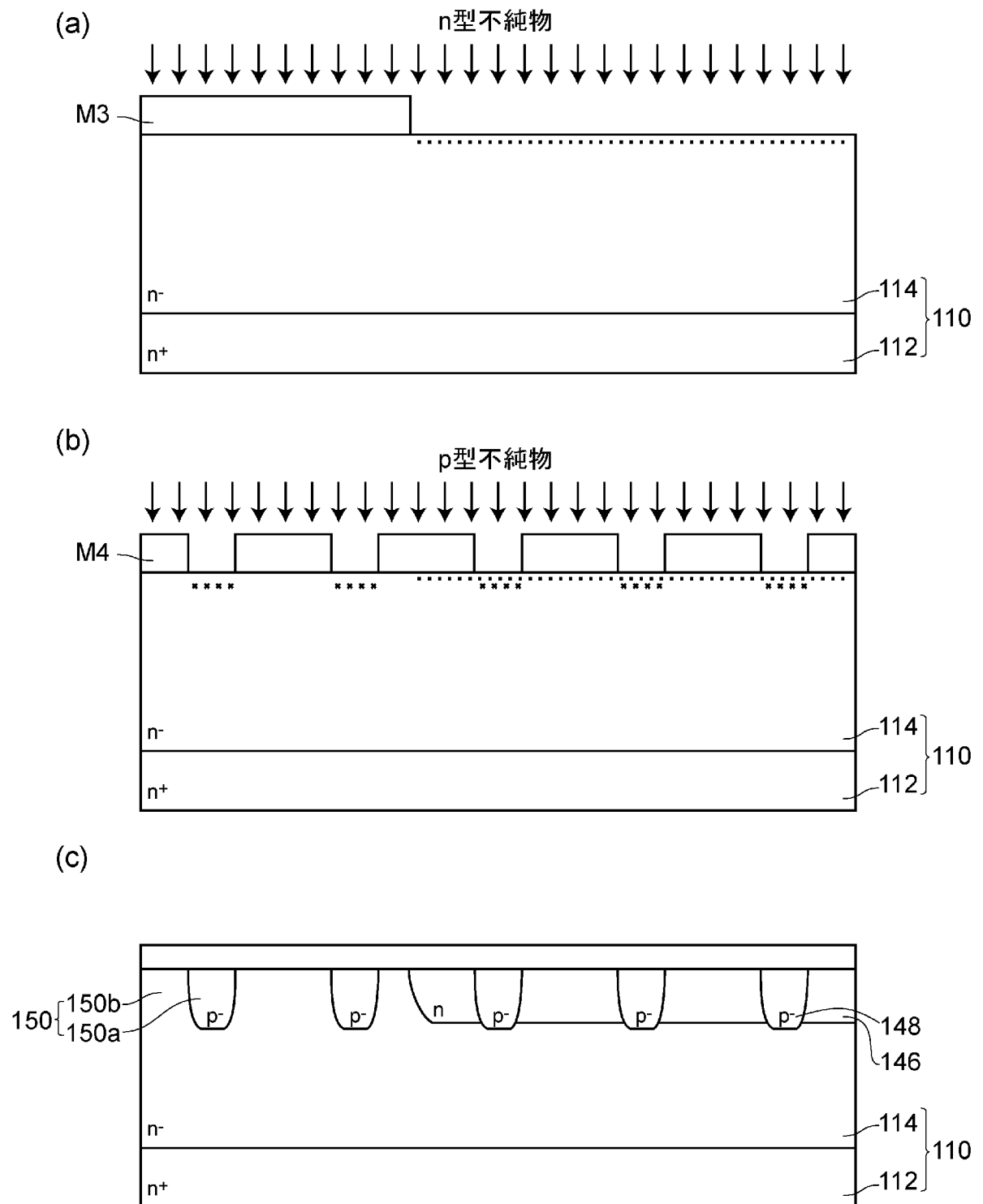
Figure 100h is a cross-sectional view of a semiconductor device. It is divided into two main regions: a "ゲートパッド部" (Gate Pad Portion) on the left and a "MOSFET部" (MOSFET Portion) on the right. The device is built on a substrate 130 with an n⁺ layer 112 and an n⁻ layer 114. A gate stack 140 is formed on the surface, consisting of a gate oxide 134, a gate insulating layer 136, and a gate electrode 126. The gate pad portion includes a gate pad 138. The MOSFET portion includes a gate electrode 128. The MOSFET portion also features a source/drain region 124, a source/drain contact 122, and a source/drain pad 120. The source/drain region 124 is formed in the n⁻ layer 114 and is doped with n⁺ ions. The source/drain contact 122 is formed in the n⁺ layer 112 and is doped with n⁺ ions. The source/drain pad 120 is formed in the n⁺ layer 112 and is doped with n⁺ ions. The gate pad portion includes a gate pad 138, a gate oxide 134, a gate insulating layer 136, and a gate electrode 126. The gate pad 138 is formed in the n⁻ layer 114 and is doped with n⁺ ions. The gate oxide 134 is formed in the n⁻ layer 114 and is doped with n⁺ ions. The gate insulating layer 136 is formed in the n⁻ layer 114 and is doped with n⁺ ions. The gate electrode 126 is formed in the n⁻ layer 114 and is doped with n⁺ ions. The device is labeled 100h.

Figure 10 is a cross-sectional view of a semiconductor device 100i. The device is divided into two main regions: a "ゲートパッド部" (Gate Pad Portion) on the left and a "MOSFET部" (MOSFET Portion) on the right. The gate pad portion includes a gate pad 140. The MOSFET portion includes a gate stack 128, a gate 126, a gate spacer 124, a gate electrode 122, a gate contact 120, a gate wiring 116, a gate pad 148, and a gate pad contact 146. The device is built on a substrate 114, which is a p-type semiconductor. The substrate 114 is covered by a p-type semiconductor layer 112 and an n-type semiconductor layer 130. The gate pad 140 is formed on the n-type semiconductor layer 130. The gate stack 128 is formed on the p-type semiconductor layer 112. The gate 126 is formed on the gate stack 128. The gate spacer 124 is formed on the gate 126. The gate electrode 122 is formed on the gate spacer 124. The gate contact 120 is formed on the gate electrode 122. The gate wiring 116 is formed on the gate contact 120. The gate pad 148 is formed on the gate wiring 116. The gate pad contact 146 is formed on the gate pad 148. The device is labeled 100i in the top right corner.

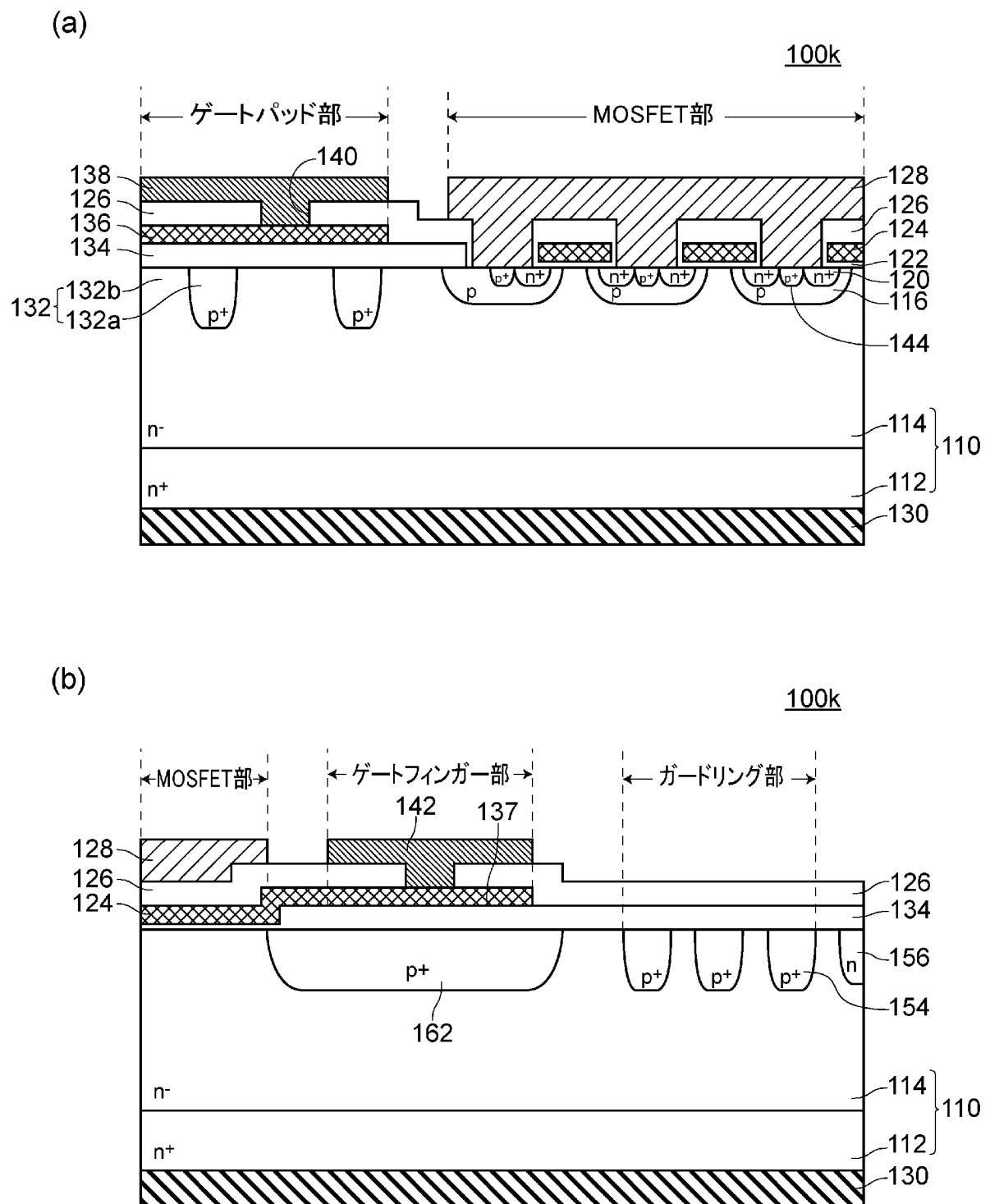
[図20]



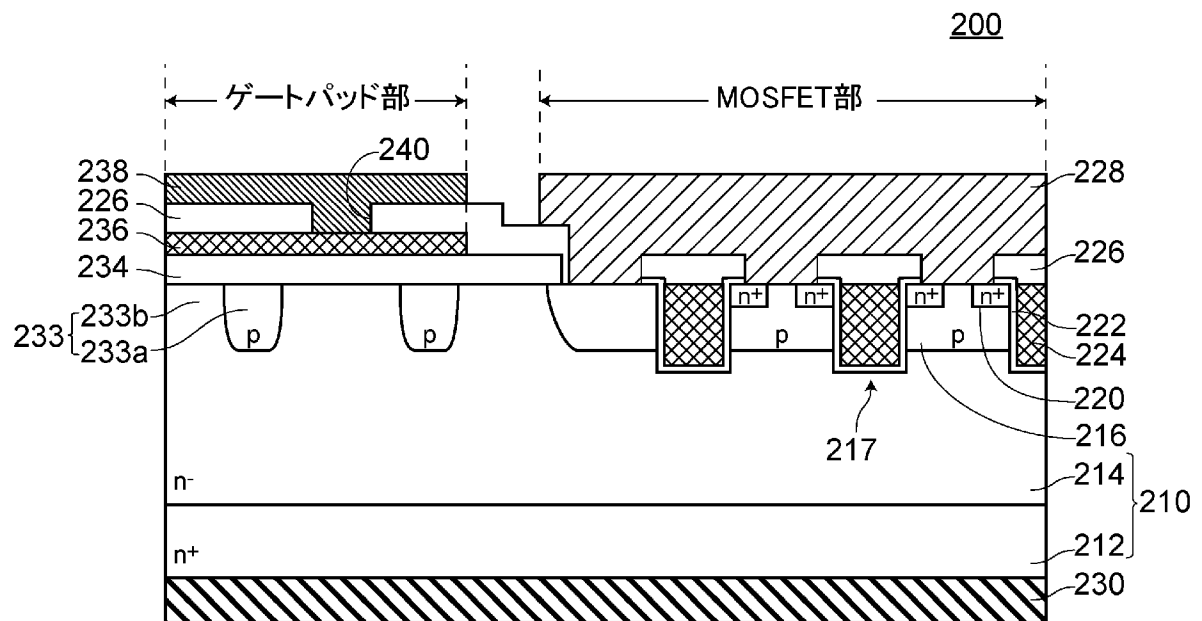
[図21]



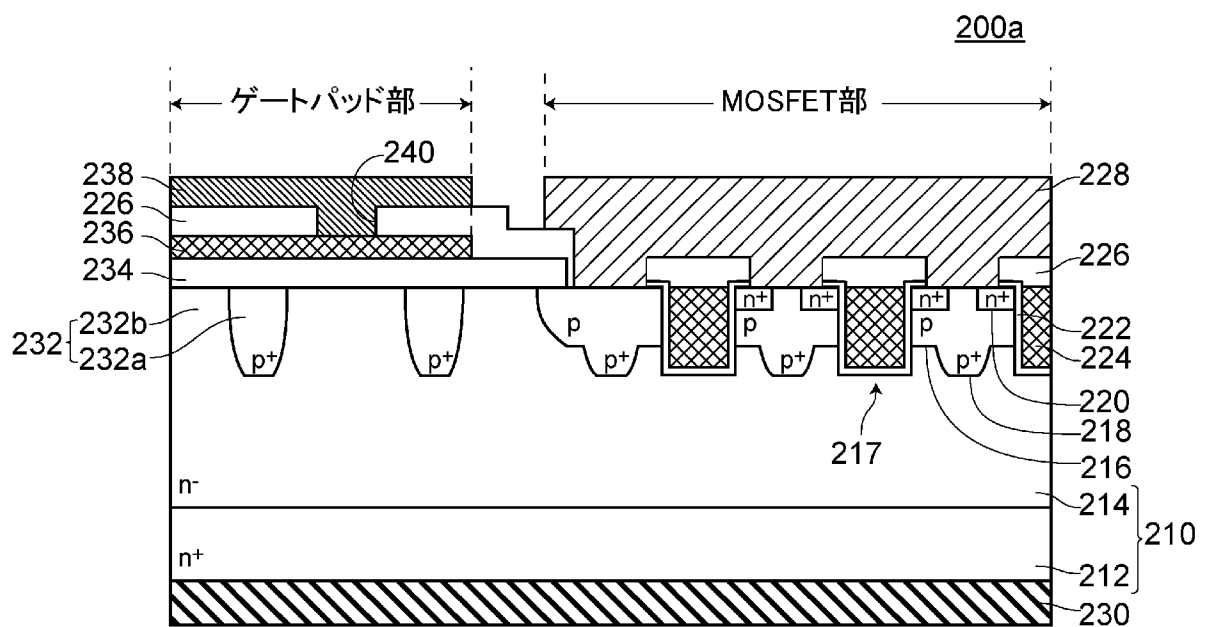
[図22]



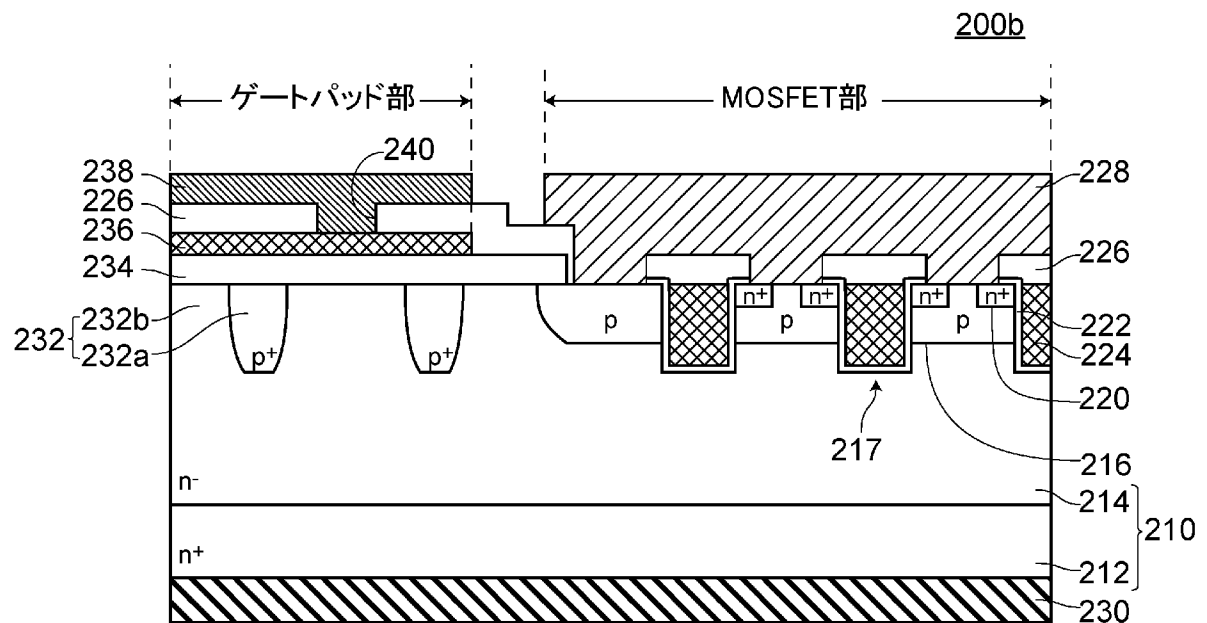
[図23]



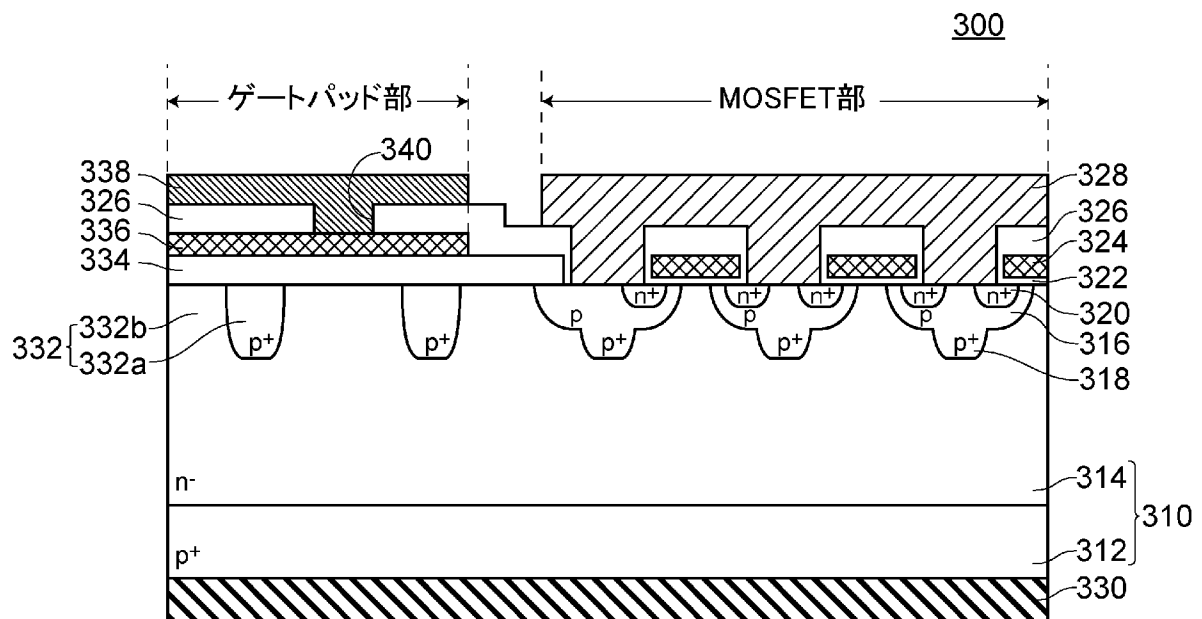
[図24]



[図25]

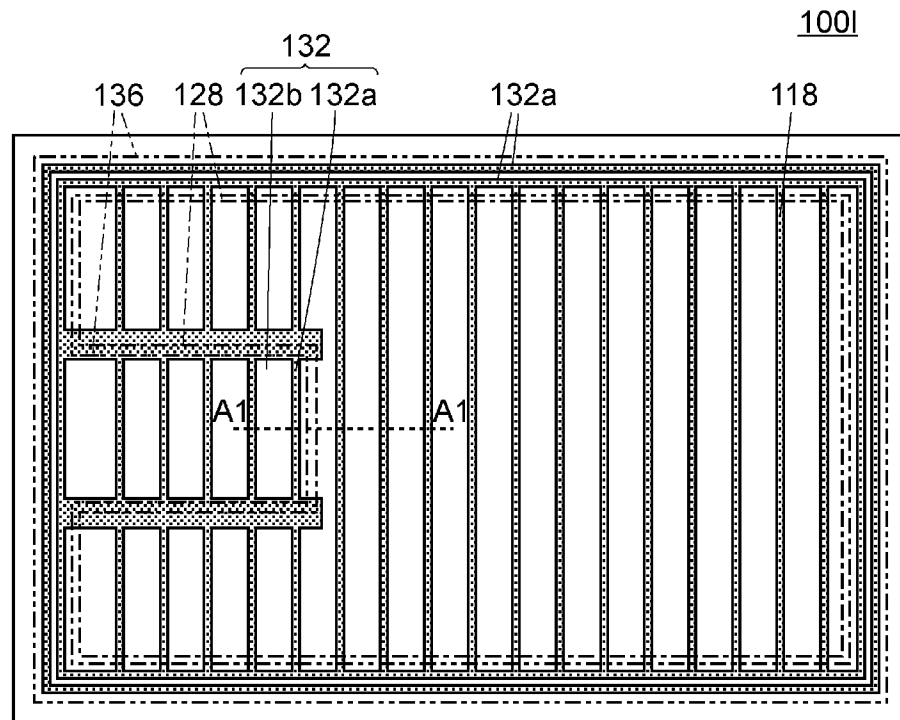


[図26]

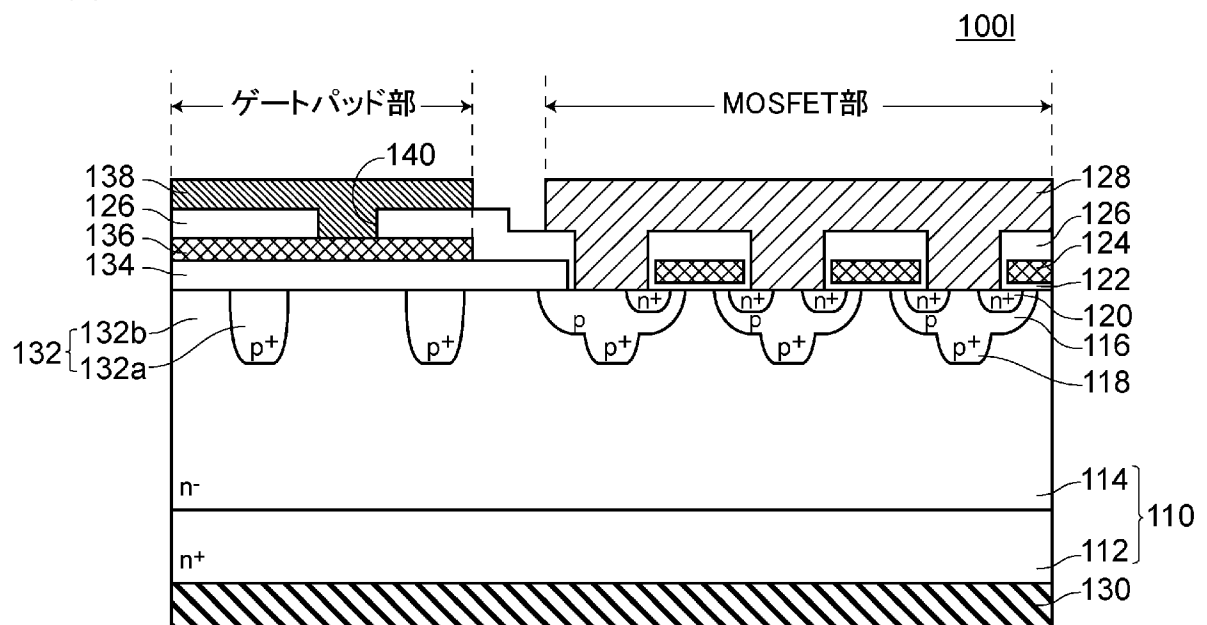


[図27]

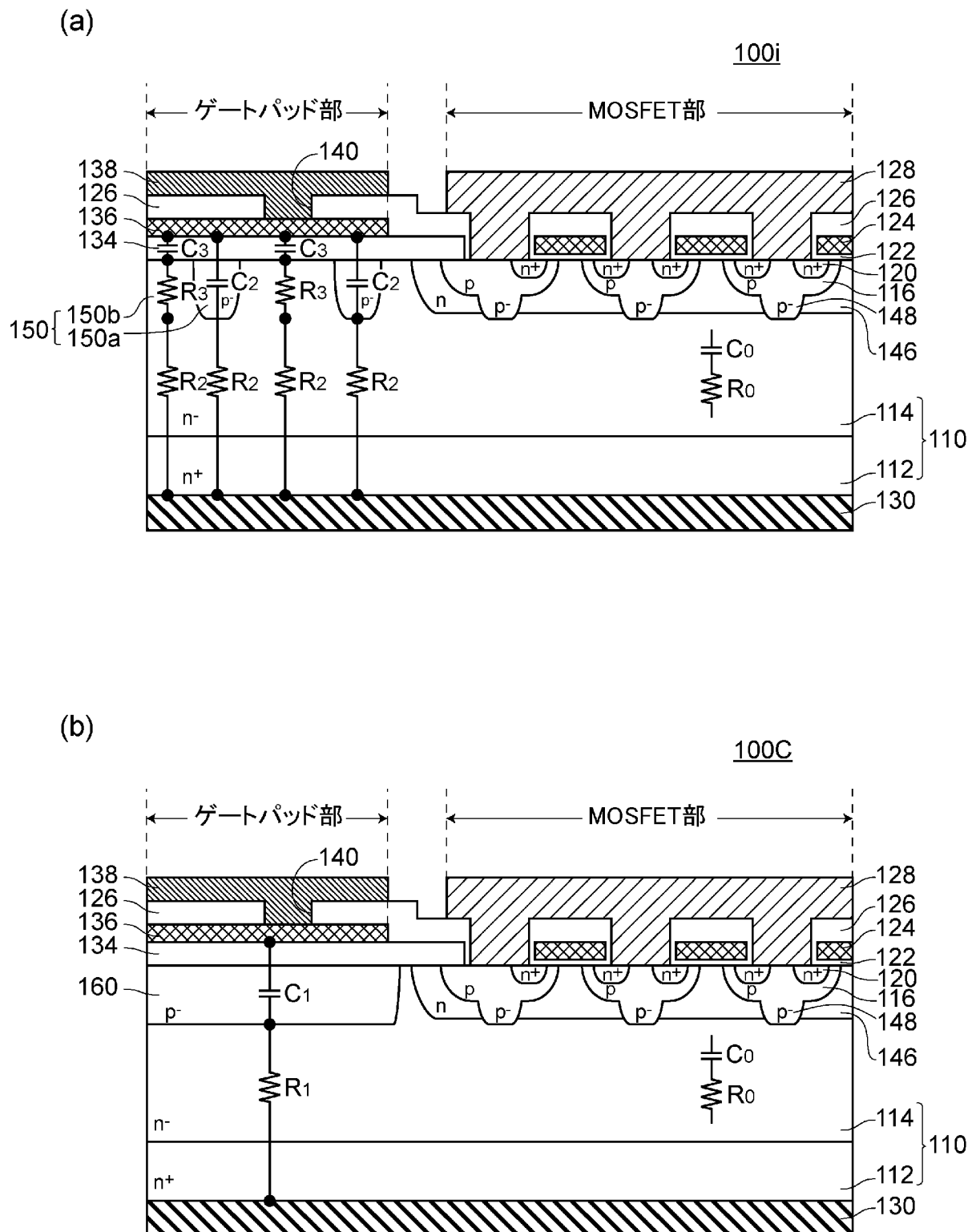
(a)



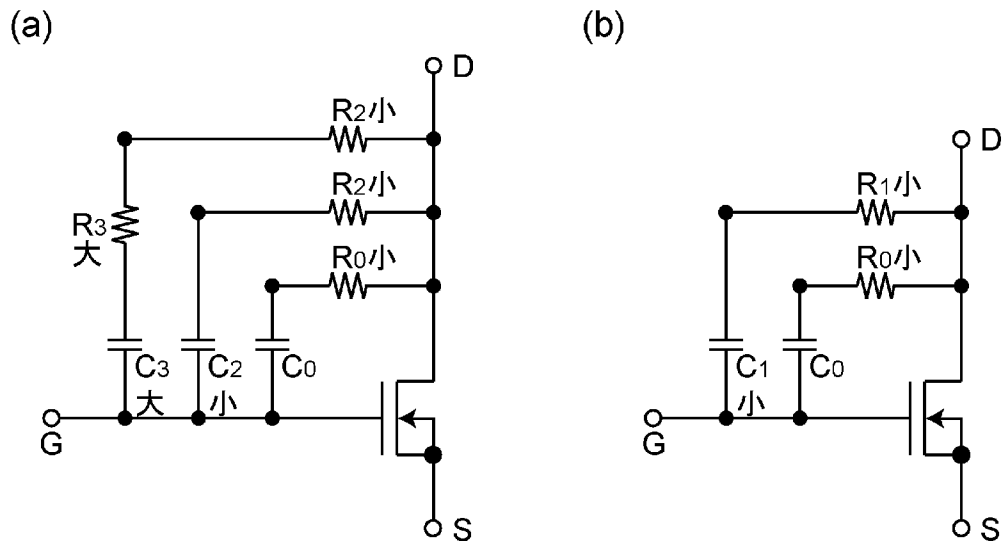
(b)



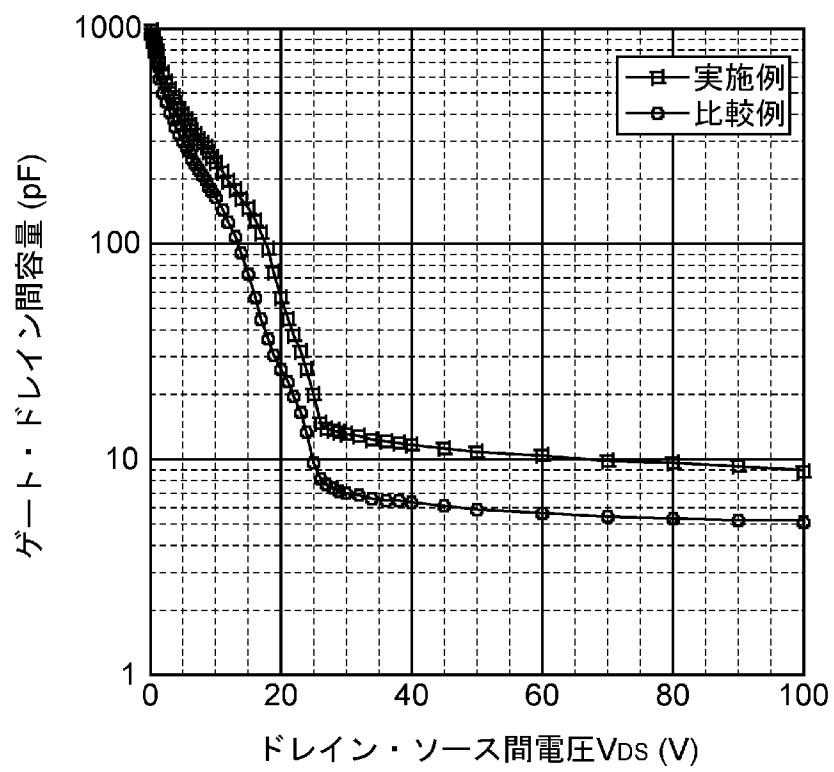
[図28]



[図29]

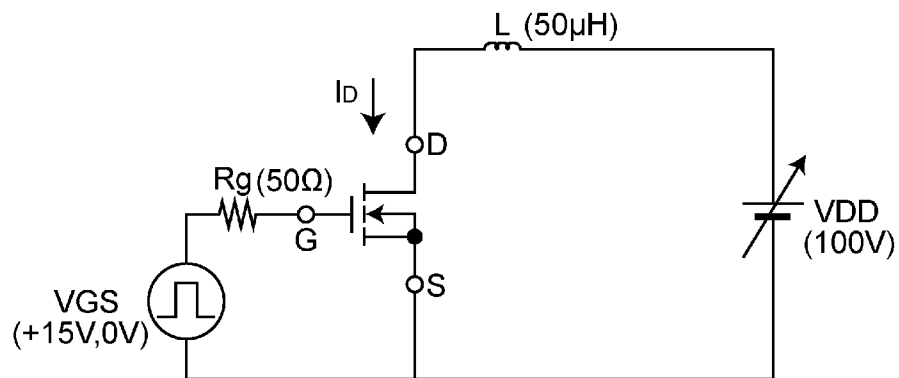


(c)

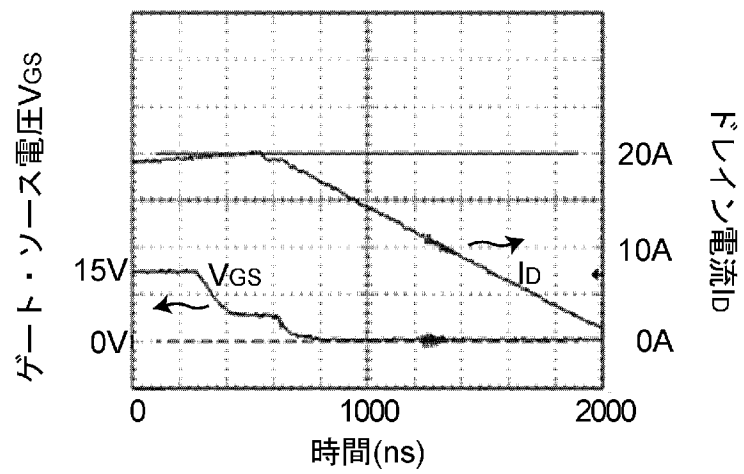


[図30]

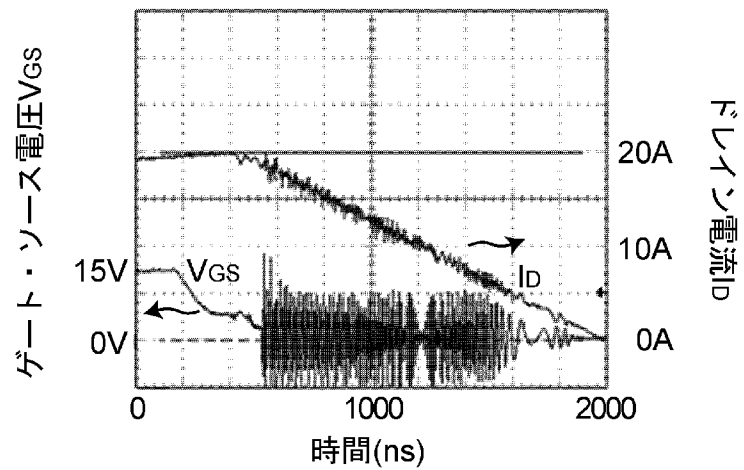
(a) 測定系



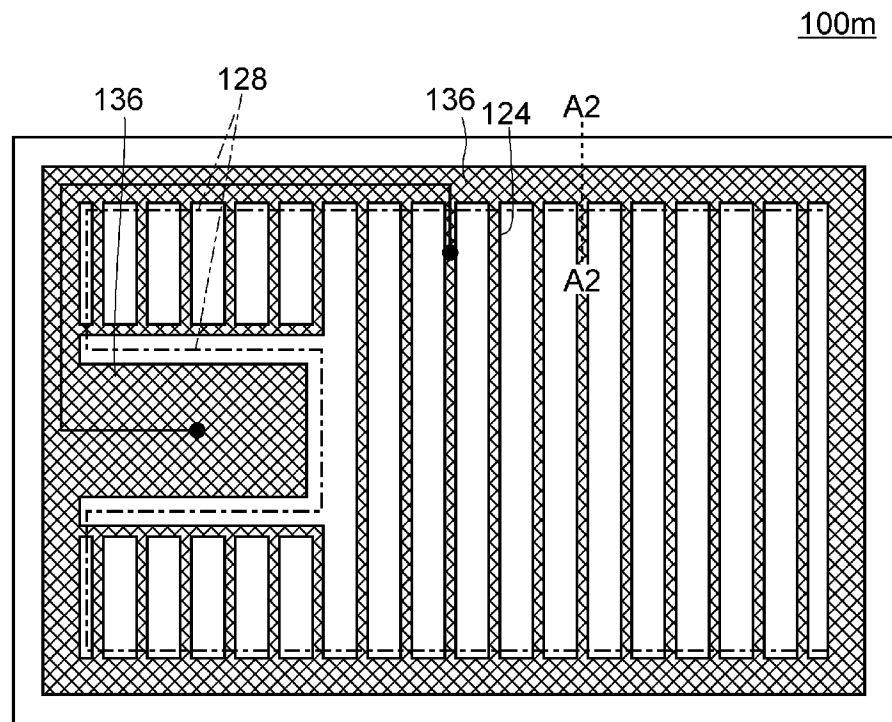
(b) 実施例



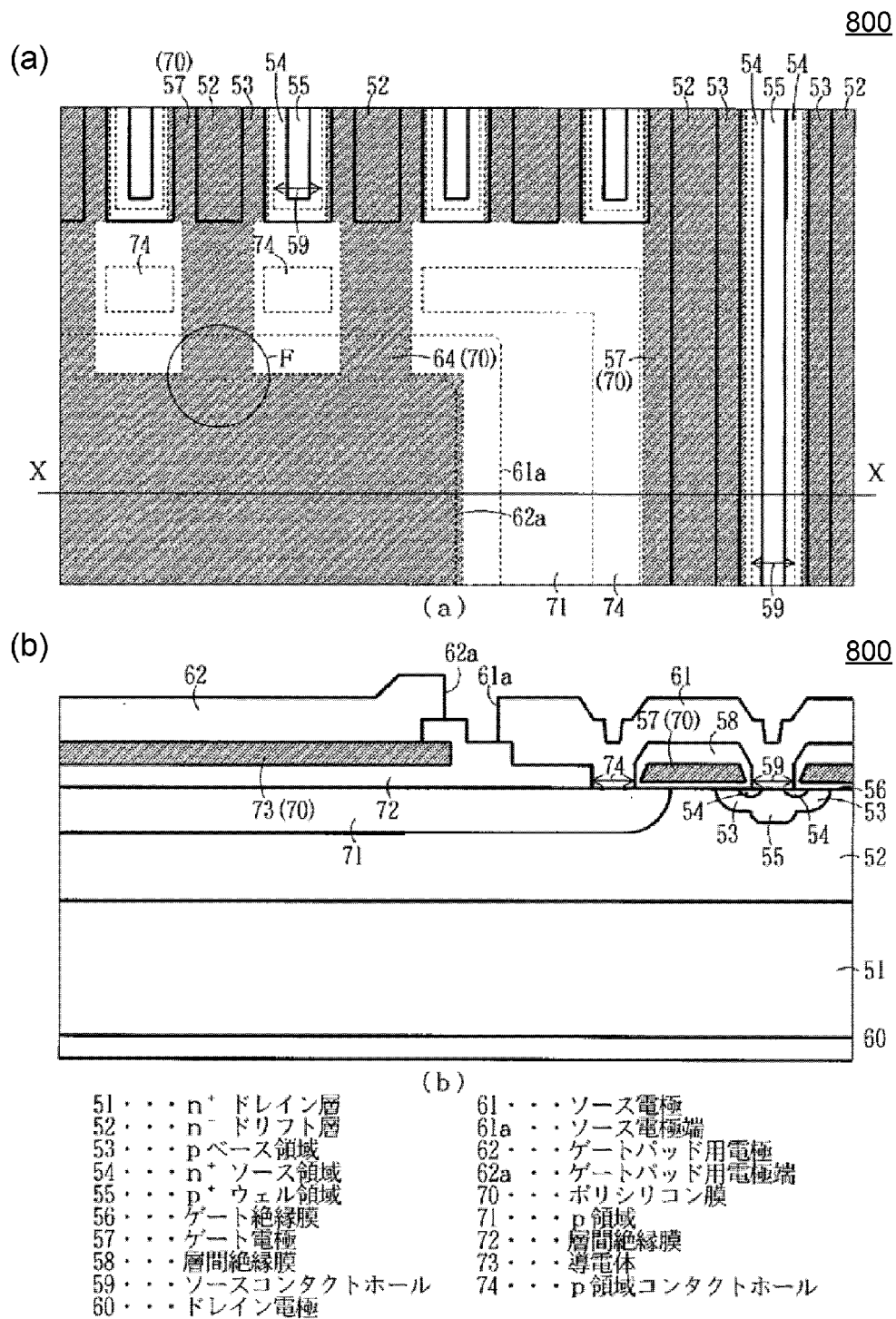
(c) 比較例



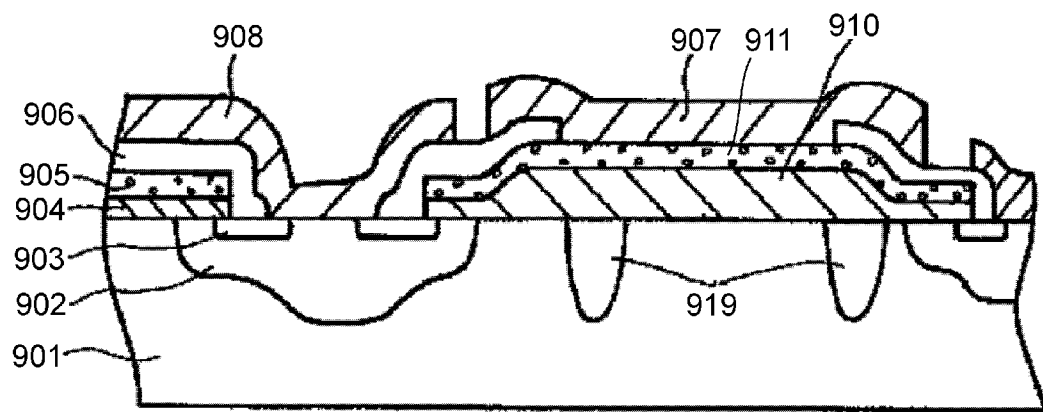
[図31]



[図32]



[図33]

900

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/059578

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i, H01L29/06(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 5-218438 A (Samsung Electronics Co., Ltd.), 27 August 1993 (27.08.1993), paragraphs [0016] to [0041]; fig. 3, 5 & US 5298770 A & GB 2258945 A & GB 9217142 D0 & DE 4227840 A & KR 10-1994-0008225 B1	1-8, 10, 12, 13, 15-17 9, 11, 14, 18
Y	JP 2006-140372 A (Sanyo Electric Co., Ltd.), 01 June 2006 (01.06.2006), paragraphs [0044] to [0067]; fig. 1 & US 2006/0131645 A1 & KR 10-2006-0054139 A & CN 1794451 A & TW 291761 B	1-8, 10, 12, 13, 15-17
Y	US 2011/0278599 A1 (MITSUBISHI ELECTRIC CORP.), 17 November 2011 (17.11.2011), paragraphs [0057] to [0066]; fig. 1, 2 & WO 2010/098294 A1 & DE 112010000882 T	4, 6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 June, 2014 (24.06.14)

Date of mailing of the international search report
08 July, 2014 (08.07.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L29/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 5-218438 A（三星電子株式会社）1993.08.27, 段落 [0016]-[0041], 図 3, 5 & US 5298770 A & GB 2258945 A & GB 9217142 D0 & DE 4227840 A & KR 10-1994-0008225 B1	1-8, 10, 12, 13 , 15-17 9, 11, 14, 18
Y	JP 2006-140372 A（三洋電機株式会社）2006.06.01, 段落 [0044]-[0067]、図 1 & US 2006/0131645 A1 & KR 10-2006-0054139 A & CN 1794451 A & TW 291761 B	1-8, 10, 12, 13 , 15-17

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 6 . 2 0 1 4

国際調査報告の発送日

0 8 . 0 7 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

大橋 達也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

4 6 8 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2011/0278599 A1 (MITSUBISHI ELECTRIC CORP.) 2011.11.17, 段落[0057]-[0066], FIG. 1, 2 & WO 2010/098294 A1 & DE 112010000882 T	4, 6