(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3691526号

(P3691526)

(45)発行日　平成17年9月7日(2005.9.7)　(24)登録日　平成17年6月24日(2005.6.24)

(51)Int.Cl.[7]	F I		
H05K 1/14	H05K	1/14	E
H05K 1/11	H05K	1/11	C
H05K 3/46	H05K	1/11	N
	H05K	3/46	E
	H05K	3/46	L

請求項の数 6　(全 24 頁)　最終頁に続く

(21)出願番号　特願平6-134435
(22)出願日　平成6年6月16日(1994.6.16)
(65)公開番号　特開平7-58431
(43)公開日　平成7年3月3日(1995.3.3)
審査請求日　平成13年1月31日(2001.1.31)
(31)優先権主張番号　078461
(32)優先日　平成5年6月17日(1993.6.17)
(33)優先権主張国　米国(US)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100077517
弁理士　石田　敬
(74)代理人　100089819
弁理士　平岩　賢三
(74)代理人　100088269
弁理士　戸田　利雄
(74)代理人　100082898
弁理士　西山　雅也

最終頁に続く

(54)【発明の名称】三次元性の薄膜型相互接続体およびその製造方法

(57)【特許請求の範囲】

【請求項１】

異なる面にそれぞれ配置された各電気素子の間を電気的に相互接続しうるようにした三次元性の薄膜型相互接続体の製造方法であって、

基板表面上に誘電体層を形成するステップと、

該誘電体層の表面での選択された各部分上に導電体層を形成するステップと、

該導電体層および該基板の表面上に誘電体層を形成するステップと、

該誘電体層内に所定数のスルーホールを形成するステップと、

各該スルーホールに導電体材料を充填するステップとをそなえ、

所定数の導電体層が形成されるまで、導電体層を形成するステップと、誘電体層を形成するステップと、所定数のスルーホールを形成するステップと、各該スルーホールを充填するステップとを繰返し、更に、

最後に形成された誘電体層の表面上に所定数の接触パッドを形成するステップと、

各該接触パッドの間をそれぞれ電気的に相互接続して、各該接触パッドの間にそれぞれ延びるような所定数のワイヤを形成するステップと、

上記各電気素子と電気接続しうるような少なくとも２つのコネクタを形成するように、該基板および各該誘電体層の一部を除去するステップとをそなえていることを特徴とする、三次元性の薄膜型相互接続体の製造方法。

【請求項２】

異なる面にそれぞれ配置された各電気素子相互間に電気信号を伝送しうるようにした薄

膜型相互接続体の製造方法であって、
基板表面に第１の誘電体層を付加するステップと、
該第１の誘電体層の表面での選択された各部分に第１の配線面を付加するステップと、
該第１の配線面および該基板の表面に第２の誘電体層を付加するステップと、
所定の電気的接続部に対応するパターンとなるように該第２の誘電体層内に第１の所定数のスルーホールを形成するステップと、
該第１の各スルーホールに導電体材料を充填するステップと、
該第２の誘電体層の表面での選択された各部分に第２の配線面を付加するステップと、
該第２の配線面および該第２の誘電体層の表面に第３の誘電体層を付加するステップと、
該第１の該充填された各スルーホールに対応するパターンと所定の電気的接続部に対応するパターンとを合成したパターンとなるように、該第３の誘電体層内に第２の所定数のスルーホールを形成するステップと、
該第２の各スルーホールに導電体材料を充填するステップと、
該第１および該第２の該充填された各スルーホールの各形成位置に対応させて、該第３の誘電体層の表面に所定数の接触パッドを付加するステップと、
各該接触パッドの間をそれぞれ電気的に相互接続するようにして、該第３の誘電体層の表面に所定数のワイヤを付加するステップと、
各該配線面も該充填された各スルーホールも形成されていない部分に存在する該基板および各該誘電体層を除去するステップとをそなえていることを特徴とする、薄膜型相互接続体の製造方法。

【請求項３】
異なる面にそれぞれ配置された各電気素子の間を電気的に相互接続しうるようにした少なくとも２つのコネクタをそなえた三次元性の薄膜型相互接続体であって、各該コネクタが、
基板層と、
該基板層上において誘電体層と導電性配線面とが交互に配列されたものと、
該誘電体層から延びていて各該配線面とそれぞれ電気接続されている所定数の導電性バイアと、
あるコネクタに存在する各該導電性バイアと他のコネクタに存在する各該導電性バイアとをそれぞれ電気接続するような所定数の導電性ワイヤとをそなえ、
各該導電性バイアは、該誘電体層を通して延びている各スルーホールに導電体材料が充填されることにより構成されており、かつ各該導電性バイアは該誘電体層の前表面近傍での第１の直径が該誘電体層における該前表面と対向している背面近傍での第２の直径より大きくされたような先端を切った形の円錐形状を順次繰返して積み重ねたような形状に構成されていることを特徴とする、三次元性の薄膜型相互接続体。

【請求項４】
各該ワイヤは、各該コネクタが自由な位置でのフレキシブルな相互接続を可能とし、これによって異なる面にそれぞれ配置された各電気素子の間を電気的に相互接続するのに必要な長さを有している、請求項３に記載の薄膜型相互接続体。

【請求項５】
互にほぼ等しい熱膨張係数を有する各導電体材料を用いて、各該配線面、各該バイア、および各該ワイヤが形成されている、請求項３に記載の薄膜型相互接続体。

【請求項６】
各該コネクタには前表面と該前表面と対向した背面とが形成され、該前表面にはある電気素子に対する電気的接続手段が設けられるとともに、該背面には各該コネクタの背面同志の位置整合および相互固着を達成させるようなほぼ相補的に作用する各係合部が設けられている、請求項３に記載の薄膜型相互接続体。

【発明の詳細な説明】
【０００１】

【産業上の利用分野】
本発明は、多数の電気素子相互間で電気信号などを伝送するための相互接続体およびその製造方法に関する。特に本発明は、異なる面にそれぞれ配置された２つ以上の電気素子の間を相互接続するための相互接続体およびその製造方法に関する。
【０００２】
【従来の技術】
一般にコンピータなどの分野においては、各種の電気的な相互接続体を利用することによって、多数の各種の電気素子が相互に、あるいは別の回路基板などに電気接続される。かかる電気的な相互接続体は、通常、剛性又は準可撓性を有する誘電体材料で作られた本体をそなえている。かかる本体には所定数の導電性ワイヤが配設されており、各該導電性ワイヤを介して上記各電気素子相互間に電力および電気信号が伝送されうる。かかる相互接続体は当該分野においてよく知られており、該相互接続体における１つの面には、該相互接続体に接続しようとする第１の電気素子に形成されている対応の各電気接触部とそれぞれ電気接続させるための各電気接触部が配設され、また該相互接続体における他の面には、該相互接続体に接続しようとする第２の電気素子に形成されている対応の各電気接触部とそれぞれ電気接続させるための各電気接触部が配設されている。したがって該対応する各電気接触部同志を電気接続することによって、該相互接続体の本体内に形成されている各導電性ワイヤを介して、所要の電力および電気信号が上記第１および第２の各電気素子相互間で伝送されるようになる。
【０００３】
ところで一般にコンピュータなどにおいては、各種のマルチ・チップモジュールなどを含む多数の各種電気素子が設けられており、これらの各種電気素子は該コンピュータ内において、他の各種電気素子と何らかの形態でそれぞれ相互に電気接続されることが必要ある。この場合、該コンピュータに対するデータ処理容量およびデータ処理速度を増大させる必要性が増加するにしたがって、該コンピュータ内に配設されるべき各電気素子の数も増加してくる。したがって該コンピュータ内に配設されるべきかかる各電気素子の数の増加に対処するためには、上記各電気素子のサイズを小型化するか、又は上記各電気素子同志を集積化して単一の集積パッケージを形成させるかする必要がある。このように上記各電気素子のサイズを小型化するか又は集積化することによって、上記各電気素子によって占有されるスペースの量が実質的に少くなり、これによって、かかる小型化あるいは集積化をしない場合に比し、同一のスペース内により多数の電気素子を収容することが容易となる。
【０００４】
しかしながら、かかる各電気素子の小型化あるいは集積化をしたとしても、該コンピュータ内においては、上記各電気素子の間を相互接続するための電気的な相互接続体を、上記各電気素子の数とほぼ同数だけ配設する必要がある。したがって、上記各電気素子のサイズが小型化されるにつれて、該コンピュータ内に配設しうる上記各電気素子の数が増加するとともに、上記各電気素子の間を相互接続するに必要な上記電気的な相互接続体の数も増加することになる。更にまた上記したスペースを有効に利用するためには、かかる小型化された上記各電気素子を互にきわめて接近させた状態で配設する必要がある。これらの理由によって、該コンピュータ内での所定のスペース当りに存在すべき電気的接続部の数がきわめて高密度になる。
【０００５】
したがって上記各電気素子に電気接続されるべき各電気的接続部の高密度化を達成するためには、該電気的な相互接続体を高密度型とする必要がある。換言すれば、該電気的な相互接続体は、上記各電気的接続部の高密度化を達成する上で、上記各電気的接続部が互い違いになるような配列で構成されることが望ましい。この点、かかる電気的な相互接続体をプリント配線手法を使用して製造することはよく知られているが、かかるプリント配線手法を使用した場合には、各該相互接続体内に形成されうる電気的接続部の数が実質的に制限される。すなわち、上記したような高性能のコンピュータなどにおいて使用される上

記各電気素子に対する各電気的接続部を高密度化させるには、上記プリント配線手法を使用することによってえられる相互接続体よりも、より高密度の電気的接続部をそなえた相互接続体を実現することが必要となる。

【０００６】

ところで上述したような高性能のコンピュータなどを構成するにあたっては、マルチ・チップモジュールなどを含む多数の各種電気素子が、所定のスペースを有効に利用しうるような態様で相互接続されなければならない。かかるスペースの有効利用をしようとすると、相互接続されるべき各電気素子を互に異なる面にそれぞれ配置する必要性が生ずる。したがって、かかる態様で配置されている上記各電気素子間の電気的な相互接続を達成するためには、該電気的な相互接続体は、上記したような異なる面にそれぞれ配置されている各電気素子の間を相互接続しうるような構成を有するように形成されなければならない。

【０００７】

すなわちかかる高性能のコンピュータなどは、あらゆる異なった方向にそれぞれ配置されている多数の各種電気素子で構成されており、またこれらの各種電気素子の間を相互接続しうるような電気的相互接続手段を必要とする。しかし実際には、各電気素子の間を通常の方法で相互接続しようとすると、互に相互接続されるべき各電気素子を所定の単一方向に沿ってそれぞれ配置せざるをえない。しかしながら、特にコンピュータなどの分野では、最近該コンピュータの性能としてより一層の高速化とより一層の大容量化との必要性が求められているので、かかるコンピュータを構成するきわめて多数の各種電気素子を互に結合させるためには、かかる各種電気素子の配列状態をより自由自在に設定したいという要求が、急速に高まってきている。しかるに、相互接続されるべき各電気素子同志をあらゆる可能な方向で相互接続できるような電気的相互接続体を設計しまた製造することは、これまで困難であった。

【０００８】

更にかかる高性能のコンピュータなどを構成するにあたっては、互に異なる高さの異なる面などにそれぞれ配置された２つ以上の電気素子の間を相互接続しうるような相互接続体もしばしば必要となる。このような場合には、かかる２つ以上の電気素子に対する相互接続体は、あらゆる可能な方向に適応するように構成される必要があり、したがってますます各該電気素子に対する相互接続構成が複雑化する。更にまた、多数の異なる面にそれぞれ配置された多数の電気素子の間を電気的に相互接続しうるような電気的相互接続体においては、各該電気素子に対する電気的接続部を多数個形成しうるように構成されることも必要となる（すなわち高密度型の電気的相互接続体とされる必要がある）。

【０００９】

ここで各該電気素子に対する電気的接続部を多数個形成する必要があるのは、上記したような高性能のコンピュータを構成する際にスペースを有効に利用する必要があるからである。コンピュータ技術および電子技術の発展に伴って、該コンピュータを構成するのに使用される各種電気素子のサイズが小型化されてきた。かかる各種電気素子のサイズの小型化は、これらの電気素子を統合化することによってかなり達成されうる。１例として、多数の集積回路を組合せることによって単一のマルチ・チップモジュールが形成される。かかるマルチ・チップモジュール（ＭＣＭ）は、そのサイズは比較的小型であるが、多数の各種回路で構成されており、これらの各種回路にはすべて所定の電気的接続部が必要となる。したがって、かかるマルチ・チップモジュール（ＭＣＭ）の間を相互接続するために用いられる電気的相互接続体は高密度型とされる必要があり、これによって小さなスペース内に存在する上述したような多数の電気的接続部に適応させることが可能となる。

【００１０】

【発明が解決しようとする課題】

したがって、かかる電気的な相互接続体は、多数の電気的接続部に適応しうるように構成されること、換言すれば、上述したような高性能のコンピュータなどに存在する各電気的接続部に適応させうるような高密度型の相互接続体とされることが望ましい。またかかる電気的な相互接続体は、種々の異なる高さや位置、あるいは種々の異なる面にそれぞれ配

置されている２つ以上の電気素子の間を相互接続しうるように構成されることが望ましい。更にかかる電気的な相互接続体は所定の表面領域内にできるだけ多数の電気的接続部が形成されるように構成されることが望ましい。更にまた、かかる電気的な相互接続体を製造する方法が、使用される各材料のことをも含め、実用的かつ経済的に有利な方法であることが望ましい。

【００１１】

【課題を解決するための手段および作用】

したがって本発明においては、異なる面にそれぞれ配置された２つ以上の電気素子の間を電気接続することができるとともに、高密度に各電気的接続部が形成された三次元性の薄膜型相互接続体およびその製造方法が提供される。かかる薄膜型相互接続体を製造するにあたっては、先ず基板の表面上に第１の誘電体層がデポジット形成される。次いで導電性の配線（信号線など）面が、該第１の誘電体層の表面上において、互に電気的に隔離された各選択位置にデポジット形成される。次いで該第１の誘電体層と同様の材料からなる第２の誘電体層が、該配線面の表面上と、該配線面の各形成位置を除く範囲に存在する該第１の誘電体層の表面上とにデポジット形成される。

【００１２】

次いで所定数のスルーホールが、該第２の誘電体層の表面から直前にデポジット形成された該配線面まで延びるようにして、該第２の誘電体層内に形成される。ここでこのようにして形成される各スルーホールの数および配列状態は、該相互接続体に電気接続しようとする各電気素子に対する電気的接続条件に応じて決定される。次いで上記各スルーホールに導電体材料が充填されることによって、各バイアが形成される。以下同様にして、配線面の選択的なデポジット形成と、誘電体層のデポジット形成と、所定数のスルーホールの形成と、各該スルーホールに対する導電体材料の充填（バイアのデポジット形成）とが順次繰返されて、各配線面および各バイアの配列状態がそれぞれ所定の配列状態となるようにされる。

【００１３】

上述したように各配線面は、直前にデポジット形成された誘電体層上での各選択位置にデポジット形成される。その結果、上記各選択位置においてそれぞれ構成される各配線面と各誘電体層とを含む多層構成部分が、１つの配線面セットとなる。このようにして本発明における薄膜型相互接続体においては、各該配線面セットによってそれぞれ構成される少なくとも２つのコネクタが形成される。ここで上述したようにして上記配線面セットを形成するにあたって、必要があれば、ある配線面を選択的にデポジット形成する代りに、グランド面を選択的にデポジット形成するようにしてもよい。かかるグランド面は、導電体材料で構成されており、きわめて接近した状態で順次配列されている各配線面相互の間で発生する可能性のある予期しない電磁的障害などを抑制するように機能する。ただし、かかるグランド面は、上記各配線面とは異なり、如何なるバイアとの電気的接続をも必要としない。

【００１４】

このようにして上記各配線面および各バイアの配列状態がそれぞれ所定の配列状態とされたならば、所定数の接触パッドが、最後にデポジット形成された誘電体層の表面（該相互接続体の前表面となる）上にデポジット形成される。すなわちかかる接触パッドは、該配線面セットを構成している最前面側の誘電体層（最後にデポジット形成された誘電体層）内にデポジット形成されている各バイアにそれぞれ対応した各位置にデポジット形成される。このようにして、上記各接触パッドは、上記各配線面のうちの何れかの配線面に電気接続されている各バイアとそれぞれ電気接続される。次いで所定数のワイヤが、上記最後にデポジット形成された誘電体層の表面上に選択的にデポジット形成される。ここで各該ワイヤは、あるコネクタを形成するある配線面セットにデポジット形成された各接触パッドと、他のコネクタを形成する他の配線面セットにデポジット形成された対応する各接触パッドとの間を、それぞれ電気接続するような要領で、デポジット形成される。

【００１５】

このようにして各該コネクタにそれぞれデポジット形成されている互に対応する各接触パッドの間にそれぞれ延びるようにデポジット形成された各該ワイヤは、上記基板と各誘電体層とにより構成される中間体上を横切ることになる。ここで該中間体を除去すると、各該コネクタが各該ワイヤを介して機械的かつ電気的に相互接続された状態となる。このようにして本発明にかかる薄膜型相互接続体においては、該相互接続体を構成する各該コネクタの間が、可撓性を有する各該ワイヤを介して接続されているので、互に異なる面にそれぞれ配置されている各電気素子との電気接続を達成することが可能となる。ここで各該配線面、各該グランド面、各該バイア、各該接触パッド、および各該ワイヤは、それぞれ互にほぼ等しい熱膨張係数を有する導電体材料で構成されている。これらの素子の熱膨張係数を整合させることは、機械的欠陥に絡む熱的ストレスの発生を抑制する上で望ましい。

【００１６】

本発明にかかる薄膜型相互接続体は、必要に応じて、２つ以上のコネクタを有するように構成されることもできる。更にまた、各該コネクタでの該前表面と対向する背面側に、互にほぼ相補的に作用するような各係合部が一体的に形成されうる。これらの各係合部は、各該コネクタの背面同志の位置整合を達成するために使用されることができ、したがって、もし形状不変の（フレキシブルでない）薄膜型相互接続体が所望される場合には、所要の接着剤を介して各該コネクタ同志が一体的に付着されるようにして使用することもできる。

【００１７】

ところで一般に、この種の電気的相互接続体は、少なくとも２つの電気素子の間の電気接続を行なうように形成された所定数の導電性ワイヤをそなえている。かかる電気素子との相互接続を達成するためには、各該ワイヤの両端部分は誘電体材料の中に常に固定されていることが好ましい。このように各該ワイヤの両端部分を誘電体材料の中に固定させることによって、各該ワイヤの配列状態を、該相互接続体に接続しようとする各電気素子と常に正しく対応するような配列状態とすることができる。この場合、本発明のように薄膜手法を使用することによって、きわめて径が小さく多数の電気的接続をなしうるような多数のワイヤが誘電体本体内に固定されたような相互接続体を容易に製造することが可能となる。

【００１８】

更にまた本発明のように薄膜手法を使用することによって、上記したプリント配線手法によってえられる電気的相互接続体よりも、はるかに高密度に各電気的接続部が形成されるように該相互接続体を構成することができる。すなわち該プリント配線手法によって製造される相互接続体は、いくつかの個別の（ディスクリートな）層によって構成されており、各層は、その一部が選択的に除去された導電体部分をその表面に有する誘電体材料で構成されている。このようにして構成されたいくつかの層が所定の配列関係となるようにして積み重ねられ、これによって、ある層の表面に残存している各信号トレース形成用の各導電体部分と、他の各層の表面に残存している各信号トレース形成用の各導電体部分とが、所定の位置関係でそれぞれ対応するようにされる。次いで最後に積み重ねられた層の露出表面から該積み重ねられた各層を通して、各スルーホールが所定の各位置に形成される。次いで上記各スルーホールに導電体材料が充填されることにより、上記各層にそれぞれ形成されている各信号トレース相互間の電気接続部が形成される。したがって、このようにして形成される各電気接続部の直径、更にいえば該相互接続体内に形成される各電気接続部相互間の間隔は、ドリルビットなどの直径によって規定される。しかるに、該ドリルビットなどの直径は、ドリル操作の際に該積み重ねられた各層を貫通させるのに耐えられるだけの機械的強度が該ドリルビットに要求されることから、ある限度以上には小さくすることができない。その結果、かかるプリント配線手法を用いた場合には、上記各電気接続部相互間で達成しうる最小間隔は、例えばほぼ０．１ミリメートル程度となって、それ以上に小さくすることはできない。

【００１９】

これに対して本発明のようにして薄膜手法を用いた場合には、かかる相互接続体が、誘電体材料からなる薄膜をデポジット形成するステップと、配線面形成用の導電体材料からなる薄膜を選択的にデポジット形成するステップと、誘電体薄膜および配線面薄膜の上に誘電体材料からなる薄膜をデポジット形成するステップなどを用いて構成されうる。ここで上記各電気素子に対する各電気的接続部は、最後にデポジット形成された誘電体薄膜での、各該電気的接続部の数と所要ピッチとに対応した各部分を選択的にエッチング除去して各スルーホールを形成し、該エッチングにより形成された各スルーホールに、ベーパデポジションなどのようなメタルデポジション手法を用いて、導電体材料を充填することによって形成される。かかる薄膜手法を用いてかかる相互接続体を構成することによって、上記したようなプリント配線手法によってえられる相互接続体におけるよりも、はるかに小さい直径となるように各該電気的接続部を形成することが可能となる。その理由は、かかる選択的なエッチング手法によって形成される各スルーホールの径の値は、上述したようなドリルビットに要求される機械的強度などによって何等制約されることがないからである。このようにして、本発明においては、上記した各電気的接続部を従来のものよりはるかに小径に形成することができるので、上記各電気的接続部同志を従来のものよりはるかに接近させて配置形成することが容易となり、これによって従来よりはるかに高密度の相互接続体を構成することができる。その結果、本発明においては、かかる薄膜手法を用いることによって、上記各電気的接続部相互間で達成しうる最小間隔を、例えばほぼ１０マイクロメートル程度にまで小さくすることが可能となる。

【００２０】

更にまた、上記したような高性能のコンピュータなどを設計製作するにあたっては、そのスペースを効率的に利用することが、きわめて重要な課題である。したがってかかる分野に上記したような高密度の薄膜型相互接続体を使用することは、かかる相互接続体が該コンピュータ内に存在する多数の電気的接続部に適応しうるように小型かつ大容量（高密度）に形成されているため、きわめて好ましいことである。ただし、かかる薄膜型相互接続体を構成するにあたって、上記した各導電体ワイヤを上記した中間体を構成する誘電体部分と一体化させておくと、該相互接続体が形状不変のリジッドな相互接続体となってしまうので、かかる相互接続体を用いた場合には、同じ面に沿ってそれぞれ配置されている各電気素子の間しか相互接続することができなくなる。しかるに、上記した高性能のコンピュータなどの分野では、上述したようにそのスペースを効率的に利用する必要性が高いため、かかる相互接続体に接続しようとする上記各電気素子を、互いに異なる面（種々の高さあるいは種々の方向を含む）にそれぞれ配置する必要性がしばしば発生する。したがって、かかる薄膜型の相互接続体はまた、上述したような態様で互に異なる面にそれぞれ配置されている各電気素子の間をも、電気的に相互接続しうるように構成されることが望ましい。

【００２１】

【実施例】

図１は、本発明にかかる三次元性の薄膜型相互接続体１２によって、２つのマルチ・チップモジュール１０が電気的に相互接続されている状態を示す斜視図である。各該マルチ・チップモジュール（ＭＣＭ）は多数の集積回路などで構成されており、各該集積回路などはそれぞれプリント回路板や他のＭＣＭなどと電気接続されている。なお以下の説明では、図１および図２において上方側に示されている該ＭＣＭの表面を該ＭＣＭの前表面と称することとし、該ＭＣＭの前表面に隣接している該薄膜型相互接続体の表面を該相互接続体の前表面と称することとする。また該薄膜型相互接続体での該前表面と対向している表面を該薄膜型相互接続体の背面と称することとする。

【００２２】

本発明での好適な実施例においては、該薄膜型相互接続体１２は２つのコネクタ１４をそなえており、該２つのコネクタは、該２つのコネクタの各対向面の間で延びている所定数の導電性ワイヤ１６を介して相互接続されている。ここで各該ワイヤは導電体材料で構成されており、各該ワイヤを介して各該コネクタ１４相互間での電気信号および／又は電力

の伝送がなされる。

【００２３】

図２に示されるように、各該ＭＣＭ１０の前表面には多数の電気的接触部１７が形成されており、各該電気的接触部を介して該ＭＣＭ内に存在する各集積回路などに対して入出力されるべき電気信号および／又は電力の伝送がなされる。一方、該薄膜型相互接続体１２を構成する各該コネクタ１４には、各該コネクタの前表面において、各該電気的接触部に対応するような多数の接触パッド１８が形成されている。したがって、各該ＭＣＭは、各該ＭＣＭに形成されている各該電気的接触部１７を、該相互接続体を構成する各該コネクタ１４に形成されている相応の各該接触パッド１８とそれぞれ電気接続することによって、電気的に相互接続される。ここで各該電気的接触部と相応の各該接触パッドとの間をそれぞれ電気接続するには、例えばはんだ材からなるパッド２０を用いることができ、この場合、該はんだ材からなるパッド２０を溶融させることによって、各該ＭＣＭに形成されている各該電気的接触部と各該コネクタ１４に形成されている相応の各該接触パッドとの間にそれぞれはんだ付けによる電気的接続部が形成される。

【００２４】

本発明での好適な実施例においては、該薄膜型相互接続体１２は可撓性を有する各該ワイヤ１６を介して個別に形成されている２つのコネクタ１４をそなえており、これによって例えば図２示されるように、例えば異なる高さの異なる面などにそれぞれ配置されている２つのＭＣＭ１０などの間を、該相互接続体１２によって相互接続することが可能となる。

【００２５】

かかる薄膜型相互接続体を製造する方法の１例が図３乃至図７を参照して以下に説明される。なおここで該図３乃至図７はそれぞれ、本発明での好適な実施例としての薄膜型相互接続体１２を完成させるまでのいくつかの製造段階において、該相互接続体１２の状態構成を例示した縦断面図である。すなわち該図３乃至図７は、本発明での好適な実施例としての該薄膜型相互接続体の製造方法を１ステップ毎に明示する目的で、上記したいくつかの製造段階での該相互接続体１２の状態構成を拡大して例示した縦断面図である。ここで、該図３乃至図７には、上述した各製造段階での該相互接続体１２の状態構成が、各図面の上方側に該相互接続体の前表面が向けられるような要領で図示されている。

【００２６】

先ず図３に示されるように、誘電体材料からなる誘電体層２４－１が基板２２の表面上にデポジットされる。該基板２２は任意のタイプの金属材料又は非金属材料で構成されうる。該基板２２用として好適な材料は、例えばシリコン、およびアルミニウムなどから選択されうる。一方、上述したような誘電体層用の誘電体材料は、有機又は無機のポリマー、セラミックス、ガラス、ガラスーセラミックス、ポリイミドーエポキシ、エポキシーガラス繊維、およびテフロンなどからなる非導電体材料の中から選択されうる。かかる誘電体層用として好適な誘電体材料は、例えば、製品番号２５２５又は２６１１としてデュポンケミカルから市販されているポリイミド、ベンゾシクロブテン、および他の適宜のフォト・エッチング可能な材料などから選択されうる。

【００２７】

かかる誘電体層２４－１は、当業者において周知の種々の方法を用いて、該基板２２に付加されうる。その第１の方法は、該基板２２の頂面全体に亘って、上記誘電体層用の材料を分布形成させるために用いられるスピニングプロセスにもとづいて、スピン方法（ｓｐｉｎ　ｍｅｔｈｏｄ）と称される方法である。このスピン方法は、液状になっている該誘電体層用の材料を、該基板２２の頂面の中央部近くに載置することによって行なわれる。次いで、該基板２２は高速度で回転させられ、それによって均一な厚みの薄い誘電体層（すなわち誘電体薄膜）を形成するように、該基板２２の頂面全体に亘って、上記誘電体層用の材料が延び広げられる。このプロセスにおいて、該誘電体層用の材料のうち余分の材料は、該基板２２から単に外方へ逸出（スピンオフ）させられるのみである。このスピン方法は、有機および無機の誘電体層用材料の何れにも適用されうる。このようにして該液

状の誘電体材料が該基板２２の頂面全体に亘って層状に分散形成された後、該誘電体層用の材料は、そのとき選択された材料に適した所定のキュア時間の間、放熱状態のままでキュア処理されるか、又は所定の温度上昇状態を維持したままでキュア処理される。

【００２８】

またその第２の方法は、上記した液状の誘電体層用材料を上記基板２２上に直接スプレイする方法である。このスプレイ方法では、該液状の誘電体層用材料が、圧縮空気によって、スプレイガンのノズルチップを通して押し進められる。このようにして押し進められた該誘電体層用材料は、小滴の連続的な流れとなって該基板２２の表面に向って押し飛ばされて該基板２２の表面に突き当たり、これによって該基板２２の表面上に上記液状の誘電体材料層が形成される。このスプレイ方法は、主として有機の誘電体層用材料で該誘電体層２４－１を形成する場合に適用されうる。かかる誘電体材料層が形成された後、該誘電体層用材料は、上記スピン方法において上記誘電体層用材料をキュア処理したのと同様の周知の方法によってキュア処理される。

【００２９】

更にその第３の方法は、コートンコーティング（Ｃｏｒｔｏｎ　ｃｏａｔｉｎｇ）を用いる方法である。この方法では、有機の誘電体層用材料が、該基板２２の頂面全体に亘って、薄いフィルム（薄膜）を形成するように押し出される。このとき、該押し出し用のノズル又は該基板２２のうちの何れか一方が、該基板２２の表面全体に亘って該誘電体層用材料を均一に分散形成させるために移動させられうる。このコートンコーティング方法は、主として有機の誘電体層用材料で該誘電体層２４－１を形成する場合に適用されうる。上述したようにして該誘電体層用材料のフィルムが形成された後、該誘電体層用材料は、上記スピン方法およびスプレイ方法において、それぞれ上記誘電体層用材料をキュア処理したのと同様の周知の方法によってキュア処理される。

【００３０】

次いで配線（信号線などの）面２６－１が、該誘電体層２４－１の表面での選択された各位置に、導電体材料の薄膜を付加するようにして形成される。ここで該配線面を形成するための材料は、高い導電率を有していることが望ましく、したがって各種の純金属、各種の合金、および各種金属と各種誘電体などとの組合せなどから選択されうる。一方、該配線面用として選択される導電体材料は、上記したような誘電体層２４－１などを形成するために用いられる誘電体材料が有する熱膨張係数とほぼ等しい値の熱膨張係数（ＣＴＥ）を有していることが望ましい。すなわち、相互に接触している各電気素子のＣＴＥを整合させることは、該相互接続体の動作中に生ずるであろう各種の熱的ストレスが増大することを回避する上で、また上記各電気素子内に生ずるおそれのある機械的欠陥の要因を排除する上で、望ましいことである。

【００３１】

かかる配線面は、例えばスパッタデポジション、ケミカルベーパデポジション、メタルオルガニックケミカルベーパデポジション、電気メッキ、および非電気メッキなどのような当業者において周知の薄膜デポジション手法を用いて、該誘電体層の表面上に選択的にデポジットされる。ここで該デポジットされるべき導電体層の厚さは、該配線面２６－１などに対して要求されるインピーダンスの値に依存して決定されることが望ましく、これによって該配線面を通して伝送される信号の完全性が保証されうる。すなわち例えば、仮にある配線面に対して比較的高いインピーダンスが要求される場合には、薄い厚さの導電体材料層が対応する誘電体層上にデポジットされるべきである。一方、仮に該配線面に対して比較的低いインピーダンスが要求される場合には、より厚い厚さの導電体材料層が該誘電体層上にデポジットされるべきである。

【００３２】

かかる配線面は、対応する誘電体層上において、各該コネクタ１４を形成することが所望される各位置にデポジットされる。この場合、周知のフォトリソグラフィック手法を用いて、該所望される各位置に導電体材料を選択的にデポジットさせるか又は、対応する誘電体層の全表面上に該導電体材料をデポジットさせてから余分のデポジット層を選択的に除

去する。図３は、対応する各誘電体層の表面上において、電気的に隔離された２つの異なる位置に２つの配線面がデポジットされており、該２つの位置が２つのコネクタ１４の形成位置とされている、本発明での好適な実施例としての薄膜型相互接続体の状態構成を、途中の製造段階において例示したものである。しかしながら、本発明にかかる薄膜型相互接続体においては、対応する各誘電体層の表面上において、電気的に隔離された２つ以上の任意の異なる位置に所定数の配線面を必要に応じてデポジットし、該デポジットされた位置の数に等しい数のコネクタを構成することができる。

【００３３】

次いで第２の誘電体層２４－２が、該配線面２６－１の表面および直前に形成された誘電体層２４－１の一部表面に付加される。ここで該第２の誘電体層２４－２を付加するにあたっても、上記基板２２の表面上に上記した誘電体層２４－１をデポジット形成したのと同様のデポジット手法が用いられる。また該第２の誘電体層２４－２用として選択される誘電体材料も、該基板２２上に該誘電体層２４－１をデポジット形成するのに用いられた材料と同様の材料であることが望ましい。

【００３４】

次いで所定数のスルーホール２８が該第２の誘電体層２４－２を通して形成される。ここで各該スルーホールの形成位置は、該相互接続体に接続される各電気素子に対する相互接続条件に応じて決定される。また各該スルーホールは、該第２の誘電体層２４－２の表面から、該第２の誘電体層を通して、上記配線面２６－１の表面まで延びるように形成される。また各該スルーホールを形成するにあたっては、反応性イオンエッチング、あるいはケミカルエッチングなどのような当業者において周知のエッチング手法が用いられうる。各該スルーホールを形成するのに好適なエッチング手法は、フォトリソグラフィックエッチングあるいはフォトエッチングプロセスなどである。該フォトエッチングプロセスにおいては、先ず、該第２の誘電体層２４－２の表面にフォトレジスト材料の均一層が適用され、次いで周知の手法を用いて該フォトレジスト材料がキュア処理される。この際、該フォトレジスト材料の表面上に、所定数の円形開口が設けられたフォトマスクが配置される。ここで該フォトマスクの開口パターンは、該第２の誘電体層２４－２内に各該スルーホールを形成するのに必要な数と位置とに対応したパターンとされる。

【００３５】

該配線面に対する各該スルーホールの形成位置は、該相互接続体に接続される各電気素子に対する電気的接続条件に応じて決定される。かかる要求に対処するため、上記したフォトエッチングプロセスにおいては、該フォトマスクを通して該フォトレジスト材料が露光され、その結果該フォトマスクによってカバーされていない各領域に存在するフォトレジスト材料を現像させ、このようにして各該スルーホール２８を形成させたい各位置が規定される。次いで該現像された各領域が周知のエッチング手法によってエッチング処理される。例えば化学的なエッチング化合物（コンパウンド）が該フォトレジスト材料に対する各現像領域に適用され、その結果上記各現像領域において、該第２の誘電体層２４－２が、その表面から該第２の誘電体層を通して該配線面２６－１の表面までエッチング除去される。

【００３６】

このようにして形成された各該スルーホールの形状は、必然的に、該第２の誘電体層２４－２の表面近くでの第１の直径より、該配線面２６－１の表面近くでの第２の直径が小さくされたような、先端を切った形の円錐形状となる。各該スルーホールがかかる円錐形状に形成されるのは、上記エッチング化合物が該誘電体層の表面からその厚み方向に侵入するにつれて生ずるエッチング効率の低下、ならびに各該スルーホールがより深くエッチングされたときの該フォトレジスト材料からなる層の僅かなアンダーカットなどがその要因となっている。

【００３７】

次いでこのようにして形成された各該スルーホール２８には、以下で“メタライズ”と称するプロセスを用いて、導電体材料が充填され、これによって各バイア３０が形成される

。ここで各該スルーホールをメタライズするための導電体材料は、各種の純金属、各種の合金、および各種金属と各種誘電体などとの組合せなどから選択されうる。ただし、かかるメタライズ用の導電体材料を選択するにあたっては、該選択された導電体材料が、上記したような配線面２６－１などを形成するために用いられる導電体材料が有する熱膨張係数とほぼ等しい値の熱膨張係数を有していることが望ましい。

【００３８】

いくつかの周知な手法が、上記各スルーホール２８を充填又はメタライズさせるために用いられうる。しかしながら、本発明においては、特別に選択された手法を採用することによって、上記各スルーホール２８のメタライズを、ボイド無しに密封された状態で達成させることが望ましい。このように各該スルーホール２８のメタライズをボイド無しに密封された状態で完結させるのに好適な１つの手法は、電気メッキプロセスを用いる手法である。この電気メッキプロセスにおいては、上記各スルーホール２８を充填又はメタライズするために選択された金属又は合金が、典型的には、上記したようなメタライズ用の材料のイオンを含む電解槽内に浸された陽極側電極（アノード）とされる。一方、上記した導電性の配線面２６－１が、典型的には、上記電気メッキプロセスがなされている間、陰極側電極（カソード）とされて、上記電解槽内に浸されている。この状態で所定の電圧が、該メタライズ用の導電体材料（通常、上記アノードとされる）と、上記配線面２６－１（上述したように上記メッキプロセスがなされている間、通常、上記カソードとされる）との間に印加され、これによって、該メタライズ用の導電体材料が、上記各スルーホール２８の内部において、その底部側（すなわち上記配線面２６－１の表面側）から上方側（すなわち上記第２の誘電体層２４－２の表面側）に向って、逐次堆積させられる。このようにして各該スルーホール２８が上記第２の誘電体層２４－２の表面まで充填（すなわちメタライズ）させられたならば、上記各スルーホール２８に対するメタライズは完全なものとなる。

【００３９】

かかる電気メッキプロセスは、上記各スルーホール２８をボイド無しで密封充填することを保証する。その理由は、該メタライズ用の導電体材料が各該スルーホール２８における上記カソード部分のみに電気メッキされて行くからであり、この場合、当初は上記配線面２６－１が該カソード部分とされ、その後、上記メタライズ用の導電体材料が堆積（デポジット）されて行くにしたがって、該堆積（デポジット）された該導電体材料の表面が逐次上記カソード部分とされて行くからである。ここで該メタライズ用の導電体材料が、各該スルーホール２８の壁（ｗａｌｌ）上にデポジットもしくは電気メッキされることはない。その理由は、各該スルーホール２８の壁が非導電性の誘電体材料で構成されているからである。各該スルーホール２８の壁の周りに該メタライズ用の導電体材料をデポジットさせることなく、各該スルーホール２８をその底部側からその上方側に向ってメタライズさせることができるので、該メタライズを行う期間中に、何等かのボイドが発生するのを防止することができ、その結果、各該スルーホール２８内に形成される各バイア３０の導電率を最高の値にすることができる。該メタライズを行うために用いられる他の手法では、各該スルーホール２８の壁上に該メタライズ用の導電体材料がデポジットされるため、各種のボイドがしばしば発生してしまい、その結果、該メタライズ用の導電体材料を、各該スルーホール２８の最底部分まで密封された状態で充填させたいという課題を解決することを困難にし、又は不可能にする。

【００４０】

上記各スルーホール２８をボイド無しで密封されるようにメタライズするのに好適な他の手法は、メタルオルガニックケミカルベーパデポジション（ＭＯＣＶＤ）である。該ＭＯＣＶＤを行うプロセスにおいては先ず、各該スルーホール２８を充填するために選択された材料（すなわち有機金属化合物（メタルオルガニックコンポジション））が、所定の蒸発室内に配置されて、蒸気を発生させるために、酸素を含まない雰囲気中でその昇華温度まで加熱される。次いで、該蒸気は所定の反応室内に指し向けられ、該反応室内で該蒸気が、加熱された状態にある上記相互接続体１２に設けられている各該スルーホール２８上

をその全体に亘って通過させられる。その結果、該蒸気は、該配線面２６－１の表面上に金属フィルムを形成するように堆積され、その際該配線面２６－１は金属性蒸気に対する凝集場所として機能する。ここで該金属性蒸気は上記配線面２６－１の表面上で熱分解され、その結果、各該スルーホール２８を次第に埋め盡くすような導電性の金属フィルムとして残留する。これによって、一旦、上記各スルーホール２８が上記第２の誘電体層２４－２の表面まで充填されたならば、各該スルーホール２８のメタライゼーションは完全なものとなる。

【００４１】

上記ＭＯＣＶＤは、上記各スルーホール２８をメタライズさせるのに好適な手法である。その理由は、該ＭＯＣＶＤによれば、金属と非金属化合物とを含む導電体材料を堆積（デポジット）させることも可能となるからである。有機成分は良好な導電体ではないけれども、該有機成分が有する本質的に低い値の熱膨張係数（ＣＴＥ）によって、導電性の金属成分が有する本質的に高い値のＣＴＥを相殺することが可能となる。したがって該有機成分を使用することは、上記各スルーホール２８の周囲を取り巻く上記第２の誘電体層２４－２が有するＣＴＥと、該メタライズ用の導電体材料が有するＣＴＥとを整合させるにあたってきわめて好ましいことである。

【００４２】

非電気的なメッキによる手法もまた、上記各スルーホール２８をボイド無しで密封するようにしてメタライズするために用いられうる。

次いで第２の配線（信号線などの）面２６－２が、該第２の誘電体層２４－２の表面上に導電体材料を選択的にデポジットすることによって形成される。この場合、該第２の配線面２６－２用として選択される導電体材料も、上記第１の配線面２６－１を形成するのに用いられたのと同様の材料とされうる。また該第２の配線面２６－２は、該第２の誘電体層２４－２の表面上において、直前に形成された配線面２６－１の形成位置に対応した各位置にデポジットされている。ここで該第２の配線面２６－２を形成するにあたっても、導電体材料が上記第１の配線面２６－１をデポジット形成したのと同様のデポジット手法を用いてデポジットされうる。この場合、該第２の配線面２６－２を形成するための導電体材料は、該第２の誘電体層２４－２の表面上において、該第２の誘電体層２４－２の表面から該第１の配線面２６－１まで延びている各バイア３０と接触しないようにしてデポジットされる必要がある。すなわち仮に該第２の配線面２６－２が上記各バイア３０のうちの何れかと接触したとすると、上記第１の配線面２６－１と該第２の配線面２６－２との間に短絡回路が生じてしまうため、かかる短絡回路が生ずるのを阻止する上で、上記したような接触は避けられるべきである。かかる接触を避けるために、好適な１具体例においては、該第２の誘電体層２４－２の表面上での上記各位置において、上記第１の配線面２６－１まで延びている上記各バイア３０と接触しない範囲を限って、該第２の配線面２６－２を形成するための導電体材料が選択的にデポジットされうる。しかしながら、該相互接続体に接続される上記各電気素子に対する電気的接続条件はしばしば変化する可能性があるので、かかる各配線面相互間での短絡回路の発生を回避するためには、該第２の配線面２６－２などをデポジットするにあたっては、上記第１の配線面２６－１をデポジット形成したのとは異なる別の態様でデポジットするのが好ましい。

【００４３】

次いで第３の誘電体層２４－３が、該第２の配線面２６－２の表面および直前に形成された誘電体層２４－２の一部表面にデポジットされる。この場合、該第３の誘電体層２４－３を形成するための誘電体材料も、上記第１および第２の各誘電体層を形成するのに用いられたのと同様の誘電体材料とすることができ、また該第３の誘電体層２４－３を形成するにあたっても、上記第１および第２の各誘電体層をデポジット形成したのと同様のデポジット手法を用いてデポジット形成されうる。

【００４４】

次いで所定数のスルーホール２８が該第３の誘電体層２４－３内に形成される。この場合、各該スルーホールを形成するにあたっても、上記第２の誘電体層２４－２内に各スルー

ホールを形成したのと同様のエッチング手法を用いてエッチング形成されうる。ここで該第３の誘電体層２４－３内に形成される各該スルーホールの位置と数は、該第２の誘電体層２４－２内に形成されている既存の各バイア３０の位置と数、および上記第２の配線面２６－２に直接電気接続させようとする各バイアの位置と数とに応じて、それぞれ決定される。換言すれば、該第３の誘電体層２４－３内に形成される各該スルーホールの位置と数とはともに、該相互接続体に接続される上記各電気素子に対する電気的接続条件に応じて決定されることになる。図３は、本発明での好適な１実施例として、上記第１の配線面２６－１に電気接続されている既存の各バイア３０の位置と数、および上記第２の配線面２６－２に電気接続させるために新たに形成しようとする各バイアの位置と数とにそれぞれ対応させて、該第３の誘電体層２４－３内に形成されるべき各スルーホール２８の位置と数とが決められうることを示している。

【００４５】

次いで、該第３の誘電体層２４－３内に形成された各スルーホール２８がメタライズされて、該第３の誘電体層２４－３内に各バイア３０が形成される。この場合、上記各スルーホールをメタライズするにあたっても、上記第２の誘電体層２４－２内に形成された各スルーホールをメタライズするために用いた材料と同様の導電体材料を用いることができ、また上記第２の誘電体層２４－２内に形成された各スルーホールをメタライズするのに用いたのと同様のメタライズ手法を用いてメタライズすることができる。

【００４６】

以下同様にして、配線面をデポジット形成するステップ、該配線面の表面上などに誘電体層をデポジット形成するステップ、該誘電体層内に各スルーホールを形成するステップ、および上記各スルーホールをメタライズして各導電性バイアを形成するステップが、各該配線面および上記各バイアの数と配列状態とがそれぞれ所定の数と所定の配列状態とになるのに必要な回数だけ、上述したような要領で繰返し実行されうる。

【００４７】

上述したような薄膜手法を用いて、各スルーホールを形成し、更にこのようにして形成された各スルーホールをメタライズして各導電性バイアを形成することは、高いアスペクト比（ここで該アスペクト比は、バイアの長さ又は深さＨと、該バイアの直径Ｗとの比、すなわちＨ／Ｗとして規定される）がえられるように、各バイアを形成することが可能となるため、きわめて有利なことである。かかる薄膜手法および上述したようなスルーホール形成方法および該スルーホールに対するメタライズ方法を用いることによって、本発明にかかる相互接続体は、プリント配線手法を用いて構成された相互接続体に比し、はるかに高密度に各該バイアをそなえさせるように構成されうる。したがって本発明において採用されているかかる薄膜手法は、特に高性能のコンピュータなどに使用される相互接続体を構成する上で最適な手法である。すなわち本発明のようにかかる薄膜手法を用いることによって、各該バイアのピッチがほぼ１０マイクロメートルとなるように、上記相互接続体を構成することが可能となる。これに対し、プリント配線手法を用いて構成された相互接続体では、各バイアのピッチを、せいぜい０．１０ミリメートル程度にしかとることができず、それ以上に高密度に上記各バイアを形成することは不可能である。

【００４８】

ところでかかる薄膜型相互接続体を構成するにあたっては、上記した各誘電体層のうちのある誘電体層の表面に、上記配線面に代えて、グランド面を形成することが望ましい場合がある。その理由はかかるグランド面を形成することによって、互にきわめて接近した状態で順次配列されている上記各導電性配線面にそれぞれ存在する各電気配線が電気信号又は電力を伝送するために使用されているときに発生するおそれがある静電的障害又は相互干渉的障害を抑制することができるからである。したがってかかるグランド面の形成が望まれる場合には、上記各電気配線を予期していない各種の電磁的障害などから保護するためのシールドとして作用させるために、該グランド面が上記各電気配線の間に形成されうる。かかるグランド面の形成は、該相互接続体が特に高性能のコンピュータなどの用途に使用される場合に特に好ましいことである。その理由は、かかる用途においては、上記各

電気配線によって伝送される電気信号の完全性がきわめて厳密に要求されるからである。

【００４９】

上述したような理由にもとづいて、本発明での好適な実施例においては、図４に示されるように、グランド面３２が上記第３の誘電体層２４－３の表面に付加される。かかるグランド面３２を形成するにあたっても、上記各配線面２６－１，２６－２、および上記各バイア３０を形成するのに用いられたのと同様の導電体材料を用いて形成することができる。これによって、該グランド面３２を形成するために用いられる導電体材料が有する熱膨張係数（ＣＴＥ）を、該薄膜型相互接続体を構成する導電性の各素子を形成するために用いられる各導電体材料がそれぞれ有する熱膨張係数（ＣＴＥ）の何れとも整合させることが可能となる。またかかるグランド面３２を形成するにあたっては、上記各配線面２６－１および２６－２をデポジット形成した場合と同様のデポジット手法を用いてデポジット形成されうる。ここで該グランド面３２は、該誘電体層２４－３の表面上において、それ以前に形成された各配線面の形成位置に対応した各位置にデポジット形成される。この場合、該グランド面３２は、上記図４に示されるように、直前に形成された誘電体層２４－３内に存在する各バイアと接触しないようにして、選択的にデポジットされる必要がある。

【００５０】

上記図４においては、上記したグランド面３２が、単にその１例として、上記第３の誘電体層２４－３の表面上にデポジットされている。しかしながら、上述したような予期しない各種の電磁的障害などを受けないように電気的にシールドしたい電気配線をそなえた配線面の数に応じて、該薄膜型相互接続体内に上述したようなグランド面３２を任意の数だけデポジット形成することができることは明らかである。したがって結局、該薄膜型相互接続体内に形成されるべき上記グランド面の位置と数は、該相互接続体に接続しようとする各電気素子に対する電気的接続条件に応じて、それぞれ決定されることになる。

【００５１】

図４は、該グランド面３２の表面上と直前に形成された誘電体層２４－３の一部表面上とに、第４の誘電体層２４－４がデポジットされた後の段階での、該薄膜型相互接続体の状態構成を示している。該第４の誘電体層２４－４を形成するにあたっても、それ以前に形成された各誘電体層を形成するのに用いられたのと同様の誘電体材料を用いることができ、また上記各誘電体層をデポジット形成した場合と同様のデポジット手法を用いてデポジット形成されうる。次いで所定数のスルーホールが、それ以前に形成された各誘電体層内に各スルーホールを形成した場合と同様のエッチング手法を用いて、該第４の誘電体層２４－４内に形成される。ここで各該スルーホール２８は、上記第１の配線面２６－１および第２の配線面２６－２まで述びている各バイアに対応する各位置に形成される。次いで各該スルーホールは、それ以前に形成された各誘電体層内に形成された各スルーホールをメタライズした場合と同様のデポジット手法を用いて、メタライズされる。

【００５２】

次いで第３の配線（信号線などの）面２６－３が、該第４の誘電体層２４－４の表面上において、それ以前に形成された各配線面２６－１および２６－２の形成位置に対応した各位置にデポジット形成される。該第３の配線面２６－３を形成するにあたっても、上記各配線面２６－１および２６－２を形成するのに用いられたのと同様の導電体材料を用いることができ、また上記各配線面２６－１および２６－２をデポジット形成した場合と同様のデポジット手法を用いて、上記各配線面２６－１および２６－２の形成位置に対応した各位置にデポジット形成されうる。

【００５３】

次いで第５の誘電体層２４－５が、該第３の配線面２６－３の表面上および直前に形成された誘電体層２４－４の一部表面上にデポジットされる。該第５の誘電体層２４－５を形成するにあたっても、それ以前に形成された各誘電体層２４－１，２４－２，２４－３、および２４－４を形成するのに用いられたのと同様の誘電体材料を用いることができ、また上記各誘電体層２４－１，２４－２，２４－３、および２４－４をデポジット形成した

場合と同様のデポジット手法を用いてデポジット形成されうる。次いで所定数のスルーホールが、それ以前に形成された各誘電体層内に各スルーホールを形成した場合に用いられたのと同様のエッチング手法を用いて、該第５の誘電体層２４－５内に形成される。ここで各該スルーホールは、上記各配線面２６－１および２６－２までそれぞれ延びている各バイアに対応する各位置、および上記配線面２６－３まで延びるように形成したい各バイアに対応する各位置に形成される。次いで、このようにして形成された各該スルーホールがメタライズされることによって各バイアが形成される。この場合、かかる各バイアを形成するにあたっても、それ以前に形成された各誘電体層内に形成された各スルーホールをメタライズするのに用いられたのと同様の導電体材料を用いることができ、また上記各誘電体層内に形成された各スルーホールをメタライズした場合に用いられたのと同様のデポジット手法を用いてメタライズされうる。説明を分り易くしかつ例示的なものとする上で、図５においては、第５の誘電体層２４－５が、最後に形成される誘電体層であるとして示されている。

【００５４】

このようにして各配線面、各グランド面、各誘電体層、および各バイアがそれぞれ所望の数だけ形成されたならば、所定数の接触パッド１８が、上記したようにして最後に形成された誘電体層２４－５の前表面上に選択的にデポジット形成される。かかる各接触パッド１８は、各コネクタ１４を構成する各バイア３０の形成位置に対応する各位置において、上記各バイア３０とそれぞれ電気接続されるような態様でデポジット形成される。かかる各接触パッド１８を形成するにあたっても、上述したようにして上記各スルーホールをメタライズするのに用いられたのと同様の導電体材料を用いることができる。その結果、上記各接触パッド１８を構成する導電体材料が有する熱膨張係数（ＣＴＥ）を、上記各接触パッドとそれぞれ電気接続されている各バイア３０を構成する導電体材料が有する熱膨張係数（ＣＴＥ）と整合させることができ、これによって上記したような各種の熱的ストレスの発生を回避することができる。更にかかる各接触パッド１８を形成するにあたっても、上記各配線面２６－１乃至２６－３をデポジット形成した場合に用いられたのと同様の選択的なデポジット手法を用いて、デポジット形成されうる。

【００５５】

上記図５には、本発明での１実施例として、３つの配線面２６－１乃至２６－３、１つのグランド面３２、および５つの誘電体層２４－１乃至２４－５をそなえた薄膜型相互接続体１２が例示されているが、この実施例は単に説明を分り易くする目的で例示されたものにすぎないことは明らかである。したがって、かかる薄膜型相互接続体１２に形成されるべき各配線面、各グランド面、各誘電体層、各バイア、および各接触パッドの数および／又はそれらの配列状態が、該相互接続体に接続しようとする各電気素子に対する種々の電気的接続条件に応じて、上述したものとは異なる数および／又は配列状態とされたとしても、すべて本発明の範囲に含まれていると解されるべきである。

【００５６】

上述したようにして多数の薄膜状の配線面を順次多層状にデポジット形成することによって、各該配線面に存在する各電気配線を相互に交差するように配線することが可能となり、これによって該相互接続体に接続しようとする各電気素子の間を相互接続するにあたり、如何なる接続条件にも適応させることが可能となる。したがってかかる薄膜型相互接続体を利用することによって、あるＭＣＭに形成されているあるリード線を、該ＭＣＭの近くに配置されている他のＭＣＭに形成されている如何なるリード線とも、容易かつ確実に電気接続することができる。かかる点を考慮すると、該薄膜型相互接続体に形成されるべき各配線面の数は、該相互接続体が利用される各分野においてそれぞれ要求される相互接続条件、およびそれに伴って発生する上記各電気配線の所要交差度数などを勘案して、所定の数に設定されるのが望ましい。

【００５７】

ところで上述したようにして、上記薄膜型相互接続体内での所定の各位置に各配線面と各誘電体層とを交互に組合せるようにしてデポジットさせて行くことにより、上記した各位

置を除く各位置に、上記基板２２と上記各誘電体層２４－１乃至２４－５とにより構成される中間体３３が形成されることになる。かかる中間体３３は、横方向に隔離されている各配線面セット２７の間にそれぞれ存在することになり、かかる中間体３３によって上記各配線面セット２７相互間が電気的に隔離される。上記図５には、本発明での好適な１実施例として、２つの配線面セット２７の間に存在する該相互接続体の中央部分に、単一の中間体３３が存在しているような薄膜型相互接続体が示されている。しかしながら、該薄膜型相互接続体内に形成されるべき該中間体３３の数は、上記した配線面セット２７、換言すればかかる配線面セット２７により構成されるコネクタ１４についての必要数に応じて、任意の数とされうることは言うまでもない。例えば、上記した配線面セット２７、換言すれば上記コネクタ１４を３つそなえた薄膜型相互接続体においては、２つの中間体３３が形成されることになる。

【００５８】

次いで上記図５および図６に示されるように、所定数の導電性ワイヤ１６が、上記最後に形成された誘電体層２４－５の表面上に形成されるここで各該ワイヤ１６は、あるコネクタ１４に形成されている各接触パッド１８から該中間体３３上を横切って他のコネクタ１４に形成されている対応の各接触パッド１８までそれぞれ延びるように形成されており、これによって該対応する上記各接触パッド同志がそれぞれ電気接続される。かかる各ワイヤ１６を形成するにあたっても、上記各配線面２６－１乃至２６－３、上記グランド面３２、上記各バイア３０、および上記各接触パッド１８をそれぞれデポジット形成するのに用いられたのと同様の導電体材料を用いてデポジット形成することができる。これによって上記各ワイヤ１６を構成する導電体材料が有する熱膨張係数（ＣＴＥ）を、上記各配線面２６－１乃至２６－３、上記グランド面３２、上記各バイア３０、および上記各接触パッド１８をそれぞれ構成する各導電体材料がそれぞれ有する熱膨張係数（ＣＴＥ）の何れとも整合させることが保証される。またかかる各ワイヤ１６を形成するにあたっては、上記各配線面２６－１乃至２６－３および上記グランド面３２をデポジット形成した場合に用いられたのと同様の選択的なデポジット手法を用いて、上記各コネクタ１４の前表面上と上記中間体３３の前表面上とにデポジット形成されうる。上記図６は、上記各ワイヤ１６がデポジット形成された後での、中間段階としての該薄膜型相互接続体の平面図である。

【００５９】

図７は、上記中間体３３が除去されたことによって完成した、該薄膜型相互接続体１２の構成を例示している。上記図７に示されるように、該薄膜型相互接続体１２においては、該相互接続体を構成する各コネクタ１４が、所定数のワイヤ１６を介して、電気的および機械的に相互接続されている。ここで上記した中間体３３は、上記各誘電体層２４－１乃至２４－５内にそれぞれ各スルーホールを形成した場合に用いられたのと同様のエッチング手法を用いてエッチング除去されうる。このように上記中間体３３を除去することによって、該相互接続体１２を構成する何れのコネクタ１４についても、残余の各コネクタ１４に対して自由な位置をとりうるようにフレキシブルな相対的移動を容易に行わせることができる。したがってかかる構成をそなえた薄膜型相互接続体１２によれば、異なる面にそれぞれ配置されている各電気素子の間を容易かつ確実に相互接続することが可能となる。

【００６０】

ただし、上述したような薄膜型相互接続体の代りに、もし全体形状が不変とされたリジッドな薄膜型相互接続体が所望される場合には、上記中間体３３をそのまま残存させておくこともできる。そしてかかる薄膜型相互接続体１２によれば、同じ面にそれぞれ配置されている各電気素子の間を相互接続するような場合に有利に使用されうる。

【００６１】

ところで特に上述したようにして上記中間体３３が除去されたような場合には、互に対向した状態にある各コネクタ１４の間に存在する各ワイヤ１６の部分は、自己支持機能を確保するのに必要な厚みとなるように、その周囲がデポジット被覆されうる。更にまた、上

記各ワイヤ１６に使用される材料は、上述したような異なる面にそれぞれ配置されている各ＭＣＭの間を上記各コネクタ１４を用いて相互接続する際に必要とされる曲がりを支障なく発揮しうるような所要の柔軟性を有していることが望ましい。なお上記各ワイヤ１６は互に分離形成されているので、上記した以外には特に付加的な電気絶縁処理を通常は必要としないけれども、もし必要があれば、上記各コネクタ１４上に形成されている上記各接触パッド１８を一時的にマスクしておいて、上記各コネクタ１４上に形成されている各ワイヤ１６の部分にも、その周りに電気絶縁材料がデポジット被覆されうる。

【００６２】

なお上述した実施例においては、上記各コネクタ１４が上記各ワイヤ１６を介して一体となるように相互接続されているが、かかる各ワイヤ１６を用いる代りに、例えばワイヤケーブルを用いて、上記各コネクタ１４（２つ以上のコネクタ１４）同志を相互接続することも考えられる。この場合、周知のリボンケーブルなどを用いて、あるコネクタ１４に形成されているあるピン（上記接触パッドに相当する）を、他のコネクタ１４に形成されているあるピン（上記接触パッドに対応する他の接触パッドに相当する）と電気接続するような要領で、上記した各ピン同志がそれぞれ相互に電気接続される。このようにして本発明にかかる薄膜型相互接続体１２においては、上記したような各ワイヤ１６あるいはワイヤケーブルなどを用いて、該相互接続体１２を構成するあるコネクタ１４に形成されている任意のピン又は任意の接触パッドと、他のコネクタ１４に形成されている対応する任意のピン又は任意の接触パッドとを、それぞれ相互接続することができる。更に本発明にかかる相互接続体１２においては、上記各配線面２６－１乃至２６－３などにそれぞれ形成されている各配線パターンを利用して、該相互接続体１２を構成するあるコネクタ１４に形成されているある接触パッド又はピンを、他のコネクタ１４に形成されているいくつかの対応する接触パッド又はピンと、それぞれ相互接続するような要領で、上記各接触パッド又は上記各ピン同志を、それぞれ相互接続することが可能となる。

【００６３】

図８および図９は、上述したような本発明における好適な１実施例としての薄膜型相互接続体の製造方法を、ステップ形式で概説したフローチャートである。図１０乃至図１２は、本発明での好適な１実施例としての、２つのコネクタ１４を有する薄膜型相互接続体１２において、各該コネクタ１４が互に異なる３つの位置関係に置かれた場合の各使用状態をそれぞれ例示している。すなわち該薄膜型相互接続体１２を上記図１０に示されるような状態で使用した場合には、特に同じ面にそれぞれ配置された各電気素子の間を容易かつ確実に電気接続することができる。また該薄膜型相互接続体１２を上記図１１に示されるような状態で使用した場合には、特に互に直角をなす各面にそれぞれ配置された各電気素子の間を容易かつ確実に電気接続することができる。また該薄膜型相互接続体１２を上記図１２に示されるような状態で使用した場合には、特に異なる高さの２つの平行面にそれぞれ配置された各電気素子の間を容易かつ確実に電気接続することができる。ただし上述したような各使用例は単に例示的なものにすぎず、本発明にかかる薄膜型相互接続体１２によれば、該相互接続体を構成する上記各コネクタ１４が上述したように互にフレキシブルな相対的移動をなしうるように構成されているので、上述した以外の種々の異なる面にそれぞれ配置されている各電気素子の間をも、容易かつ確実に電気接続することが可能となる。

【００６４】

図１３は、本発明での好適な１実施例としての薄膜型相互接続体１２として、該相互接続体を構成する２つのコネクタ１４のうち、一方のコネクタ１４の背面に隆起部３４が形成され、他方のコネクタ１４の背面に該隆起部３４に対しほぼ相補的に作用するような切欠部３６が形成されている相互接続体を例示している。かかる構成をそなえているので、もし該薄膜型相互接続体を形状不変のリジッドな部材として使用したい場合には、上記隆起部３４と切欠部３６とを利用して、各該コネクタ１４の背面同志の位置合せ（アライン）がなされる。更に必要があれば、各該コネクタにそれぞれ形成されている上記隆起部３４と切欠部３６とに接着剤を適用して各該コネクタ１４同志を付着させ、次いで上記隆起部

３４および切欠部３６の各位置を合せ（アラインし）、更に各該コネクタ１４の各背面を一体化させる方向に押し付ける。この場合、該薄膜型相互接続体に各電気素子を電気接続する際に遭遇する種々のはんだ付け温度に耐えられるような有機又は無機の各種接着剤が、各該コネクタ１４同志を付着させるのに使用されうる。かかる目的で使用するのに好適な有機の接着剤は、エポキシ、熱可塑性ポリイミド、ポリエーテルスルフォン、およびポリエーテルケトンなどから選択されることができ、これらの各接着剤はすべてフィルム状にして適用されうる。一方、かかる目的で使用するのに好適な無機の接着剤は、低いシーリング温度（例えば４５０℃以下）を有する各種ガラスおよび各種合金などから選択されうる。なおもし必要があれば、各該コネクタ１４の各背面間に各種のガラススペーサなどを配設することもでき、これによって上記各電気素子間を相互接続する際に要求される、該薄膜型相互接続体の全体の厚さを、必要な厚さとなるように適宜調整することができる。

【００６５】

上記図１３に示される相互接続体においては、各該コネクタ１４の各背面同志を相補的に係合させる手段として上記したような隆起部３４と切欠部３６とが設けられているが、かかる係合あるいは位置合せを確保する手段として、本発明においては他の適宜の構成を採用することができる。更に上記図１３には、ある１つの薄膜型相互接続体を構成する各コネクタ同志をそれらの背面側で一体化させうるようにした相互接続体が例示されているが、上述したような係合あるいは位置合せ手段などを利用して、別々の各薄膜型相互接続体にそれぞれ設けられている各コネクタ１４同志を相互に一体化させるようにすることも、本発明の範囲に含まれるべきである。

【００６６】

本発明での好適な実施例としての薄膜型相互接続体についてこれまで図示説明してきたが、上述した実施例以外にも、種々の変形例や各種の実施例が、本発明の範囲内のものとして当業者にとって容易に考えられうることは明らかである。その１例として、図１４には、本発明での他の好適な実施例として、上述したような本発明の製造方法にしたがって製造された、３つのコネクタ１４をそなえた薄膜型相互接続体１２が例示されている。これまでの説明から明らかなように、該図１４に示される薄膜型相互接続体１２は、対応する各誘電体層上での３つの異なる各位置に各配線面をそれぞれ選択的にデポジットすることによってえられるもので、これにより３つの配線面セット（したがって３つのコネクタ１４）が形成されることになる。かかる薄膜型相互接続体１２は、該相互接続体を構成する各ワイヤ１６を介して該３つのコネクタ１４の各位置をそれぞれ所要の位置に設定することにより、異なる面にそれぞれ配置された特に３つ以上の各電気素子の間を相互接続するような場合に、きわめて好適に使用されうる。このように該薄膜型相互接続体に接続されるべき各電気素子に対する電気的な相互接続条件に応じて、該相互接続体を構成する各コネクタ１４の数をどのような値に設定した場合でも、すべて本発明の範囲に含まれうることは明らかである。

【００６７】

ここで更に別の１例として、図１５には、本発明での更に他の好適な実施例として、上述したような本発明の製造方法にしたがって製造された、５つのコネクタ１４をそなえた薄膜型相互接続体１２が例示されている。該図１５から明らかなように、かかる薄膜型相互接続体１２は、互に異なる５つの面にそれぞれ配置された特に５つ以上の各電気素子の間の相互接続を確保するような場合にきわめて好適に使用されうる。該図１５に示される薄膜型相互接続体１２は、対応する各誘電体層上での５つの異なる各位置に各配線面をそれぞれ選択的にデポジットすることによってえられるもので、これにより５つの配線面セット（したがって５つのコネクタ１４）が形成されることになる。

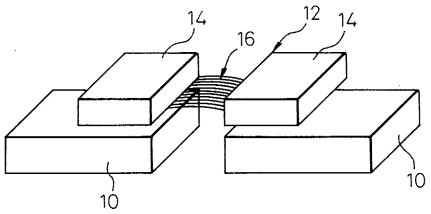
【００６８】

上述したように本発明においては、種々の変形例や各種の実施例が考えられるので、本発明は、上述した実施例によって限定されるべきものではなく、上記した特許請求の範囲に規定された範囲内で、種々の態様で実施されうるものである。

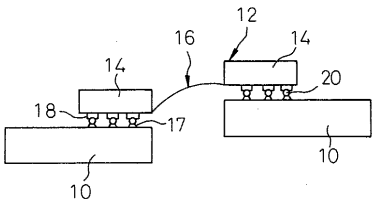
【００６９】
【発明の効果】
本発明によれば、高性能のコンピュータなどに存在する各電気素子の間を相互接続することができるように、所定の表面領域内に多数の電気的接続部が形成された高密度型の薄膜型相互接続体とすることができる。また本発明によれば、互に異なる面にそれぞれ配置されている各電気素子の間を自由に相互接続することができるような、三次元性の薄膜型相互接続体とすることができる。更にまた本発明によれば、使用すべき各材料および採用すべき各薄膜手法としてそれぞれ所定の材料および手法を選択することによって、上記したような薄膜型相互接続体を実用的かつ経済的に製造することができる。
【図面の簡単な説明】
【図１】本発明にかかる薄膜型相互接続体１２によって、２つのマルチ・チップモジュール１０が電気的に接続されている状態を示す斜視図である。
【図２】本発明にかかる薄膜型相互接続体１２によって、異なる高さの異なる面にそれぞれ配置されている２つのマルチ・チップモジュール１０が電気的に接続されている状態を示す側面図である。
【図３】本発明での好適な１実施例としての薄膜型相互接続体について、第３の誘電体層２４－３が形成された後の中間段階での状態構成を拡大して示す縦断面図である。
【図４】本発明での好適な１実施例としての薄膜型相互接続体について、第４の誘電体層２４－４が形成された後の中間段階での状態構成を拡大して示す縦断面図である。
【図５】本発明での好適な１実施例としての薄膜型相互接続体について、第５の誘電体層２４－５、各接触パッド１８、および各ワイヤ１６がそれぞれ形成された後の中間段階での状態構成を拡大して示す縦断面図である。
【図６】本発明での好適な１実施例としての薄膜型相互接続体について、上記各接触パッド１８および各ワイヤ１６がそれぞれ形成された後の中間段階での状態構成を拡大して示す平面図である。
【図７】本発明での好適な１実施例としての薄膜型相互接続体について、中間体３３が除去されたことによって出来上った、最終製品としての該相互接続体の構成を拡大して示す縦断面図である。
【図８】本発明での好適な１実施例としての薄膜型相互接続体の製造方法を、ステップ形式で概説したフローチャートである。
【図９】本発明での好適な１実施例としての薄膜型相互接続体の製造方法を、ステップ形式で概説したフローチャートである。
【図１０】本発明での好適な１実施例としての薄膜型相互接続体の１使用状態として、該相互接続体を構成する２つのコネクタ１４が同じ面にそれぞれ位置している場合を例示する斜視図である。
【図１１】本発明での好適な１実施例としての薄膜型相互接続体の他の使用状態として、該相互接続体を構成する２つのコネクタ１４が互いに直角をなす各面にそれぞれ位置している場合を例示する斜視図である。
【図１２】本発明での好適な１実施例としての薄膜型相互接続体の更に他の使用状態として、該相互接続体を構成する２つのコネクタ１４が異なる高さの２つの平行面にそれぞれ位置している場合を例示する斜視図である。
【図１３】本発明での好適な１実施例としての薄膜型相互接続体として、該相互接続体を構成する２つのコネクタ１４の各背面に、互に位置整合しうるような各係合部がそれぞれ形成されている該相互接続体の構成を例示する斜視図である。
【図１４】本発明での好適な他の実施例としての薄膜型相互接続体として、３つのコネクタ１４をそなえた相互接続体の構成を例示する斜視図である。
【図１５】本発明での好適な更に他の実施例としての薄膜型相互接続体として、５つのコネクタ１４をそなえた相互接続体の構成を例示する斜視図である。
【符号の説明】
１０…マルチ・チップモジュール（ＭＣＭ）

１２…薄膜型相互接続体
１４…コネクタ
１６…ワイヤ
１７…ＭＣＭに形成された電気的接触部
１８…コネクタに形成された接触パッド
２０…はんだ材などからなるパッド
２２…基板
２４－１…第１の誘電体層
２４－２…第２の誘電体層
２４－３…第３の誘電体層
２４－４…第４の誘電体層
２４－５…第５の誘電体層
２６－１…第１の配線（信号線など）面
２６－２…第２の配線（信号線など）面
２６－３…第３の配線（信号線など）面
２７…配線面セット
２８…スルーホール
３０…バイア
３２…グランド面
３３…中間体
３４…隆起部
３６…切欠部

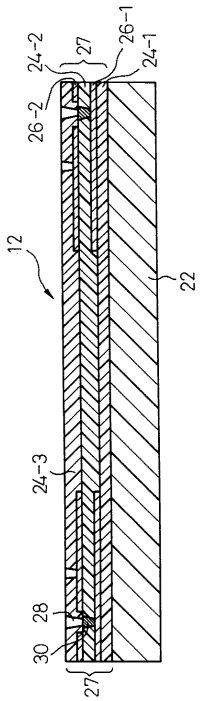
【図１】



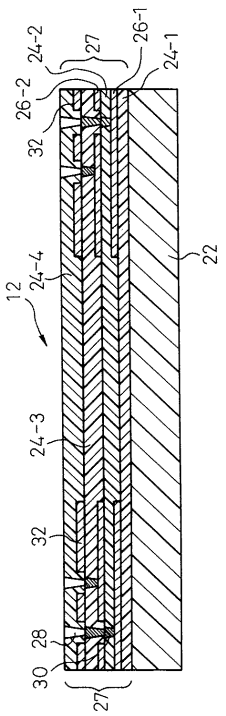
【図２】



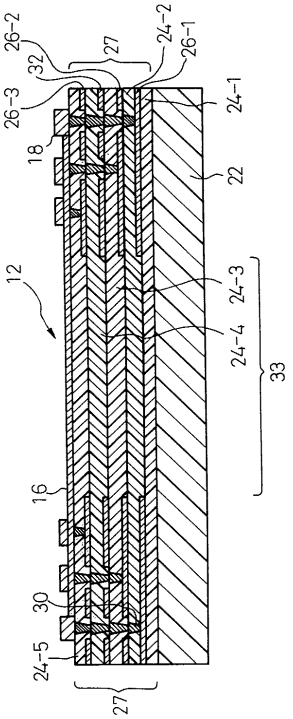
【図３】



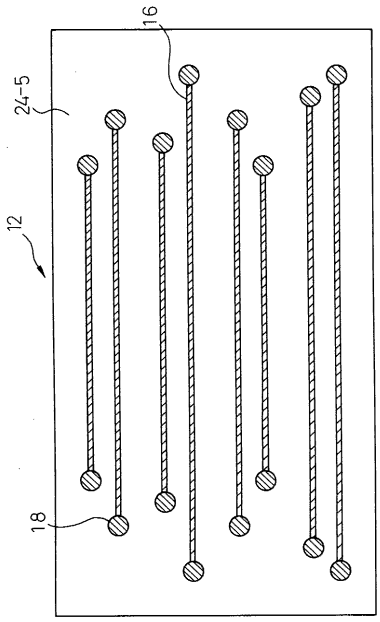
【図４】


12
22
24-1
24-2
24-3
24-4
26-1
26-2
27
28
30
32

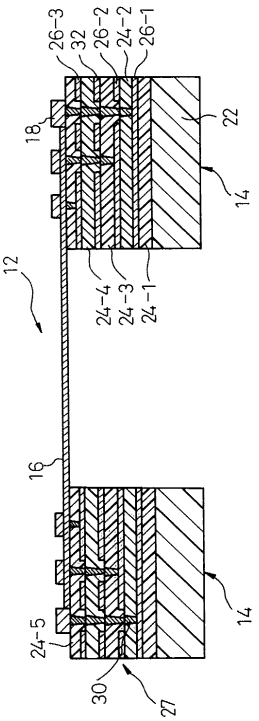
【図５】


12
16
18
22
24-1
24-2
24-3
24-4
24-5
26-1
26-2
26-3
27
30
32
33

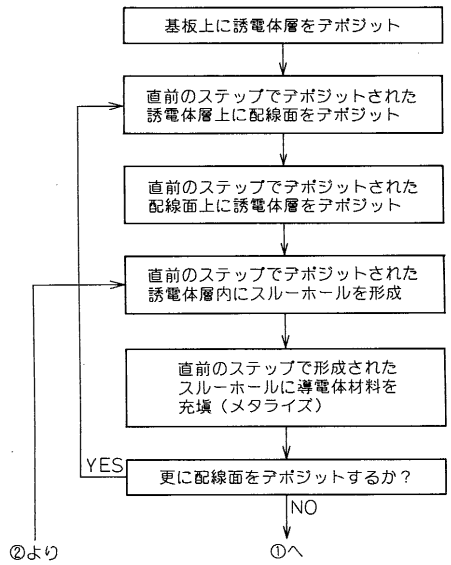
【図６】


12
16
18
24-5

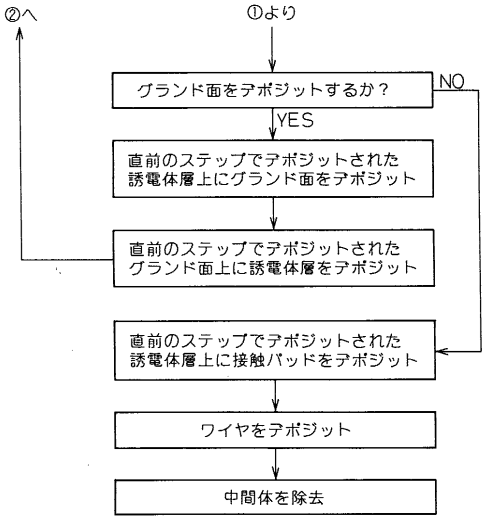
【図７】


12
14
16
18
22
24-1
24-2
24-3
24-4
24-5
26-1
26-2
26-3
27
30
32

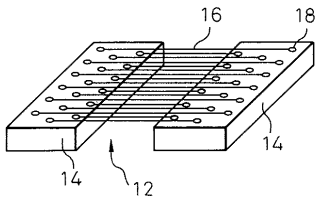
【図８】



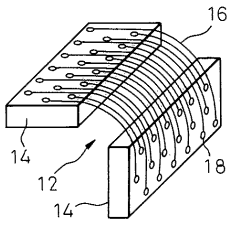
【図９】



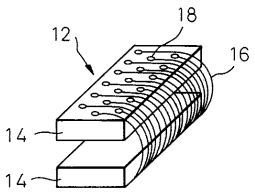
【図１０】



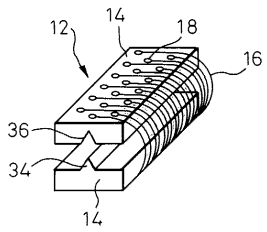
【図１１】



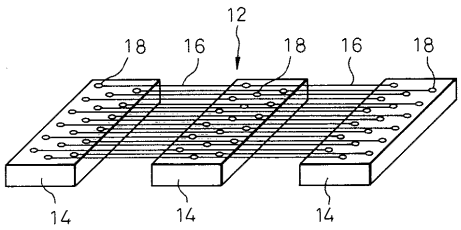
【図１２】



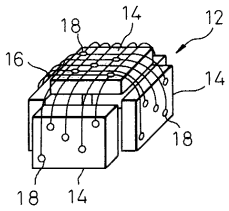
【図１３】



【図１４】



【図１５】



フロントページの続き

(51)Int.Cl.[7] FI
H05K 3/46 N

(72)発明者 ウェン－チョウ ビンセント ワン
アメリカ合衆国, カリフォルニア ９５０１４, キュパーティノ, エドミントン ドライブ １８４５７
(72)発明者 ソロモン アイ. ベイリン
アメリカ合衆国, カリフォルニア ９４０７０, サン カルロス, クラブ ドライブ ８３
(72)発明者 ウィリアム ティー. チョウ
アメリカ合衆国, カリフォルニア ９５０１４, キュパーティノ, レイク スプリング クリーク １１５５１
(72)発明者 デビッド クドズマ
アメリカ合衆国, カリフォルニア ９５１３１, サン ホセ, マーティン ジュー ストリート １７００
(72)発明者 マイケル ジー. リー
アメリカ合衆国, カリフォルニア ９５１１８, サン ホセ, デジン ドライブ ４４２１
(72)発明者 マイケル ジー. ピータース
アメリカ合衆国, カリフォルニア ９５０５１, サンタ クララ, ジャンニーニ ドライブ ４８５
(72)発明者 ジェームズ ジェイ. ローマン
アメリカ合衆国, カリフォルニア ９５０３５, ミルピタス, ステメル ウェイ １４４９
(72)発明者 ソン エス. スワミー
アメリカ合衆国, カリフォルニア ９４５０６, ダンビル, バットムウッド ドライブ ５０８

審査官 千葉 成就

(56)参考文献 特開平０４－０２６１８５（ＪＰ, Ａ）
特開平０５－０１３９５８（ＪＰ, Ａ）
特開平０４－０１５９８５（ＪＰ, Ａ）
特開平０５－０８２９７２（ＪＰ, Ａ）

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H05K 1/14
H05K 1/11
H05K 3/46