



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 10 2006 035 487 A1** 2007.06.14

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2006 035 487.7**

(22) Anmeldetag: **05.12.2006**

(43) Offenlegungstag: **14.06.2007**

(51) Int Cl.<sup>8</sup>: **H01L 21/301** (2006.01)  
**H01L 33/00** (2006.01)

(30) Unionspriorität:

**2005-352727 06.12.2005 JP**

(74) Vertreter:

**TBK-Patent, 80336 München**

(71) Anmelder:

**Toyoda Gosei Co., Ltd., Nishikasugai, Aichi, JP**

(72) Erfinder:

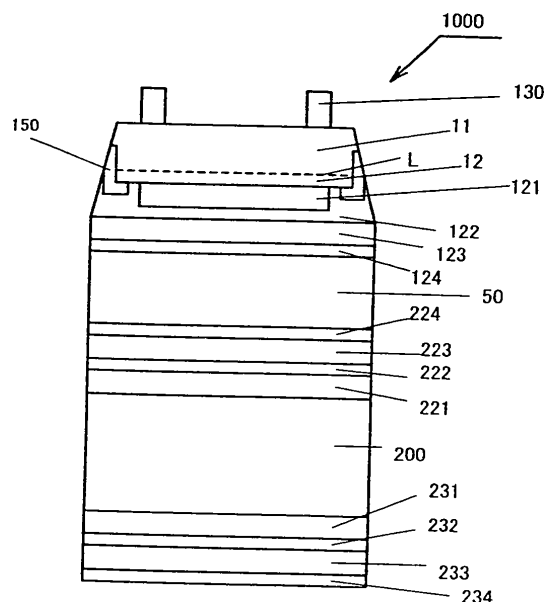
**Uemura, Toshiya, Aichi, JP; Horiuchi, Shigemi, Aichi, JP**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

(54) Bezeichnung: **Gruppe III/Nitrid-basierte Verbindungshalbleitervorrichtung und dessen Herstellungsverfahren**

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung einer Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung mit dem Trennen der Vorrichtung in individuelle Chips mittels eines Rohchipzerteilungsmessers. Ein Abschnitt einer Epitaxieschicht, wo ein Rohchipzerteilungsmesser anzuordnen ist, wird teilweise oder vollständig durch einen Ätzzvorgang entfernt, um dadurch einen Graben auszubilden. Eine isolierende Schicht wird auf dem Boden und auf den Seitenoberflächen des Grabens ausgebildet. Ein Wafer wird in Chips derart zerteilt, dass der Boden des Grabens mittels des Rohchipzerteilungsmessers entfernt wird, ohne die Seitenoberflächen der isolierenden Schicht vollständig zu entfernen. Die isolierende Schicht wird auf den Seitenoberflächen des Grabens derart ausgebildet, dass die Schicht eine p-Schicht bis zu einer n-Schicht bedeckt, die in Gruppe III/Nitrid-basierten Verbindungshalbleiterschichten enthalten sind, so dass ein Kurzschluss zwischen der p-Schicht und der n-Schicht vermieden wird.



**Beschreibung**

## Technisches Gebiet

**[0001]** Die Erfindung betrifft ein Herstellungsverfahren für eine Gruppe III/Nitrid-basierte Verbindungshalbleitervorrichtung. In der vorliegenden Verwendung bezeichnet der Begriff „optische Halbleitervorrichtung“ kollektiv eine Halbleitervorrichtung mit einer beliebigen optischen Funktion von Interesse einschließlich einer Energieumwandlungsvorrichtung zum Umwandeln von optischer Energie in elektrische Energie oder umgekehrt (beispielsweise eine Lichtemissionsvorrichtung oder eine lichtempfindliche Vorrichtung).

## Stand der Technik

**[0002]** Vor einiger Zeit wurde herausgefunden, dass ein Gruppe III/Nitrid-basierter Verbindungshalbleiter zur Herstellung einer Lichtemissionsvorrichtung nützlich ist, die grünes oder blaues bis UV-Licht emittiert. Bis jetzt wurde eine derartige Lichtemissionsvorrichtung im Allgemeinen durch Epitaxiewachstum eines Gruppe III/Nitrid-basierten Verbindungshalbleiters auf einem isolierenden Heterosubstrat wie etwa einem Saphirsubstrat hergestellt. Selbst wenn ein leitendes Heterosubstrat verwendet wird, verbleibt eine beträchtliche Anzahl an während des Wachstums auftretenden Versetzungen in der ausgebildeten Epitaxiewachstumsschicht, was problematisch ist. Während das Epitaxiewachstumserzeugnis in die Umgebungstemperatur zurückgeführt wird, werden zudem durch eine Differenz im Zwischenschichtausdehnungskoeffizienten bedingte Risse in einer Gruppe III/Nitrid-basierten Verbindungshalbleiterschicht erzeugt, und die Risserzeugung kann nicht ausreichend vermieden werden, was ebenfalls problematisch ist.

**[0003]** Im Übrigen offenbaren die japanische Patentschrift Nr. 3418150, die japanischen Patentoffenlegungsschriften 2001-501778 und 2005-522873, die US Patentschrift Nr. 6071795 und der Artikel Kelly, et al.: „Optical process for liftoff of group III/nitride films“, Physica Status Solidi (a), Band 159 (1997), Seiten R3 bis R4 einige Techniken zur Erzeugung von Halbleitervorrichtungen, die ein Substrat zum Epitaxiewachstum und ein Unterstützungssubstrat zur Verwendung in einer Vorrichtung verwenden, die voneinander verschieden sind. Im Einzelnen wird eine Gruppe III/Nitrid-basierte Verbindungshalbleiterschicht auf einem ersten Substrat epitaktisch aufgewachsen, und die erzeugte Gruppe III/Nitrid-basierte Verbindungshalbleitervorrichtung wird auf ein zweites Substrat übertragen.

## Darstellung der Erfindung

**[0004]** Die vorliegenden Erfinder führten ausführli-

che Studien über die Verwendung der vorstehend beschriebenen Techniken zur Erzeugung einer optischen Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung durch. Bei den Studien der Erfinder wird ein leitendes Substrat als unterstützendes Substrat verwendet, und eine Elektrode, die mit einer p-Schicht in Kontakt mit dem unterstützenden Substrat verbunden ist, ist aus einem Metall mit hohem Reflexionsvermögen ausgebildet. Zudem ist auf der gegenüberliegenden Seite eine Elektrode, die mit einer n-Schicht mit einer durch Entfernung eines Wachstumssubstrats freigelegten Oberfläche verbunden ist, in eine Fensterrahmenform verarbeitet. Durch Verwendung der Technik der Erfinder kann das beispielsweise von einer Licht emittierenden Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung emittierte Licht effizient durch ein Fenster (das heißt eine Fläche innerhalb des Fensterrahmens) herausgeführt werden, wo keine rahmenförmige Elektrode auf einer Oberfläche der n-Schicht bereitgestellt ist.

**[0005]** Im Übrigen sind während des Halbschneidens der Vorrichtung mittels eines Rohchipzerteilungsmessers die Seitenoberflächen der n-Schicht und der p-Schicht, die eine Seitenoberfläche der Lichtemissionsfläche sandwichartig umgeben, anfällig für einen elektrischen Kurzschluss. Der Kurzschluss wird durch das Schneiden von Chips der mehrschichtigen Metallschicht zur Verbindung mit dem leitenden Substrat sowie durch jene des Gruppe III/Nitrid-basierten Verbindungshalbleiters verursacht, und daher kann ein beträchtlich großer Strom erzeugt werden.

## Technische Aufgabe

**[0006]** Somit liegt der vorliegenden Erfindung die Aufgabe zugrunde, einen Kurzschluss zwischen den Seitenoberflächen der n-Schicht und der p-Schicht der Vorrichtung zu vermeiden.

## Technische Lösung

**[0007]** Gemäß einer ersten Ausgestaltung der Erfindung wird ein Verfahren zur Herstellung einer Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung bereitgestellt, einschließlich der Trennung der Vorrichtung in individuelle Chips mittels eines Rohchipzerteilungsmessers, das Verfahren umfasst dabei: ein Abschnitt einer Epitaxieschicht, wo ein Rohchipzerteilungsmesser zu positionieren ist, wird durch einen Ätzvorgang teilweise oder vollständig entfernt, um dadurch einen Graben auszubilden; Ausbilden einer isolierenden Schicht auf der Boden- und den Seitenoberflächen des Grabens; und Durchführen eines Rohchipzerteilungsvorgangs derart, dass der Boden des Grabens mittels des Rohchipzerteilungsmessers entfernt wird, ohne die Seitenoberflächen der isolierenden Schicht vollständig zu entfernen, wobei die isolierende Schicht auf den Seitenoberflächen des

Grabens derart ausgebildet ist, dass die Schicht eine p-Schicht bis zu einer n-Schicht bedeckt, die in Gruppe III/Nitrid-basierten Verbindungshalbleiterschichten enthalten sind, so dass ein Kurzschluss zwischen der p-Schicht und der n-Schicht vermieden wird.

**[0008]** Dabei kann der Graben das Substrat erreichen oder nicht. Es ist adäquat, falls nur die Seitenwand sowohl der p-Schicht als auch der n-Schicht in dem Graben freigelegt ist. Es ist nötig, die Seitenoberflächen der isolierenden Schicht nicht vollständig zu entfernen.

**[0009]** Gemäß einer zweiten Ausgestaltung der Erfindung wird das Ätzen und Ausbilden der isolierenden Schicht ab einer leitenden Schicht der Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung ausgeführt, und der Rohchipzerteilungsvorgang mittels des Rohchipzerteilungsmessers wird ab der anderen leitenden Schicht derselben Vorrichtung ausgeführt.

**[0010]** Wenn ein Gruppe III/Nitrid-basierter Verbindungshalbleiter auf einem Wachstumssubstrat epitaktisch aufgewachsen wird, weist die aufgewachsene gestapelte Struktur im Allgemeinen eine Schichtkonfiguration zur Erleichterung einer p-Aktivierung auf, wobei die nahe dem Wachstumssubstrat gelegene Schicht zu einer n-Schicht wird, und eine dem Substrat ferne Schicht (das heißt obere Schicht) eine p-Schicht wird. Daher ist die eine leitende Schicht die p-Schicht und die andere leitende Schicht ist die n-Schicht. Falls jedoch eine obere n-Schicht durch eine verbesserte Technik hergestellt werden kann, kann die eine leitende Schicht die n-Schicht sein, und die andere leitende Schicht kann die p-Schicht sein.

**[0011]** Gemäß einer dritten Ausgestaltung der Erfindung umfasst das Verfahren vor der Rohchipzerteilung durch Betätigung des Rohchipzerteilungsmessers ferner: Ausbilden einer Gruppe III/Nitrid-basierter Verbindungshalbleitervorrichtung auf dem ersten Substrat; Ausbilden einer Elektrode auf der obersten Schicht der Vorrichtung; Ausbilden des Grabens; Ausbilden der isolierenden Schicht; Verbinden eines leitenden zweiten Substrates unmittelbar oder mittels einer leitenden Schicht oder einer leitenden Mehrfachsicht auf der Elektrodenausbildungsoberfläche der auf dem ersten Substrat ausgebildeten Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung; Entfernen des ersten Substrates von der verbundenen Struktur; und Ausbilden einer Elektrode auf einer neu freigelegten Schicht der Gruppe III/Nitrid-basierter Verbindungshalbleitervorrichtung.

**[0012]** Dabei kann die leitende Schicht oder die leitende Mehrfachsicht zumindest aus einem Titan-(Ti), einem Nickel-(Ni), einem Gold-(Au) oder einem Goldzinnlötmedium oder aus einer Kombination dieser Metalle ausgebildet sein.

**[0013]** Gemäß einer vierten Ausgestaltung der Erfindung wird eine Gruppe III/Nitrid-basierte Verbindungshalbleitervorrichtung bereitgestellt, mit: einem leitenden Substrat, einer mit dem leitenden Substrat direkt oder mittels einer leitenden Schicht oder einer leitenden Mehrfachsicht verbundenen ersten Elektrode, einer Gruppe III/Nitrid-basierter Verbindungshalbleitervorrichtungsschicht, bei der zumindest eine mit der ersten Elektrode verbundene erste leitende Schicht und eine zweite leitende Schicht mit einer von der ersten leitenden Schicht verschiedenen Leitungsart gestapelt sind, einer auf der Oberfläche der Gruppe III/Nitrid-basierter Verbindungshalbleitervorrichtungsschicht gegenüber der Oberfläche, auf der die erste Elektrode ausgebildet wurde, ausgebildeten zweiten Elektrode, und einer isolierenden Schicht, die sich entlang und nahe der äußeren Peripherie der Vorrichtung erstreckt, und so ausgebildet ist, dass die Seitenoberflächen der Schichten mit entgegengesetzter Leitungsart bedeckt sind und sie in der Gruppe III/Nitrid-basierter Verbindungshalbleitervorrichtungsschicht enthalten ist.

**[0014]** Dabei ist beispielsweise die erste leitende Schicht eine p-Schicht, und die zweite leitende Schicht ist eine n-Schicht. Zudem ist die erste Elektrode für die p-Schicht und die zweite Elektrode für die n-Schicht.

#### Vorteilhafte Wirkungen der Erfindung

**[0015]** Gemäß der ersten Ausgestaltung werden vor dem Ausführen eines Halbschneidevorgangs mittels eines Rohchipzerteilungsmessers die Seitenoberflächen der n-Schicht und der p-Schicht der Vorrichtung mit einer isolierenden Schicht bedeckt. Beispielsweise ist zumindest ein Abschnitt der Seitenoberflächen der p-Schicht, der Seitenoberflächen einer Funktionsschicht wie etwa einer pn-Übergangsgrenzfläche oder einer Licht emittierenden Schicht, und zumindest ein Abschnitt der Seitenoberflächen der n-Schicht bedeckt. Durch Bedeckung mittels der isolierenden Schicht kann ein pn-Kurzschluss vermieden werden, selbst wenn leitende Rohchipzerteilungschips auf einer Seitenoberfläche der vorliegenden Vorrichtung angeordnet sind.

**[0016]** Gemäß der zweiten Ausgestaltung ist die vorliegende Erfindung besonders vorteilhaft, wenn die Ätzrichtung zur Ausbildung von Gräben und die Rohchipzerteilungsrichtung voneinander verschieden sind; das heißt, die oberste Schicht während der Grabenausbildung und die oberste Schicht während der Rohchipzerteilung sind voneinander verschieden.

**[0017]** Gemäß der dritten Ausgestaltung ist das erfindungsgemäße Herstellungsverfahren besonders wirkungsvoll für eine gestapelte Halbleiterstruktur, die auf einem Epitaxiewachstumssubstrat während

eines Ätzzvorgangs und auf einem unterstützenden Substrat während eines Rohchipzerteilungsvorgangs angeordnet ist.

**[0018]** Gemäß der vierten Ausgestaltung kann bei der erfindungsgemäßen Halbleitervorrichtung ein pn-Kurzschluss vermieden werden, wodurch die Ausbeute der Chipvorrichtungsproduktion erhöht und ein pn-Kurzschluss während der Verwendung vermieden werden kann.

Kurze Beschreibung der Abbildungen der Zeichnungen

**[0019]** Verschiedene andere Merkmale und viele der damit verbundenen Vorteile der Erfindung werden leicht ersichtlich, wenn die Erfindung unter Bezugnahme auf die nachfolgende ausführliche Beschreibung der bevorzugten Ausführungsbeispiele in Verbindung mit der beiliegenden Zeichnung besser verstanden wird. Es zeigen:

**[0020]** Die [Fig. 1A](#) bis [Fig. 1J](#) Querschnittansichten einer Gruppe III/Nitrid-basierten Licht emittierenden Verbindungshalbleitervorrichtung **1000**, welche deren Herstellungsschritte darstellen.

Bester Weg zur Ausführung der Erfindung

**[0021]** Die Erfindung ist auf eine beliebige Bauart einer Gruppe III/Nitrid-basierten optischen Verbindungshalbleitervorrichtung anwendbar, insbesondere auf eine Licht emittierende Vorrichtung mit einem Lichttherausführungsbereich, und einer lichtempfindlichen Vorrichtung mit einem Lichtaufnahmebereich. Im Falle einer optischen Halbleitervorrichtung mit einem unterstützenden Substrat wird eine Elektrode (beispielsweise eine fensterrahmenförmige Elektrode) vorzugsweise unmittelbar oder mittels einer transparenten Elektrode auf einer Gruppe III/Nitrid-basierten Verbindungshalbleiterschicht ausgebildet, die auf einer Oberfläche bereitgestellt ist, die nicht in Kontakt mit dem unterstützenden Substrat steht. Wenn positive und negative Elektroden bereitgestellt werden, so dass ein Lichtemissionsbereich sandwichartig umgeben wird, ist das unterstützende Substrat vorzugsweise ein leitendes Substrat.

**[0022]** Wenn eine Halbleiterschicht eines Epitaxiewachstumssubstrats durch Schmelzen und Zersetzen einer Halbleiterschicht (beispielsweise einer Galliumnitriddünnenschicht) durch Laserbestrahlung getrennt wird, wird vorzugsweise ein Laserstrahl mit einer kürzeren Wellenlänge als 365 nm verwendet. Alternativ werden vorzugsweise YAG-Laserstrahlen (Wellenlänge: 365 nm und 266 nm), ein XeCl-Laserstrahl (Wellenlänge: 308 nm), ein ArF-Laserstrahl (155 nm) und ein KrF-Laserstrahl (Wellenlänge: 248 nm) verwendet. Die Laserbestrahlungsfläche für einen Vorgang, das heißt eine Einheitsbestrahlungsfläche,

kann eine rechteckige Fläche mit der Größe eines ganzzahligen Vielfachen der Chipgröße sowohl in lateraler als auch in transversaler Richtung sein. Wenn beispielsweise ein (quadratischer) Chip eine Seitenlänge von 500 µm aufweist, kann eine Einheitsbestrahlungsfläche von 2 mm × 2 mm verwendet werden, was einer 4 × 4 Chips enthaltende Fläche entspricht. Alternativ kann eine Einheitsbestrahlungsfläche von 3 mm × 3 mm verwendet werden, was einer 6 × 6 Chips enthaltende Fläche entspricht. Eine derartige Einheitslaserbestrahlungsfläche wird auf einem Wafer ohne überlappende Bestrahlungsflächen abgetastet. Eine derartige Betriebsweise wird bevorzugt, da die Konturen der Einheitsbestrahlungsfläche nicht in einer Chipfläche verbleiben. Mit anderen Worten koexistieren ein geschmolzener Halbleiterbereich und ein nicht geschmolzener Halbleiterbereich nicht in einem einzelnen Chipbereich während eines einzelnen Laserbestrahlungsvorgangs, wodurch die Produktionsausbeute und die Eigenschaften der Vorrichtungen verbessert werden können.

**[0023]** Die gestapelte Struktur eines Gruppe III/Nitrid-basierten Verbindungshalbleiters wird vorzugsweise durch Epitaxiewachstum ausgebildet. Eine auf einem Wachstumssubstrat vor dem Epitaxiewachstum ausgebildete Pufferschicht kann nicht durch Epitaxiewachstum sondern durch andere Techniken wie etwa einem Zerstäubungsvorgang ausgebildet sein. Der spezifische Ablauf des Wachstumsverfahrens wie etwa das Epitaxiewachstum unterliegt keinen besonderen Beschränkungen, und auch die Art des Epitaxiewachstumssubstrates, die Schichtkonfiguration, die Schichtstruktur der funktionalen Schichten (MQW, SQW, Mantelschicht, Leitschicht usw.) einschließlich einer Lichtemissionsschicht, die Handhabung der unterteilten Vorrichtung usw. unterliegen keinen besonderen Beschränkungen. Eine detaillierte Beschreibung der Schichtstruktur und des Herstellungsverfahrens für die gestapelte Halbleiterstruktur kann bei dem nachstehend beschriebenen Ausführungsbeispiel weggelassen werden. Erfindungsgemäß können jedoch zum Zeitpunkt der vorliegenden Anmeldung jegliche bekannten Strukturen und Techniken in Kombination verwendet werden. Soweit es nicht anders dargestellt ist, können diese bekannten Schichtstrukturen und Techniken erfindungsgemäß verwendet werden.

**[0024]** Der Begriff „Gruppe III/Nitrid-basierte Verbindung“ bezieht sich im engeren Sinne auf einen AlGaN-basierten Halbleiter an sich aus vier Bestandteilen (einschließlich zwei Bestandteilen und drei Bestandteilen), und im weiteren Sinne auf einen derartigen Halbleiter, dem ein Donatordotierstoffelement oder ein Akzeptordotierstoffelement zur Verleihung von Leitfähigkeit zugefügt wurde. Im Allgemeinen können jedoch die vorstehend angeführten Halbleiterverbindungen weiterhin ein anderes Gruppe

III-Element oder ein Gruppe V-Element als zusätzliches oder substituierendes Element enthalten, oder sie können ein beliebiges zusätzliches Element zum Zuweisen von anderen Funktionen enthalten. Diese Gruppe III/Nitrid-basierten Verbindungen sind nicht ausgeschlossen.

**[0025]** Die mit der Gruppe III/Nitrid-basierten Verbindungsschicht zu verbindende Elektrode und eine mit dieser Elektrode zu verbindenden Einzelschicht- oder Mehrschichtelektrode kann aus einem beliebigen leitenden Material ausgebildet sein. Im Allgemeinen weist eine optische Halbleitervorrichtung ein aus einer positiven und negativen Elektrode bestehendes Paar auf. Eine dieser Elektroden kann aus einem Metall mit hohem Reflexionsvermögen ausgebildet sein. Iridium (Ir), Platin (Pt), Rhodium (Rh), Silber (Ag), Aluminium (Al), Palladium (Pd), eine Legierung daraus, oder eine Vielschicht daraus kann als das Metall mit hohem Reflexionsvermögen geeignet verwendet werden, wenn das Metall mit hohem Reflexionsvermögen unmittelbar auf die Gruppe III/Nitrid-basierte Verbindungshalbleiterschicht abgeschieden wird. Eine transparente Elektrode wie etwa eine Oxydelektrode, beispielsweise eine Indiumzinnoxidelektrode oder eine Indiumtitanoxylektrode, kann für die Bereitstellung auf der Halbleiterschicht verwendet werden. Außerdem kann das Metall mit hohem Reflexionsvermögen auf der Oxydelektrode bereitgestellt werden. Wenn die Elektrodenschicht aus einer Metallschicht und einer Oxydschicht (beispielsweise ITO) ausgebildet ist, kann eine aus einem beliebigen dielektrischen Material ausgebildete dielektrische Schicht zwischen der Oxydschicht und der Metallschicht bereitgestellt werden, um einen unmittelbaren Kontakt dazwischen zu vermeiden. Dabei werden in der dielektrischen Schicht Löcher bereitgestellt, und die Metallschicht und die Oxydschicht (beispielsweise aus ITO) können durch die Löcher elektrisch verbunden sein, die mit leitendem Material gefüllt werden. Der epitaktisch gewachsene Wafer und das unterstützende Substrat werden vorzugsweise unter Verwendung eines Lötmittels miteinander verbunden. In Abhängigkeit von der Zusammensetzung des Lötmittels wird eine mehrschichtige Metallschicht vorzugsweise nach Bedarf auf der Verbindungsoberfläche des unterstützenden Substrates oder des epitaktisch gewachsenen Wafers bereitgestellt.

#### Ausführungsbeispiel 1

**[0026]** Die [Fig. 1A](#) bis [Fig. 1J](#) zeigen Schnittansichten einer Licht emittierenden Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung **1000** während ihrer Herstellungsschritte gemäß einem Ausführungsbeispiel der Erfindung. [Fig. 1J](#) zeigt einen Chip der Gruppe III/Nitrid-basierten Licht emittierenden Verbindungshalbleitervorrichtung **1000**. Die [Fig. 1A](#) bis [Fig. 1I](#) zeigen Schnittansichten von etwa drei Chips der Vorrichtung und vergrößerte Schnittansich-

ten eines einzelnen Wafers.

**[0027]** Zunächst wird ein Saphirsubstrat **100** bereitgestellt, und eine Gruppe III/Nitrid-basierte Verbindungshalbleiterschicht wird auf dem Substrat durch einen üblichen Epitaxiewachstumsvorgang ausgebildet ([Fig. 1A](#)). [Fig. 1A](#) zeigt die Gruppe III/Nitrid-basierte Verbindungshalbleiterschicht als eine vereinfachte gestapelte Struktur einschließlich einer n-Schicht **11** und einer p-Schicht **12** mit einem Licht emittierenden Bereich L. In den [Fig. 1A](#) bis [Fig. 1J](#) sind die n-Schicht **11** und die p-Schicht **12** als an dem durch eine unterbrochene Linie dargestellten Licht emittierenden Bereich L in Kontakt miteinander stehende Schichten, und detaillierte gestapelte Strukturen sind nicht bereitgestellt. Auf dem Saphirsubstrat **100** ist beispielsweise eine gestapelte Struktur einschließlich einer Pufferschicht, einer stark mit Silizium dotierten n<sup>+</sup>GaN-Schicht, einer niedrig dotierten n-GaN-Schicht und einer n-AlGaN-Mantelschicht ausgebildet, die in dieser Reihenfolge ausgebildet werden. Dabei wird die gestapelte Struktur in den [Fig. 1A](#) bis [Fig. 1J](#) nur durch die n-Schicht **11** repräsentiert. In ähnlicher Weise wird in den [Fig. 1A](#) bis [Fig. 1J](#) eine gestapelte Struktur einschließlich einer magnesiumdotierten p-AlGaN-Mantelschicht, einer niedrig dotierten p-GaN-Schicht und einer hoch dotierten p<sup>+</sup>-GaN-Schicht, die in dieser Reihenfolge ausgebildet sind, nur durch die p-Schicht **12** repräsentiert. Der durch eine unterbrochene Linie repräsentierte Licht emittierende Bereich L gibt sowohl eine pn-Übergangsfläche als auch beispielsweise eine Licht emittierende Mehrfachquantentopfschicht an (die Topfschichten sind im Allgemeinen undotiert). Somit repräsentiert der Licht emittierende Bereich L nicht einfach die Grenzfläche zwischen der n-Schicht **11** und der p-Schicht **12**. Die „Ebene des Licht emittierenden Bereichs“ bezieht sich auf eine nahe dem durch eine unterbrochene Linie repräsentierten Licht emittierenden Bereich L vorhandene Ebene. Vor der Durchführung „der nachstehend angeführten Wärmebehandlung unter Stickstoffatmosphäre (N<sub>2</sub>)“, ist die p-Schicht **12** eine ein p-Dotierstoffelement enthaltene Schicht, aber deren elektrischer Widerstand ist nicht verringert. Nach Abschluss „der Wärmebehandlung unter Stickstoffatmosphäre (N<sub>2</sub>)“, ist die p-Schicht **12** eine allgemeine niederohmige p-Schicht.

**[0028]** Nachfolgend wird eine strukturierte Resistlackschicht auf der p-Schicht **12** ausgebildet, und eine Rhodiumschicht (Rh), (Dicke: 300 nm) wird über der Resistlackschicht über die Gasphase abgeschieden. Die Resistlackschicht wird einem Abhebevorgang unterzogen, um dadurch eine strukturierte Elektrode **121** mit hohem Reflexionsvermögen auszubilden, die als erste Elektrode dient. Im Einzelnen wird die Rhodiumelektrode **121** mit hohem Reflexionsvermögen quadratisch ausgebildet (420 µm × 420 µm). Das Intervall zwischen zwei benachbarten Rhodi-

umelektroden (Rh) **121** mit hohem Reflexionsvermögen wurde auf 80 µm eingestellt. Daher wird eine gitterartige freigelegte Oberfläche der p-Schicht **12** (Linienbreite: 80 µm) bereitgestellt (vgl. [Fig. 1B](#)). Danach wird der somit verarbeitete gestapelte Körper bei 570°C unter N<sub>2</sub> für drei Minuten erwärmt, um dadurch den Widerstand der p-Schicht **12** zu verringern, und den Kontaktwiderstand der p-Schicht **12** und der Rhodiumelektrode (Rh) **121** mit hohem Reflexionsvermögen zu verringern.

**[0029]** Das Zentrum jedes Linienabschnitts der gitterartig freigelegten p-Schicht **12**, das als Chiptrennlinie dient, wird zur Ausbildung eines Grabens T in Gitterform geätzt (Breite: 20 µm, Tiefe: 3 µm, vgl. [Fig. 1C](#)). Die Tiefe des Grabens T wird derart gesteuert, dass der Boden des Grabens T unter dem Licht emittierenden Bereich L angeordnet ist, und ausreichend in die n-Schicht **11** eindringt.

**[0030]** Sodann wird die gesamte Oberfläche des die Gräben T beinhaltenden Wafers mit einer Siliziumoxydschicht (SiO<sub>2</sub>) bedeckt. Im Einzelnen wird die Siliziumoxydschicht (SiO<sub>2</sub>) so ausgebildet, dass zumindest die Seitenoberflächen jedes Grabens T bedeckt sind (die zu dem Wachstumssubstrat normalen Oberflächen), und dass es eine Dicke von 300 nm aufweist. Danach wird eine (nicht dargestellte) Fotomaske auf einem Bereich der Siliziumoxydschicht (SiO<sub>2</sub>) entsprechend den Boden- und Seitenoberflächen jedes Grabens T bereitgestellt, und die mit der Fotomaske nicht bedeckten Abschnitte der Siliziumoxydschicht (SiO<sub>2</sub>) werden durch einen Trockenätzvorgang entfernt. Nach Entfernung der Fotomaske wird eine aus Siliziumoxyd (SiO<sub>2</sub>) ausgebildete isolierende Schicht **150** auf und um die Gräben T bereitgestellt. Somit werden auf der Oberfläche der p-Schicht **12**, die parallel zu der Hauptoberfläche des Substrates ist, freigelegte Oberflächen C in Gitterform mit einer Linienbreite von 20 µm und durch die Gräben T getrennt ausgebildet (vgl. [Fig. 1D](#)). Auf den freigelegten Oberflächen C ist weder die isolierende Schicht **150** aus Siliziumoxyd (SiO<sub>2</sub>) noch die Rhodiumelektrode (Rh) **121** mit hohem Reflexionsvermögen ausgebildet. Die freigelegte Oberfläche C dient als Kontaktabschnitt bezüglich einer als zweite Elektroden-schicht dienenden Titanschicht.

**[0031]** Nachstehend ist die Ausbildung einer mehrschichtigen Metallschicht durch Gasphasenabscheidung beschrieben. Im Einzelnen werden eine Titanschicht (Ti) **122** (Dicke: 50 nm), eine Nickelschicht (Ni) **123** (Dicke: 500 nm) und eine Goldschicht (Au) **124** (Dicke: 50 nm) nacheinander ausgebildet, um dadurch eine Schichtstruktur gemäß [Fig. 1E](#) bereitzustellen. Die Funktionen der Titanschicht (Ti) **122**, der Nickelschicht (Ni) **123** und der Goldschicht (Au) **124** sind wie folgt. Die Goldschicht (Au) **124** dient als eine Schicht für die Legierung mit einem bereitzustellenden 20 % Zinn-haltigen Goldzinnlötmittel

(Au-20Sn) **51**. Die Nickelschicht (Ni) **123** verhindert die Migration von Zinn (Sn) zu der Rhodiumelektrode (Rh) **121** mit hohem Reflexionsvermögen. Die Titanschicht (Ti) **122** verbessert die Anhaftung bezüglich der Nickelschicht (Ni) **123** und der freigelegten Oberflächen C der p-Schicht **12**.

**[0032]** Auf der Goldschicht (Au) **124** wird eine 20 % Zinn-haltige Goldzinnlötmittelschicht (Au-20Sn) **51** mit einer Dicke von 3000 nm bereitgestellt (vgl. [Fig. 1F](#)).

**[0033]** Danach wird ein als unterstützendes Substrat dienendes n-Siliziumsubstrat **200** bereitgestellt. Auf jeder Oberfläche des Substrats ist eine mehrschichtige leitende Schicht durch Gasphasenabscheidung oder einen ähnlichen Vorgang ausgebildet. Im Einzelnen sind die auf der Oberfläche des unterstützenden Substrates auszubildenden Schichten, die mit dem Goldzinnlötmittel (Au-20Sn) **51** zu verbinden ist (nachfolgend als Vorderoberfläche bezeichnet), durch die Bezugszeichen **221** bis **224** bezeichnet, und die auf der Rückoberfläche des Substrates auszubildenden Schichten sind durch die Bezugszeichen **231** bis **244** bezeichnet. Auf jeder Oberfläche des Siliziumsubstrates **200** sind eine Titannitridschicht (TiN, Dicke: 30 nm) **221** oder **231**, eine Titanschicht (Ti, Dicke: 50 nm) **222** oder **232**, eine Nickelschicht (Ni, Dicke: 500 nm) **223** oder **233**, und eine Goldschicht (Au, Dicke: 50 nm) **224** oder **234** ausgebildet. Die Titannitridschichten (TiN) **221** und **231** werden aufgrund des geringen Kontaktwiderstandes bezüglich des n-Siliziumsubstrates **200** verwendet. Die Funktionen der Titanschichten (Ti) **222** und **232**, jene der Nickelschichten (Ni) **223** und **233** und jene der Goldschichten (Au) **224** und **234** sind vollständig dieselben, wie die der vorstehend beschriebenen Titanschicht (Ti) **122**, der Nickelschicht (Ni) **123** bzw. der Goldschicht (Au) **124**. Auf der als die oberste Schicht der auf der Vorderoberfläche des n-Siliziumsubstrates **200** bereitgestellten mehrschichtigen leitenden Schicht dienenden Goldschicht (Au) **224** wird eine 20 % Zinn-haltige Goldzinnlötmittelschicht (Au-20Sn) **52** mit einer Dicke von 3000 nm gebildet. Die in [Fig. 1F](#) gezeigte 20 % Zinn-haltige Goldzinnlötmittelschicht (Au-20Sn) **51** ist mit der Goldzinnlötmittelschicht (Au-20Sn) **52** verbunden, wodurch der Wafer der Licht emittierenden Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung mit dem n-Siliziumsubstrat **200** verbunden ist. Durch einen Heißpressvorgang bei 300°C und 2,94 MPa (30 kgf/cm<sup>2</sup>) werden die beiden Wafer kombiniert. Nachstehend ist das Goldzinnlötmittel (Au-20Sn) als vereinheitlichte Schicht durch das Bezugszeichen **50** bezeichnet (vgl. [Fig. 1G](#)).

**[0034]** Das Saphirsubstrat **100** des somit kombinierten Wafers wird mit einem KrF-Hochenergieimpuls-laserstrahl (248 nm) bestrahlt. Die verwendeten Bestrahlungsbedingungen sind eine Energiedichte von



0,7 J/cm<sup>2</sup> oder höher, eine Impulsbreite von 25 ns, eine Einheitsbestrahlungsfläche von 2 mm × 2 mm oder 3 mm × 3 mm und eine Abtastperiode in der transversalen Richtung von 10 Hz. Zur Vermeidung einer Überlappung der Einheitsbestrahlungsflächen wird der Laserstrahl kontinuierlich über das Saphirsubstrat **100** gerastert. Der Zeitablauf jedes Bestrahlungsvorgangs wird derart bestimmt, dass die Konturen des Einheitsbestrahlungsbereiches bei einem einzelnen Vorrichtungschip nicht vorliegen. Die Kontur der Einheitsbestrahlungsfläche liegt mit anderen Worten vorzugsweise in einem Graben T vor, welcher der Chiptrennungsbereich ist. Durch die Laserbestrahlung wird die Grenzfläche **11f** zwischen der n-Schicht **11** (GaN-Schicht) und dem Saphirsubstrat **100** in der Form einer Dünnschicht geschmolzen, wodurch sie unter Ausbildung von Galliumtröpfchen (Ga) und Stickstoff (N<sub>2</sub>) zersetzt wird. Danach wird das Saphirsubstrat **100** durch einen Abhebevorgang von dem kombinierten Wafer entfernt. Die somit freigelegte Oberfläche der n-Schicht **11** wird mit verdünnter Salzsäure gewaschen, um dadurch auf der Oberfläche abgeschiedene Galliumtröpfchen (Ga) zu entfernen.

**[0035]** Bei dem nachfolgenden Schritt wird eine (nicht dargestellte) Resistlackschicht über der freigelegten Oberfläche der n-Schicht **11** ausgebildet. Durch Fotolithographie wird die Resistlackschicht zur Ausbildung des Fensterabschnitts jedes durch einen Graben in Fensterrahmenform, das heißt einer Halle der Resistlackschicht, umgebenen Vorrichtungschip strukturiert. Auf dem Fensterrahmengraben der Resistlackschicht wird eine als n-Elektrode **130** dienende mehrschichtige Metallschicht durch Gasphasenabscheidung ausgebildet. Im Einzelnen werden auf der n-Schicht **11** nacheinander eine Vanadiumschicht (V, Dicke: 15 nm), eine Aluminiumschicht (Al, Dicke: 150 nm), eine Titanschicht (Ti, Dicke: 30 nm), eine Nickelschicht (Ni, Dicke: 500 nm) und eine Goldschicht (Au, Dicke: 500 nm) ausgebildet. Danach wird der Resistlack durch einen Abhebevorgang entfernt, um dadurch eine aus einer mehrschichtigen Metallschicht ausgebildete n-Elektrode **130** in dem Fensterrahmen der Resistlackschicht zu belassen. Bei diesem Vorgang wird die verbleibende Metallschicht mit dem Resistlack entfernt. Auf jeder Oberfläche des n-Siliziumsubstrats **200** wird eine leitende Mehrschicht ausgebildet. Somit weist die erzeugte Licht emittierende Vorrichtung das als unterstützende Substrat dienende n-Siliziumsubstrat **200**, die als erste Elektrodenschicht auf der p-Schicht **12** dienende Metallschicht **121** aus Rhodium (Rh) mit hohem Reflexionsvermögen, die auf der Schicht **121** ausgebildete und mit der p-Schicht **12** teilweise verbundene Titanschicht **122** sowie die auf der Elektrodenschicht **122** ausgebildete mehrschichtige Metallschicht auf. Die p-Schicht **12** ist über die mehrschichtige Metallschicht mittels des Goldzinnlötmittels (Au-20Sn) **50** mit dem n-Siliziumsubstrat **200** elektrisch verbunden

(vgl. [Fig. 1H](#)). Nachfolgend wird die n-Schicht **11** mittels eines Rohchipzerteilungsmessers zumindest bis zu einer Tiefe teilweise zerschnitten, so dass die am Boden des Grabens T ausgebildete isolierende Schicht **150** aus Siliziumoxyd (SiO<sub>2</sub>) zerschnitten wird. Diese Halbzerteilung wird nicht notwendigerweise auf der Vorderoberfläche **200f** des Siliziumsubstrates **200** durchgeführt (vgl. [Fig. 1I](#)). Nachfolgend wird das Siliziumsubstrat **200** ebenfalls mittels eines Rohchipzerteilungsmessers auf der Rückoberfläche **200b** halb zerschnitten, wo keine Licht emittierende Gruppe III/Nitrid-basierte Verbindungshalbleiterschicht bereitgestellt ist. Durch Brechvorgänge werden jeweilige Licht emittierende Gruppe III/Nitrid-basierte Verbindungshalbleitervorrichtungen **1000** erzeugt (vgl. [Fig. 1J](#)). Jede Licht emittierende Gruppe III/Nitrid-basierte Verbindungshalbleitervorrichtung **1000** weist an der Peripherie der n-Schicht **11** eine n-Elektrode **130** in Rahmenform auf, und der Zentralbereich der Schicht weist einen Lichttherausführungsbereich auf der n-Seite auf. Die p-Elektrode ist mit der Rückoberfläche **200b** des Siliziumsubstrates **200** durch das Siliziumsubstrat **200** elektrisch verbunden.

**[0036]** Bei dem vorliegenden Ausführungsbeispiel 1 kann anstelle der Rhodiumelektrode **121** die erste Elektrodenschicht beispielsweise aus einer reflektierenden Elektrode mit einer Dreischichtstruktur ausgebildet sein, die eine auf der p-Schicht **12** ausgebildete transparente Elektrode aus Indiumzinnoxid (ITO), eine auf der Elektrode ausgebildete dielektrische Schicht, wobei die Schicht mit einem leitenden Material wie etwa Nickel gefüllte Löcher aufweist, und eine auf der dielektrischen Schicht ausgebildete Metallschicht (beispielsweise aus Aluminium oder Silber) mit hohem Reflexionsvermögen beinhaltet. Alternativ kann die erste Elektrodenschicht aus einer Zweischichtstruktur mit einer auf der p-Schicht **12** ausgebildeten transparenten Elektrode aus Indiumzinnoxid (ITO) und einer Metallschicht (beispielsweise aus Aluminium oder Silber) mit hohem Reflexionsvermögen ausgebildet sein.

**[0037]** Bei dem vorliegenden Ausführungsbeispiel 1 ist die n-Elektrode **130** unmittelbar auf der n-Schicht **11** ausgebildet. Eine n-Elektrode in Fensterrahmenform kann jedoch nach der Ausbildung beispielsweise einer transparenten Elektrode ausgebildet sein.

**[0038]** Bei Ausführungsbeispiel 1 kann die erste Elektrodenschicht **121** außer aus Rhodium (Rh) aus Iridium (Ir), Platin (Pt), Silber (Ag), Aluminium (Al), Palladium (Pd), eine Legierung daraus oder einer Mehrschichtschicht daraus ausgebildet sein.

**[0039]** Bei Ausführungsbeispiel 1 ist die Elektrodenschicht **122** außer aus Titan (Ti) aus Chrom (Cr), Molybdän (Mo), Tantal (Ta), Vanadium (V), Wolfram (W), einer Legierung daraus oder einer Mehrschichtschicht

daraus ausgebildet.

**[0040]** So betrifft die vorliegende Erfindung ein Verfahren zur Herstellung einer Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung mit einem Vorgang zur Trennung der Vorrichtung in individuelle Chips mittels eines Rohchipzerteilungsmessers. Ein Abschnitt einer Epitaxieschicht, wo ein Rohchipzerteilungsmesser anzuordnen ist, wird teilweise oder vollständig durch einen Ätzvorgang entfernt, um dadurch einen Graben auszubilden. Eine isolierende Schicht wird auf dem Boden und den Seitenoberflächen des Grabens ausgebildet. Ein Wafer wird in Chips derart unterteilt, dass der Boden des Grabens mittels des Rohchipzerteilungsmessers entfernt wird, ohne die Seitenoberflächen der isolierenden Schicht vollständig zu entfernen. Die isolierende Schicht wird auf den Seitenoberflächen des Grabens derart ausgebildet, dass die Schicht eine p-Schicht bis zu einer n-Schicht bedeckt, wie sie in Gruppe III/Nitrid-basierten Verbindungshalbleiterschichten beinhaltet sind, so dass ein Kurzschluss zwischen der p-Schicht und der n-Schicht vermieden wird.

Weg(e) zur Ausführung der Erfindung

Gewerbliche Anwendbarkeit

Text des Sequenzprotokolls

### Patentansprüche

1. Verfahren zur Herstellung einer Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung, das eine Trennung der Vorrichtung in individuelle Chips mittels eines Rohchipzerteilungsmessers beinhaltet, das Verfahren umfasst:

ein Abschnitt einer Epitaxieschicht, wo ein Rohchipzerteilungsmesser anzuordnen ist, wird teilweise oder vollständig durch einen Ätzvorgang entfernt, um dadurch einen Graben auszubilden;

Ausbilden einer isolierenden Schicht auf dem Boden und den Seitenoberflächen des Grabens; und

Durchführen eines Rohchipzerteilungsvorgangs derart, dass der Boden des Grabens mittels des Rohchipzerteilungsmessers entfernt wird, ohne die Seitenoberflächen der isolierenden Schicht vollständig zu entfernen,

wobei die isolierende Schicht auf den Seitenoberflächen des Grabens derart ausgebildet wird, dass die Schicht eine p-Schicht bis zu einer n-Schicht bedeckt, die in Gruppe III/Nitrid-basierten Verbindungshalbleiterschichten enthalten sind, so dass ein Kurzschluss zwischen der p-Schicht und der n-Schicht vermieden wird.

2. Verfahren zur Herstellung einer Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung nach Anspruch 1, wobei das Ätzen und Ausbilden der isolierenden Schicht von einer leitenden Schicht der

Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung ausgeführt wird, und die Rohchipzerteilung mittels des Rohchipzerteilungsmessers von der anderen leitenden Schicht derselben Vorrichtung ausgeführt wird.

3. Verfahren zur Herstellung einer Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung nach Anspruch 2, wobei vor dem Rohchipzerteilen durch Betätigung des Rohchipzerteilungsmessers das Verfahren ferner umfasst:

Ausbilden einer Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung auf einem ersten Substrat;

Ausbilden einer Elektrode auf der obersten Schicht der Vorrichtung;

Ausbilden des Grabens;

Ausbilden der isolierenden Schicht;

Verbinden eines leitenden zweiten Substrats unmittelbar oder mittels einer leitenden Schicht oder einer leitenden Mehrfachsicht mit der Elektrodenausbildungsoberfläche der auf dem ersten Substrat ausgebildeten Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung;

Entfernen des ersten Substrates von der verbundenen Struktur; und Ausbilden einer Elektrode auf einer neu freigelegten Schicht der Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtung.

4. Eine Gruppe III/Nitrid-basierte Verbindungshalbleitervorrichtung mit:

einem leitenden Substrat,

einer ersten Elektrode, die mit dem leitenden Substrat direkt oder mittels einer leitenden Schicht oder einer leitenden Mehrfachsicht verbunden ist,

einer Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtungsschicht, bei der zumindest eine mit der ersten Elektrode verbundene erste leitende Schicht und eine zweite leitende Schicht mit einer von der ersten leitenden Schicht verschiedenen Leitungsart gestapelt sind,

einer zweiten Elektrode, die auf der Oberfläche der Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtungsschicht gegenüber der Oberfläche ausgebildet ist, auf der die erste Elektrode ausgebildet ist, und einer isolierenden Schicht, die sich entlang und nahe der äußeren Peripherie der Vorrichtung erstreckt, und so ausgebildet ist, dass die Seitenoberflächen der Schichten mit entgegengesetzter Leitungsart, die in der Gruppe III/Nitrid-basierten Verbindungshalbleitervorrichtungsschicht enthalten sind, bedeckt sind.

Es folgen 4 Blatt Zeichnungen



Anhängende Zeichnungen

Fig.1A

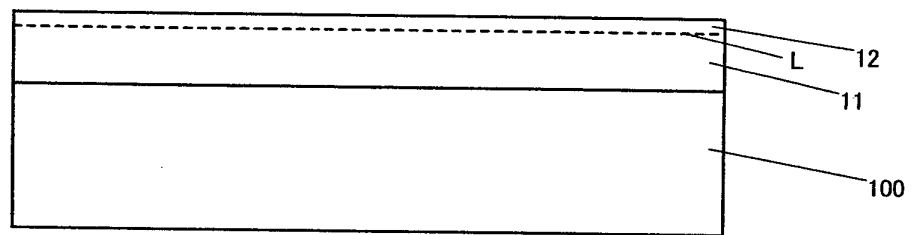


Fig.1B

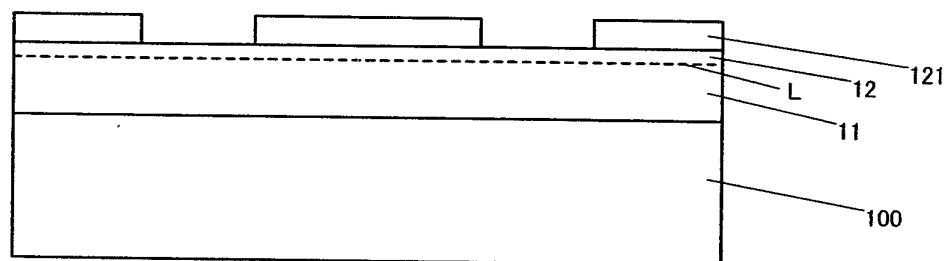


Fig.1C

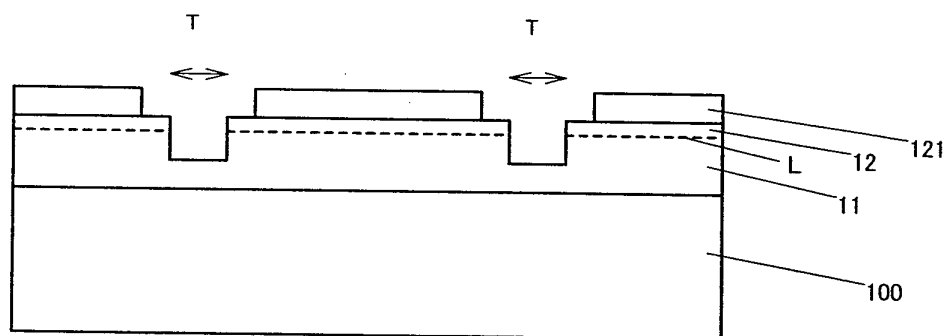


Fig.1D

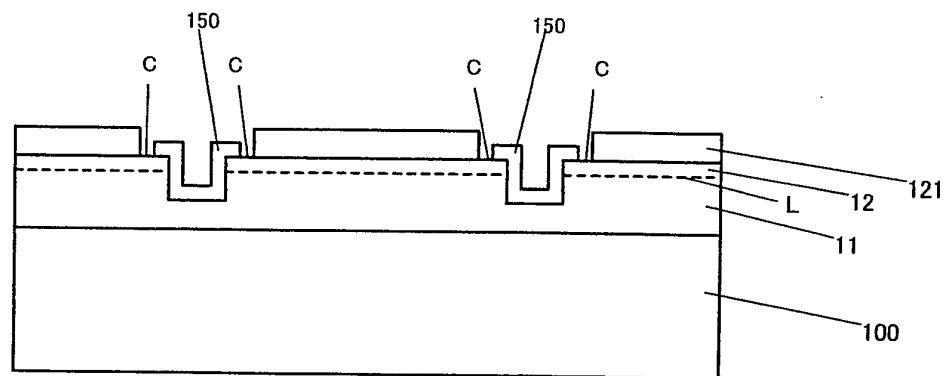


Fig.1E

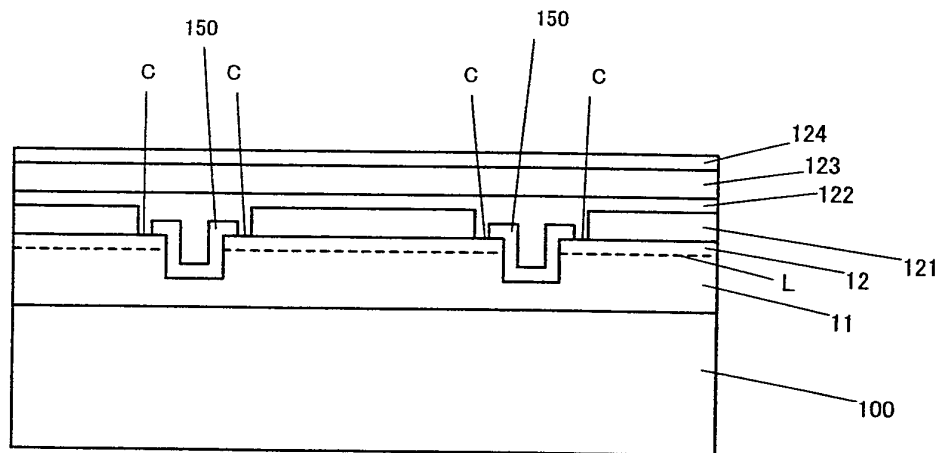


Fig.1F

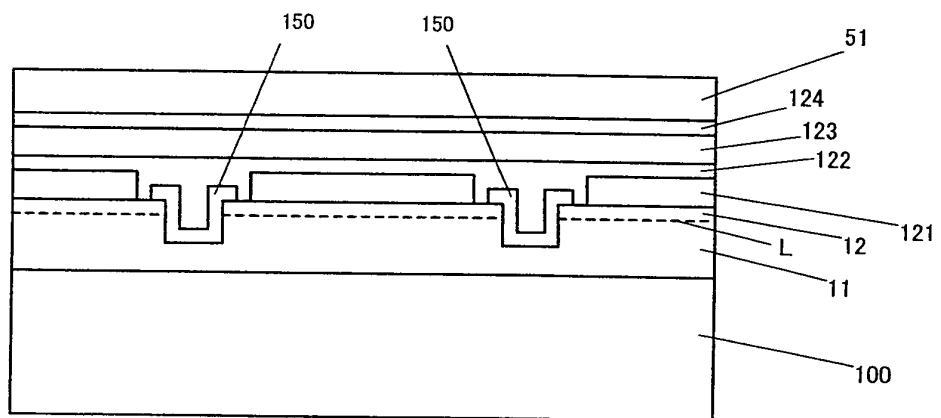


Fig.1G

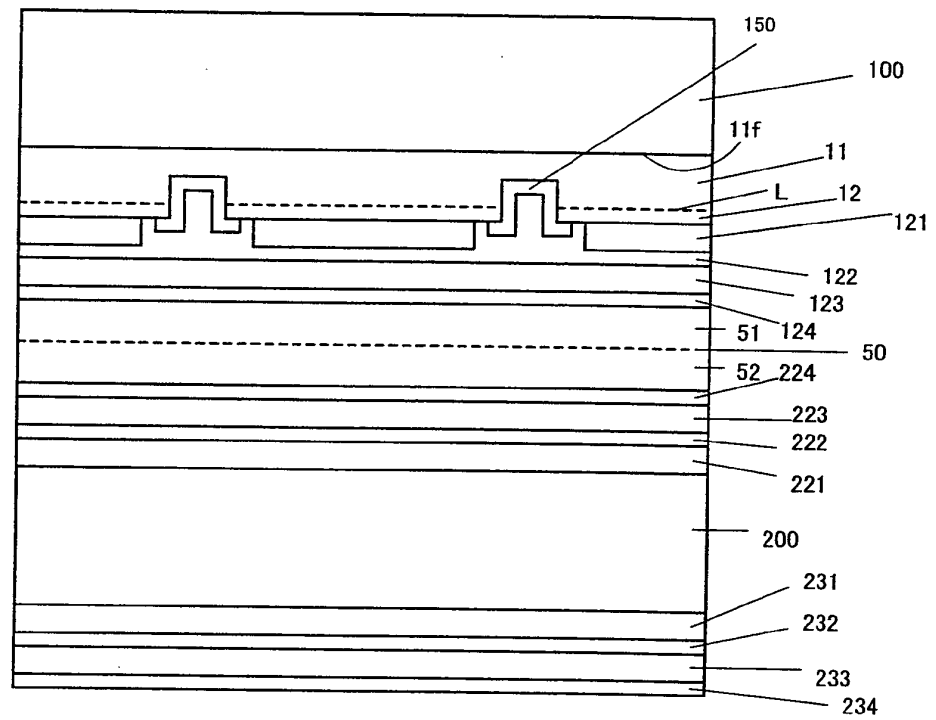


Fig.1H

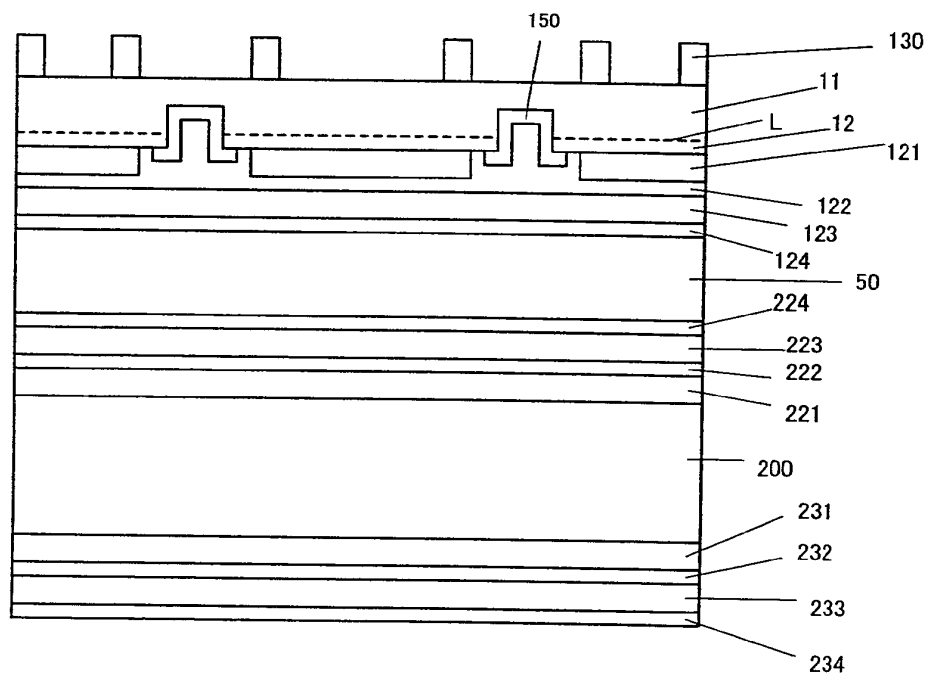


Fig.1I

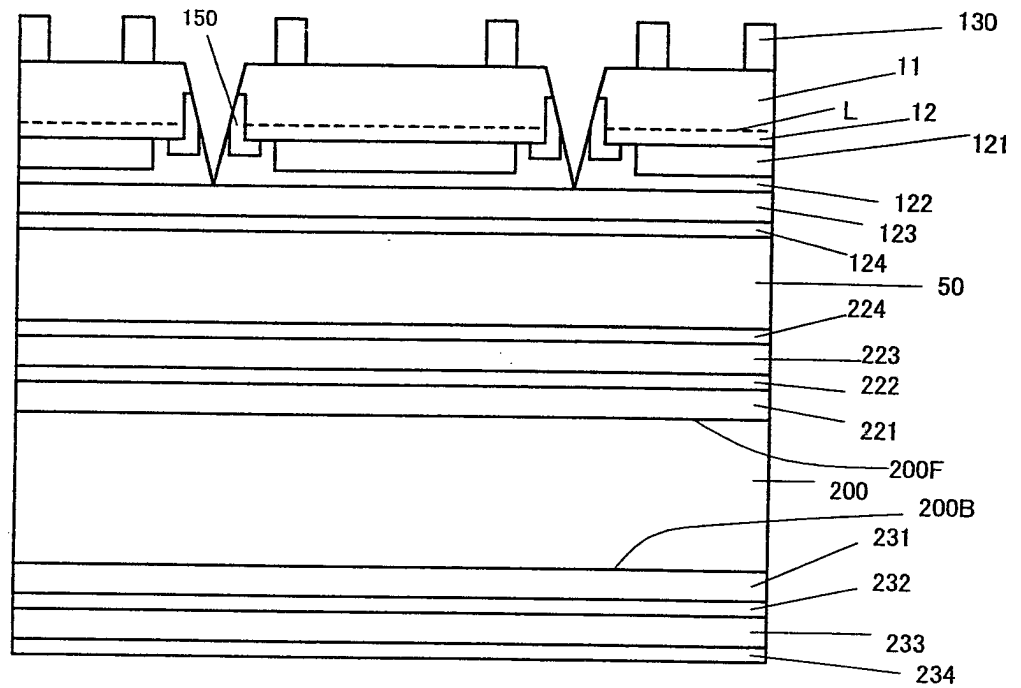


Fig.1J

