



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월09일  
(11) 등록번호 10-2262063  
(24) 등록일자 2021년06월02일

- (51) 국제특허분류(Int. Cl.)  
H01L 21/02 (2006.01) C30B 25/18 (2006.01)  
C30B 29/40 (2006.01)
  - (52) CPC특허분류  
H01L 21/0254 (2013.01)  
C30B 25/183 (2020.05)
  - (21) 출원번호 10-2016-7024254
  - (22) 출원일자(국제) 2015년02월10일  
심사청구일자 2019년11월22일
  - (85) 번역문제출일자 2016년09월01일
  - (65) 공개번호 10-2016-0127748
  - (43) 공개일자 2016년11월04일
  - (86) 국제출원번호 PCT/JP2015/000595
  - (87) 국제공개번호 WO 2015/133063  
국제공개일자 2015년09월11일
  - (30) 우선권주장  
JP-P-2014-041976 2014년03월04일 일본(JP)
  - (56) 선행기술조사문헌  
KR1020130062736 A\*  
(뒷면에 계속)
- 전체 청구항 수 : 총 6 항

- (73) 특허권자  
신에쓰 한도타이 가부시카이가이사  
일본 도쿄토 치요다쿠 오테마치 2초메 2-1
- (72) 발명자  
하기모토, 카즈노리  
일본, 군마 3790196, 안나카-시, 이소베 2-초메, 13-1, 신에쓰 한도타이 가부시카이가이사, 이소베 연구개발센터 내  
시노미야, 마사루  
일본, 군마 3790196, 안나카-시, 이소베 2-초메, 13-1, 신에쓰 한도타이 가부시카이가이사, 이소베 연구개발센터 내  
(뒷면에 계속)
- (74) 대리인  
특허법인씨엔에스

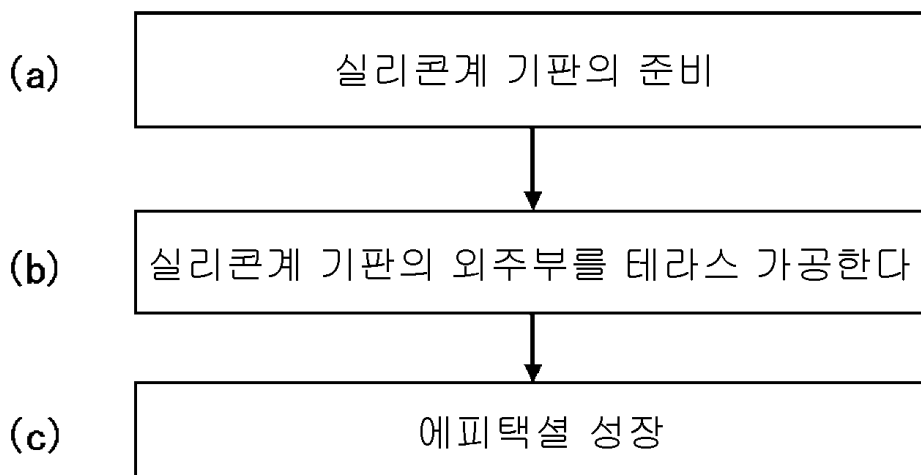
심사관 : 방기인

(54) 발명의 명칭 에피택셜 웨이퍼의 제조방법 및 에피택셜 성장용 실리콘계 기판

(57) 요약

본 발명은, 실리콘계 기판 상에 에피택셜층을 갖는 에피택셜 웨이퍼의 제조방법에 있어서, 상기 실리콘계 기판의 외주부를 테라스 가공한 후에, 상기 실리콘계 기판 상에 반도체층을 에피택셜 성장시키는 것을 특징으로 하는 에피택셜 웨이퍼의 제조방법이다. 이에 따라, 완전한 크랙프리인 에피택셜 웨이퍼를 얻을 수 있는 실리콘계 기판 상에 에피택셜층을 갖는 에피택셜 웨이퍼의 제조방법을 제공할 수 있다.

대표도 - 도1



(52) CPC특허분류

**C30B 29/403** (2013.01)  
**H01L 21/02378** (2013.01)  
**H01L 21/02381** (2013.01)  
**H01L 21/0243** (2013.01)  
**H01L 21/02458** (2013.01)

(72) 발명자

**츠치야, 케이타로**

일본, 군마 3790196, 안나카-시, 이소베 2-쵸메, 13-1, 신에쓰 한도타이 가부시키키가이샤, 이소베 연구개발센터 내

**고토, 히로카즈**

일본, 사이타마 3528666, 니이자-시, 키타노 3-쵸메 6반 3고, 산켄덴키 가부시키키가이샤내

**사토, 켄**

일본, 사이타마 3528666, 니이자-시, 키타노 3-쵸메 6반 3고, 산켄덴키 가부시키키가이샤내

**시카우치, 히로시**

일본, 사이타마 3528666, 니이자-시, 키타노 3-쵸메 6반 3고, 산켄덴키 가부시키키가이샤내

**코바야시, 쇼이치**

일본, 니가타 9420193, 죠에츠-시, 쿠비키-쿠, 죠노코시, 596-2, 나오에츠 덴시 고교 가부시키키가이샤내

**쿠리모토, 히로타카**

일본, 니가타 9420193, 죠에츠-시, 쿠비키-쿠, 죠노코시, 596-2, 나오에츠 덴시 고교 가부시키키가이샤내

(56) 선행기술조사문헌

JP2011119336 A\*  
JP62030336 A  
KR100496213 B1  
US20130087807 A1  
KR1020080022511 A

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

실리콘계 기판 상에 에피택셜층을 갖는 에피택셜 웨이퍼의 제조방법에 있어서, 상기 실리콘계 기판의 외주부를 지석에 의한 연삭으로 테라스 가공하고, 연삭한 테라스면을 경면 또는 준경면으로 한 후에, 상기 실리콘계 기판 상에 반도체층을 에피택셜 성장시켜서, 경면 또는 준경면이 되어 있는 상기 테라스면 상에 직접 다결정 반도체층을 형성하는 것을 특징으로 하는 에피택셜 웨이퍼의 제조방법.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서,

상기 에피택셜 성장시키는 반도체층이 질화물 반도체로 이루어진 것을 특징으로 하는 에피택셜 웨이퍼의 제조방법.

#### 청구항 5

제4항에 있어서,

상기 질화물 반도체가, AlN, GaN, InN, 또는 이들의 혼정 중 어느 1개 이상인 것을 특징으로 하는 에피택셜 웨이퍼의 제조방법.

#### 청구항 6

반도체층을 에피택셜 성장시키기 위한 에피택셜 성장용 실리콘계 기판에 에피택셜층이 성장된 에피택셜 웨이퍼로서,

상기 실리콘계 기판의 외주부가 테라스 가공되어, 테라스부를 갖는 것이고,

상기 테라스부의 테라스면이 경면 또는 준경면이 되어 있고,

경면 또는 준경면으로 되어 있는 상기 테라스면 상에 직접 다결정 반도체층이 설치된 것을 특징으로 하는 에피택셜 웨이퍼.

#### 청구항 7

삭제

#### 청구항 8

제6항에 있어서,

상기 에피택셜 성장시키는 반도체층이 질화물 반도체로 이루어진 것을 특징으로 하는 에피택셜 웨이퍼.

**청구항 9**

삭제

**청구항 10**

제8항에 있어서,

상기 질화물 반도체가, AlN, GaN, InN, 또는 이들의 혼정 중 어느 1개 이상인 것을 특징으로 하는 에피택셜 웨이퍼.

**청구항 11**

삭제

**청구항 12**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은, 실리콘계 기판 상에 에피택셜 성장층을 갖는 에피택셜 웨이퍼의 제조방법 및 이것에 이용하는 실리콘계 기판에 관한 것이다.

**배경 기술**

[0002] 반도체 에피택셜 웨이퍼를 제조하기 위해서는, 시판 중인 에피택셜 제조장치를 이용하여 실리콘계 기판(예를 들어, 실리콘 기판 또는 실리콘카바이드 기판) 등의 표면에 에피택셜 성장을 행하고, 헤테로·호모 에피택셜 웨이퍼의 제조를 행하고 있다.

[0003] 실리콘계 기판 상에 질화물 반도체로 이루어진 에피택셜 성장층을 배치한 에피택셜 웨이퍼에서는, 외주부에 있어서 에피택셜 성장층의 막두께가 두꺼워져, 에피택셜 성장층의 크라운(성장층의 주표면보다 높아지는 돌기)이 발생한다.

[0004] 반도체장치로서 사용하는 웨이퍼 중앙부에서 실리콘계 기판의 휨과 에피택셜 성장층의 응력이 최적이 되도록, 에피택셜 성장층의 각 층의 두께 등의 조건이 선택되고 있다. 이에 따라, 상기 크라운이 발생하면, 에피택셜 성장층에 생기는 응력과 기판의 휨의 밸런스가 무너져 에피택셜 성장층에 영향을 주어, 외주부 근방의 에피택셜 성장층에 귀갑(龜甲)모양의 크랙 등이 발생한다(예를 들어, 도 4 참조).

[0005] 이러한 크라운의 발생을 방지하기 위하여, 실리콘계 기판의 외주부를 면취하고, 그 위에 에피택셜 성장층을 형성하는 방법 등이 제안되어 있다(예를 들어, 특허문헌 1).

[0006] 또한, 크랙 대책으로는, Si기판 에지 근방을 조면화하고 나서 에피택셜 성장을 행하는 것(특허문헌 2)이나, <111>방향을 회전축으로 하여, <110>방향을 왼쪽으로 30°, 90°, 150° 중 어느 한 각도만큼 회전시킨 방향으로 오리푸라(オリフラ)를 갖는 (111)면을 주면으로 하는 실리콘 기판을 헤테로에피택셜 성장용 기판으로서 사용하는 것(특허문헌 3)이나, 실리콘계 기판의 주변부를 링으로 덮은 상태에서 에피택셜 성장을 행하는 것(특허문헌 4) 등이 제안되어 있다.

[0007] 또한, 실리콘 기판 상에 GaN층이나 AlN층을 에피택셜 성장시킨 에피택셜 웨이퍼에서는, 에피택셜 성장 중에 웨이퍼 단부에 크랙이 발생하면, 크랙의 간극으로부터 원료인 TMA(트리메틸알루미늄)나 TMG(트리메틸갈륨)의 가스가 침입하고, Si과 반응하여 반응흔적(痕)이 발생한다.

[0008] 이러한 반응흔적에 대한 대책으로는, SOI기판 상에 버퍼막(AlN막)을 통해 후막인 GaN막을 에피택셜 성장시키는 것이 제안되어 있다(특허문헌 5).

**선행기술문헌**

**특허문헌**

- [0009] (특허문헌 0001) 일본특허공개 S59-227117호 공보
- (특허문헌 0002) 국제공개 2011/161975호 공보
- (특허문헌 0003) 일본특허공개 2011-165962호 공보
- (특허문헌 0004) 일본특허공개 2013-171898호 공보
- (특허문헌 0005) 일본특허공개 2007-246289호 공보

**발명의 내용**

**해결하려는 과제**

- [0010] 그러나, 일반적으로는 「크랙프리(クラックフリー)」라 불리는 에피택셜 웨이퍼에 있어서도, 크라운의 발생에 기인하여 외주부로부터 수mm 정도의 영역에는 크랙이 존재하고 있는 것이 현상이다.
- [0011] 이 크랙은 디바이스의 제조공정에 있어서 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시키는 것이 우려된다. 이에 따라, 완전히 크랙프리인 에피택셜 기판이 요망되고 있다.
- [0012] 본 발명은, 상기 문제점을 감안하여 이루어진 것으로, 완전한 크랙프리의 에피택셜 웨이퍼를 얻을 수 있는 에피택셜 웨이퍼의 제조방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0013] 상기 목적을 달성하기 위하여, 본 발명은, 실리콘계 기판 상에 에피택셜층을 갖는 에피택셜 웨이퍼의 제조방법에 있어서, 상기 실리콘계 기판의 외주부를 테라스 가공한 후에, 상기 실리콘계 기판 상에 반도체층을 에피택셜 성장시키는 것을 특징으로 하는 에피택셜 웨이퍼의 제조방법을 제공한다.
- [0014] 이와 같이, 실리콘계 기판의 외주부를 테라스 가공한 후에, 실리콘계 기판 상에 반도체층을 에피택셜 성장시킴으로써, 용이하게 완전한 크랙프리의 에피택셜 웨이퍼를 얻을 수 있고, 디바이스 제조공정 등의 후공정에 있어서, 크랙이 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시키는 것을 억제할 수 있다.
- [0015] 이때, 상기 테라스 가공을 지석(砥石)에 의한 연삭으로 행하는 것이 바람직하다.
- [0016] 이와 같이 테라스 가공을 지석에 의한 연삭으로 행함으로써 매우 간단하게 테라스 가공을 행할 수 있다.
- [0017] 이때, 연삭한 테라스면을 경면(鏡面) 또는 준경면(準鏡面)으로 하는 공정을 추가로 포함하는 것이 바람직하다.
- [0018] 이와 같이 연삭한 테라스면을 경면 또는 준경면으로 함으로써, 연삭한 테라스면으로부터의 발진(發塵)을 억제하여, 발진에 따른 문제를 방지할 수 있다.
- [0019] 이때, 상기 에피택셜 성장시키는 반도체층이 질화물 반도체로 이루어진 구성으로 할 수 있다.
- [0020] 에피택셜 성장시키는 반도체층으로서, 질화물 반도체를 효과적으로 이용할 수 있다.
- [0021] 이때, 상기 질화물 반도체를, AlN, GaN, InN, 또는 이들의 혼정(混晶) 중 어느 1개 이상으로 할 수 있다.
- [0022] 에피택셜 성장시키는 반도체층에 이용하는 질화물 반도체로서, 상기와 같은 재료를 효과적으로 이용할 수 있다.
- [0023] 또한, 본 발명은, 반도체층을 에피택셜 성장시키기 위한 에피택셜 성장용 실리콘계 기판으로서, 상기 실리콘계 기판의 외주부가 테라스 가공되어, 테라스부를 갖는 것을 특징으로 하는 에피택셜 성장용 실리콘계 기판을 제공한다.
- [0024] 이러한 외주부가 테라스 가공되어, 테라스부를 갖는 실리콘계 기판이면, 이것을 이용하여 반도체층의 에피택셜 성장을 행함으로써, 용이하게 완전한 크랙프리의 에피택셜 웨이퍼를 얻을 수 있고, 디바이스 제조공정 등의 후공정에 있어서, 크랙이 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시키는 것을 억제할 수

있다.

- [0025] 이때, 상기 테라스부의 테라스면이 경면 또는 준경면으로 되어 있는 것이 바람직하다.
- [0026] 이와 같이 테라스부의 테라스면이 경면 또는 준경면으로 되어 있음으로써, 테라스면으로부터의 발진을 억제하여, 발진에 따른 문제를 방지할 수 있다.
- [0027] 이때, 상기 에피택셜 성장시키는 반도체층이 질화물 반도체로 이루어진 구성으로 할 수 있다.
- [0028] 에피택셜 성장시키는 반도체층으로서 질화물 반도체를 이용하는 에피택셜 성장용 실리콘계 기판에, 본 발명을 호적하게 적용할 수 있다.
- [0029] 이때, 상기 질화물 반도체를, AlN, GaN, InN, 또는 이들의 혼정 중 어느 1개 이상으로 할 수 있다.
- [0030] 에피택셜 성장시키는 반도체층에 이용하는 질화물 반도체로서 상기와 같은 재료를 이용하는 에피택셜 성장용 실리콘계 기판에, 본 발명을 호적하게 적용할 수 있다.
- [0031] 나아가, 본 발명은, 상기 에피택셜 성장용 실리콘계 기판에 에피택셜층이 성장시켜진 것을 특징으로 하는 에피택셜 웨이퍼를 제공한다.
- [0032] 이러한 외주부가 테라스 가공되어, 테라스부를 갖는 실리콘계 기판에 에피택셜층이 성장시켜진 에피택셜 웨이퍼이면, 용이하게 완전한 크랙프리인 에피택셜 웨이퍼로 할 수 있고, 디바이스 제조공정 등의 후공정에 있어서, 크랙이 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시킬 일이 없는 에피택셜 웨이퍼로 할 수 있다.

**발명의 효과**

- [0033] 이상과 같이, 본 발명에 따르면, 용이하게 완전한 크랙프리인 반도체 에피택셜 웨이퍼를 얻을 수 있고, 디바이스 제조공정 등의 후공정에 있어서, 크랙이 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시키는 것을 억제할 수 있다.

**도면의 간단한 설명**

- [0034] 도 1은 본 발명의 에피택셜 웨이퍼의 제조방법의 제조 플로우의 일 예를 나타내는 도면이다.  
 도 2는 본 발명의 에피택셜 웨이퍼의 제조방법의 제조공정에서 얻어지는 테라스 가공된 실리콘계 기판을 나타내는 도면이다.  
 도 3은 실시예의 제조방법에 의해 제조된 에피택셜 웨이퍼의 주변부를 나타내는 도면이다.  
 도 4는 비교예의 제조방법에 의해 제조된 에피택셜 웨이퍼의 주변부를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

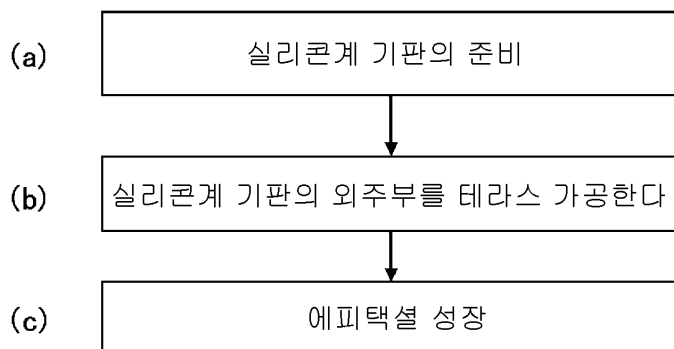
- [0035] 이하, 본 발명에 대하여, 실시태양의 일 예로서, 도면을 참조하면서 상세하게 설명하나, 본 발명은 이것으로 한정되는 것은 아니다.
- [0036] 상기 서술한 바와 같이, 「크랙프리」라 불리는 에피택셜 웨이퍼에 있어서도, 크라운의 발생에 기인하여 외주부로부터 수mm 정도의 영역에는 크랙이 존재하고 있는 것이 현상항이며, 이 크랙은 디바이스의 제조공정에 있어서 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시키는 것이 우려된다. 이에 따라, 완전히 크랙프리인 에피택셜 기판이 요망되고 있다.
- [0037] 이에, 발명자들은, 용이하게 완전한 크랙프리인 에피택셜 웨이퍼를 얻을 수 있고, 디바이스 제조공정 등의 후공정에 있어서, 크랙이 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시키는 것을 억제할 수 있는 에피택셜 웨이퍼의 제조방법에 대하여 예의 검토를 거듭하였다.
- [0038] 그 결과, 실리콘계 기판의 외주부를 테라스 가공한 후에, 실리콘계 기판 상에 반도체층을 에피택셜 성장시킴으로써, 용이하게 완전한 크랙프리인 에피택셜 웨이퍼를 얻을 수 있고, 디바이스 제조공정 등의 후공정에 있어서, 크랙이 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시키는 것을 억제할 수 있는 것을 발견하여, 본 발명을 완성시켰다.
- [0039] 이하, 도 1을 참조하면서, 본 발명의 반도체 에피택셜 웨이퍼의 제조방법을 설명한다.

- [0040] 먼저, 도 1(a)에 나타내는 바와 같이 실리콘계 기판을 준비한다. 실리콘계 기판은, 예를 들어 실리콘(Si) 기판이나 실리콘카바이드(SiC) 기판 등이다.
- [0041] 다음에, 도 1(b)에 나타내는 바와 같이 실리콘계 기판의 외주부를 테라스 가공한다.
- [0042] 여기서, 테라스 가공이란, 도 2(e)에 나타내는 바와 같이, 실리콘 기판의 에피택셜층을 형성하는 층의 표면의 외주부를, 외경을 변경하지 않고 일정폭 평탄하게 제거하는 가공을 실시하는 것을 말하며, 이 가공이 실시된 부분을 테라스부라 칭하고, 형성된 평탄한 면을 테라스면이라 칭한다.
- [0043] 이 테라스 가공은, 예를 들어 번수가 #800~#4000 정도인 입도를 갖는 지식에 의해, 폭 1mm 이상, 바람직하게는 1~3mm, 깊이 3 $\mu$ m 이상, 바람직하게는 3~50 $\mu$ m 연삭한다.
- [0044] 이와 같이 하여 테라스 가공된 실리콘계 기판을 도 2에 나타낸다.
- [0045] 도 2(a)는 폭 3mm, 깊이 6 $\mu$ m로 연삭한 웨이퍼의 외주부의 사진이고, 도 2(b)는 도 2(a)의 확대사진이다.
- [0046] 또한, 도 2(c)는 폭 1mm, 깊이 6 $\mu$ m로 연삭한 웨이퍼의 외주부의 사진이고, 도 2(d)는 도 2(c)의 확대사진이다.
- [0047] 나아가, 도 2(e)는 연삭된 실리콘 기판의 주변부의 단면도이다.
- [0048] 이와 같이 실리콘계 기판의 외주부를 테라스 가공함으로써 후공정의 에피택셜 성장으로 외주부에 있어서의 크랙이나 에피택셜층 박리, 반응혼적의 발생을 억제할 수 있다. 이는 테라스 가공한 테라스부에서 에피택셜 성장층이 다결정이 됨으로써 응력이 완화됨에 따라, 크랙이나 반응혼적의 발생을 억제하는 것이라 생각된다.
- [0049] 또한, 연삭한 후, 혼산 등에 의해 에칭을 행하여 테라스면을 경면 또는 준경면으로 할 수도 있다. 이와 같이 에칭을 행하여 테라스면을 경면 또는 준경면으로 함으로써 발진을 억제하여, 발진에 따른 문제를 방지할 수 있다.
- [0050] 다음에, 도 1(c)에 나타내는 바와 같이 유기금속 기상성장(MOCVD)법 등의 에피택셜 성장법을 이용하여 900 $^{\circ}$ C 이상, 예를 들어 1200 $^{\circ}$ C로 설정된 실리콘계 기판 상에 에피택셜 성장층을 형성한다.
- [0051] 이 에피택셜층의 조성은 특별히 한정되지 않으나, 질화물 반도체로 할 수 있으며, 또한, 이 질화물 반도체를, AlN, AlGa<sub>n</sub>N, GaN 중 어느 1개 이상으로 할 수 있다. 예를 들어, AlN층을 형성한 후, AlGa<sub>n</sub>N층과 GaN층을 교대로 적층한 버퍼층을 성장시키고, 그 표면에 GaN층을 형성할 수 있으며, 전체적으로 3~10 $\mu$ m 정도의 두께로 성장시킬 수 있다.
- [0052] 상기에서 설명한 도 1의 제조 플로우에 따라 에피택셜 웨이퍼를 제조하면, 용이하게 완전한 크랙프리 반도체 에피택셜 웨이퍼를 얻을 수 있고, 디바이스 제조공정 등의 후공정에 있어서, 크랙이 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시키는 것을 억제할 수 있다.
- [0053] 다음에, 본 발명의 에피택셜 성장용 실리콘계 기판을 설명한다.
- [0054] 본 발명의 에피택셜 성장용 실리콘계 기판은, 반도체층을 에피택셜 성장시키기 위한 에피택셜 성장용 실리콘계 기판으로서, 실리콘계 기판의 외주부가 테라스 가공되어, 테라스부를 갖는 것이다(도 2(e) 참조).
- [0055] 외주부가 테라스 가공되어, 테라스부를 갖는 실리콘계 기판을 이용하여, 반도체층의 에피택셜 성장을 행하면, 용이하게 완전한 크랙프리의 에피택셜 웨이퍼를 얻을 수 있고, 디바이스 제조공정 등의 후공정에 있어서, 크랙이 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시키는 것을 억제할 수 있다.
- [0056] 또한, 테라스부의 테라스면이 경면 또는 준경면으로 되어 있는 것이 바람직하다.
- [0057] 이와 같이 테라스부의 테라스면이 경면 또는 준경면으로 되어 있음으로써, 테라스면으로부터의 발진을 억제하여, 발진에 따른 문제를 방지할 수 있다.
- [0058] 나아가, 에피택셜 성장시키는 반도체층이 질화물 반도체로 이루어진 구성으로 할 수 있다.
- [0059] 에피택셜 성장시키는 반도체층으로서 질화물 반도체를 이용하는 에피택셜 성장용 실리콘계 기판에, 본 발명을 호적하게 적용할 수 있다.
- [0060] 이 질화물 반도체를, AlN, GaN, InN, 또는 이들의 혼정 중 어느 1개 이상으로 할 수 있다.
- [0061] 에피택셜 성장시키는 반도체층에 이용하는 질화물 반도체로서 상기와 같은 재료를 이용하는 에피택셜 성장용 실리콘계 기판에, 본 발명을 호적하게 적용할 수 있다.

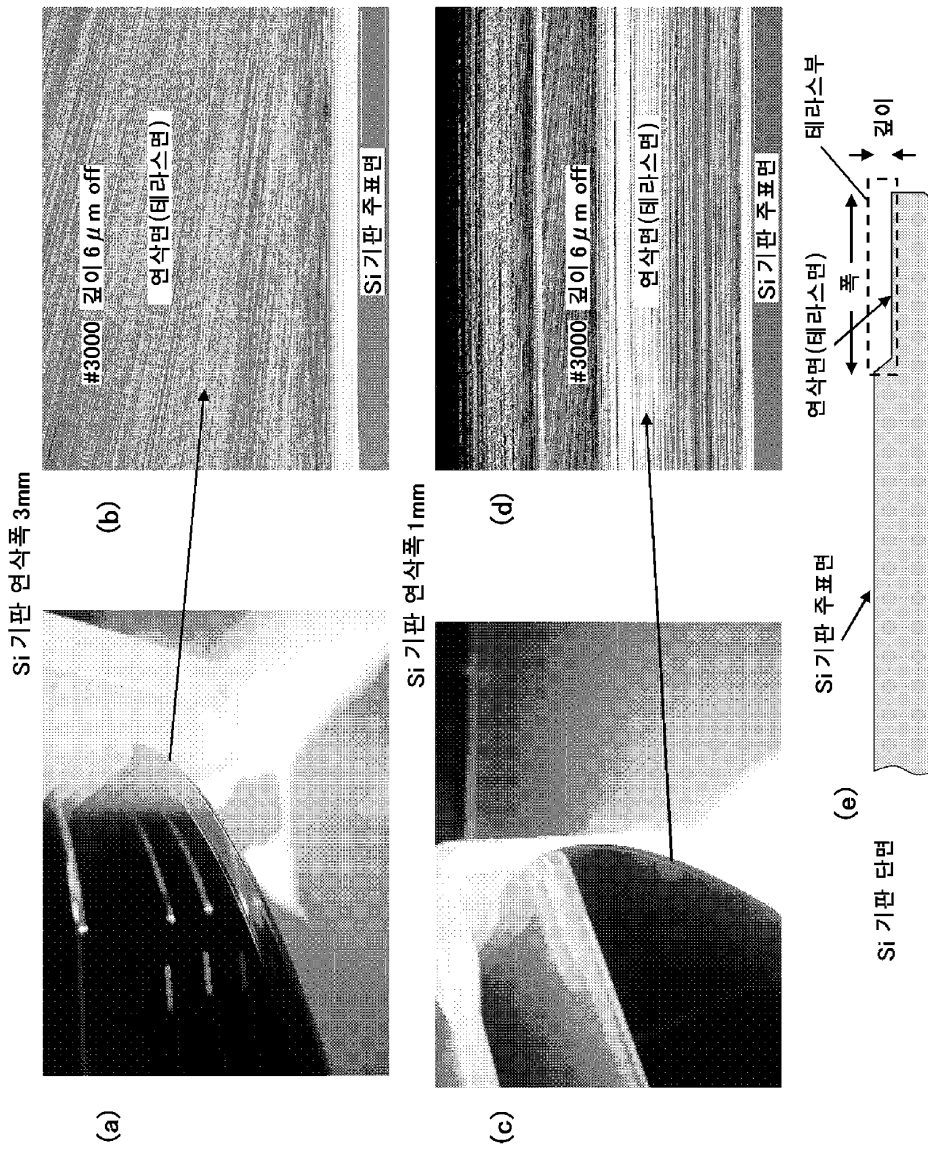
- [0062] 또한, 본 발명의 에피택셜 웨이퍼는, 상기 에피택셜 성장용 실리콘계 기판에 에피택셜층이 성장시켜진 것이다.
- [0063] 이러한 외주부가 테라스 가공되어, 테라스부를 갖는 실리콘계 기판에 에피택셜층이 성장시켜진 에피택셜 웨이퍼이면, 용이하게 완전한 크랙프리 에피택셜 웨이퍼로 할 수 있고, 디바이스 제조공정 등의 후공정에 있어서, 크랙이 신장하거나, 에피택셜 성장층의 박리를 유발하여 제조라인을 오염시키는 일이 없는 에피택셜 웨이퍼로 할 수 있다.
- [0064] **실시예**
- [0065] 이하, 실시예 및 비교예를 제시하여 본 발명을 보다 구체적으로 설명하나, 본 발명은 이것들로 한정되는 것은 아니다.
- [0066] (실시예)
- [0067] 직경 150mm이고 두께 1mm인 실리콘 기판의 외주부를, #3000의 입도를 갖는 지석을 이용하여, 폭 3mm, 깊이 6 $\mu$ m, 50 $\mu$ m의 2수준으로, 연삭에 의해 테라스 가공을 행하였다.
- [0068] 테라스 가공을 행한 실리콘 기판에 에피택셜 성장을 통해 AlN층을 형성한 후, AlGaIn층과 GaN층을 교대로 적층한 버퍼층을 에피택셜 성장시키고, 그 표면에 GaN층을 에피택셜 성장시켜, 에피택셜 웨이퍼를 제작하였다. 에피택셜층의 두께는 전체 10 $\mu$ m였다.
- [0069] 상기와 같이 하여 제작된 에피택셜 웨이퍼의 외주부를 집광등으로 관찰한 결과, 깊이 6 $\mu$ m의 수준(도 3(a) 참조)에도, 깊이 50 $\mu$ m의 수준(도 3(b) 참조)에도, 크랙, 에피택셜층 박리, 반응흔적의 발생은 없었다.
- [0070] (비교예)
- [0071] 테라스 가공을 행하지 않은 것을 제외하고는, 실시예와 동일하게 직경 150mm이고 두께 1mm인 실리콘 기판 상에 에피택셜 성장을 행하였다.
- [0072] 그 결과, 도 4에 나타내는 바와 같이, 에피택셜 웨이퍼의 거의 전체 둘레(全周)에 크랙이 보였다. 또한, 에피택셜층 박리가 전체 둘레에 산재하였고, 반응흔적이 전체 둘레에 드문드문 산재하였다.
- [0073] 한편, 본 발명은, 상기 실시형태로 한정되는 것은 아니다. 상기 실시형태는 예시이며, 본 발명의 특허청구범위에 기재된 기술적 사상과 실질적으로 동일한 구성을 가지며, 동일한 작용효과를 나타내는 것은, 어떠한 것이어도 본 발명의 기술적 범위에 포함된다.

**도면**

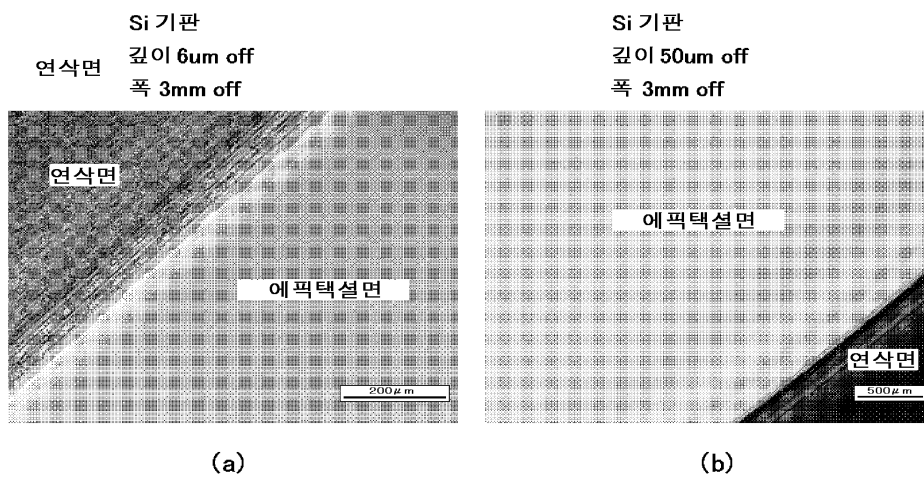
**도면1**



도면2



도면3



도면4

