



(12) 发明专利

(10) 授权公告号 CN 102428556 B

(45) 授权公告日 2014. 03. 12

(21) 申请号 201080021329. 6

(22) 申请日 2010. 05. 04

(30) 优先权数据

12/473, 324 2009. 05. 28 US

(85) PCT国际申请进入国家阶段日

2011. 11. 15

(86) PCT国际申请的申请数据

PCT/US2010/033469 2010. 05. 04

(87) PCT国际申请的公布数据

W02010/138278 EN 2010. 12. 02

(73) 专利权人 国际商业机器公司

地址 美国纽约阿芒克

(72) 发明人 B. A. 安德森 A. 布赖恩特

E. J. 诺瓦克

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邱军

(51) Int. Cl.

H01L 21/8244 (2006. 01)

H01L 27/11 (2006. 01)

(56) 对比文件

US 4949142 A, 1990. 08. 14,

US 2007/0222024 A1, 2007. 09. 27,

US 4395812 A, 1983. 08. 02,

US 5156989 A, 1992. 10. 20,

US 3628069 A, 1971. 12. 14,

CN 1674291 A, 2005. 09. 28,

审查员 赵吉鹤

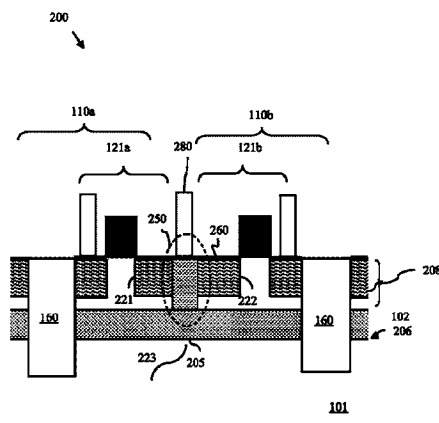
权利要求书3页 说明书11页 附图8页

(54) 发明名称

具有用于所有阱间和阱内隔离的深沟槽隔离区并且具有到达相邻装置扩散区和下面的浮置阱区之间的结的共享接触的集成电路装置

(57) 摘要

公开了改进的集成电路装置结构 (200) (例如, 静态随机存取存储器 (SRAM) 阵列结构或并入 P 型装置和 N 型装置的其它集成电路装置结构) (121a 和 121b) 和形成该结构的方法的实施例, 该方法将 DTI 区 (160) 用于所有阱间和阱内隔离, 从而提供一种低成本隔离方案, 其避免了由于 STI-DTI 未对准引起的 FET 宽度变化。此外, 因为用于阱内隔离的 DTI 区 (160) 可有效地产生一些浮置阱区 (203), 所述浮置阱区必须各自连接至电源电压 (例如, V_{dd}) (280) 以防止阈值电压 (V_t) 变化, 所以公开的集成电路装置也包括: 相邻装置 (121a 和 121b) 的扩散区 (221 和 222) 与下面的浮置阱区 (205) 之间的结的共享接触 (280)。这个共享接触 (280) 消除了如果每一个浮置阱区 (205) 需要分立的电源电压接触将产生的成本和面积损失。



1. 一种集成电路装置结构,包括:

基底,具有第一导电类型;

阱,位于所述基底中,所述阱具有不同于所述第一导电类型的第二导电类型;

半导体层,位于所述阱上方的所述基底上,所述半导体层包括:

第一装置的第一扩散区;

第二装置的第二扩散区,所述第一扩散区和所述第二扩散区均具有所述第一导电类型;以及

第三扩散区,横向设置在所述第一扩散区与所述第二扩散区之间,所述第三扩散区具有所述第二导电类型并且进一步垂直延伸至所述阱;

以及

导体层,位于所述半导体层上,所述导体层在所述第一扩散区、所述第三扩散区以及所述第二扩散区上方横向延伸并且与其接触,从而在所述第一扩散区、所述第三扩散区所延伸至的所述阱以及所述第二扩散区之间形成结,所述结电性连接所述第一扩散区、所述第三扩散区所延伸至的所述阱以及所述第二扩散区。

2. 根据权利要求1所述的集成电路装置结构,所述半导体层包括所述阱上方的装置区,所述装置区包含所述第一装置和所述第二装置,并且由深沟槽隔离区在所述装置区的相对侧和相对端上限定,所述深沟槽隔离区延伸至所述阱下方的所述基底中。

3. 根据权利要求1所述的集成电路装置结构,还包括所述导体层上的接触,所述接触连接至电源电压。

4. 根据权利要求1所述的集成电路装置结构,所述第一导电类型包括P型导电类型,而所述第二导电类型包括N型导电类型。

5. 根据权利要求1所述的集成电路装置结构,所述导体层包括硅化物层。

6. 根据权利要求1所述的集成电路装置结构,所述半导体层包括外延硅层。

7. 一种静态随机存取存储器(SRAM)阵列结构,包括:

基底,具有第一导电类型;

阱,位于所述基底中,所述阱具有不同于所述第一导电类型的第二导电类型;

半导体层,位于所述阱上方的所述基底上,所述半导体层包括:

第一存储器单元的第一上拉场效应晶体管的第一源极区;

第二存储器单元的第二上拉场效应晶体管的第二源极区,所述第一源极区和所述第二源极区具有所述第一导电类型;以及

掺杂区,横向设置在所述第一源极区与所述第二源极区之间,所述掺杂区具有所述第二导电类型并且进一步垂直延伸至所述阱;以及

导体层,位于所述半导体层上,所述导体层在所述第一源极区、所述掺杂区以及所述第二源极区上方横向延伸并且与其接触,从而在所述第一源极区、所述掺杂区所延伸至的所述阱以及所述第二源极区之间形成结,所述结电性连接所述第一源极区、所述掺杂区所延伸至的所述阱以及所述第二源极区。

8. 根据权利要求7所述的静态随机存取存储器(SRAM)阵列结构,所述半导体层包括所述阱上方的装置区,所述装置区包括所述第一上拉场效应晶体管和所述第二上拉场效应晶体管,并且由深沟槽隔离区在所述装置区的相对侧和相对端上限定,所述深沟槽隔离区延

伸至所述阱下方的所述基底中。

9. 根据权利要求 7 所述的静态随机存取存储器 (SRAM) 阵列结构, 还包括所述导体层上的接触, 所述接触连接至正电源电压 (Vdd)。

10. 根据权利要求 7 所述的静态随机存取存储器 (SRAM) 阵列结构, 所述第一导电类型包括 P 型导电类型, 而所述第二导电包括 N 型导电类型。

11. 根据权利要求 7 所述的静态随机存取存储器 (SRAM) 阵列结构, 所述导体层包括硅化物层。

12. 根据权利要求 7 所述的静态随机存取存储器 (SRAM) 阵列结构, 所述半导体层包括外延硅层。

13. 一种静态随机存取存储器 (SRAM) 阵列结构, 包括:

P 型基底;

N⁺ 阱, 位于所述基底中;

半导体层, 位于所述基底上;

深沟槽隔离区, 延伸穿过所述半导体层到达所述基底中至所述 N⁺ 阱下方, 以在所述阵列中限定存储器单元的装置区, 所述装置区之一包括:

所述半导体层的一个区段, 位于所述 N⁺ 阱的一个区段上方, 所述半导体层的所述区段包括:

第一存储器单元的第一 P 型上拉场效应晶体管的第一 P 型源极区;

第二存储器单元的第二 P 型上拉场效应晶体管的第二 P 型源极区, 所述第二存储器单元与所述第一存储器单元相邻; 以及

N 型掺杂区, 横向设置在所述第一 P 型源极区与所述第二 P 型源极区之间, 所述 N 型掺杂区进一步垂直延伸至所述 N⁺ 阱的所述区段;

导体层, 位于所述半导体层上, 所述导体层在所述第一 P 型源极区、所述 N 型掺杂区以及所述第二 P 型源极区上方横向延伸且与其接触, 从而在所述第一 P 型源极区、所述 N 型掺杂区所延伸至的所述 N⁺ 阱的所述区段以及所述第二 P 型源极区之间形成结, 所述结电性连接所述第一 P 型源极区、所述 N 型掺杂区所延伸至的所述 N⁺ 阱的所述区段以及所述第二 P 型源极区; 以及

接触, 位于所述导体层上, 所述接触连接至正电源电压 (Vdd)。

14. 一种形成集成电路装置结构的方法, 所述方法包括:

提供具有第一导电类型的基底;

在所述基底中形成阱, 所述阱具有不同于所述第一导电类型的第二导电类型;

在所述形成所述阱的步骤之后, 在所述基底上形成半导体层; 以及

在所述阱、第一装置的第一扩散区以及第二装置的第二扩散区之间形成结, 所述形成所述结的步骤包括:

在所述半导体层中形成所述第一扩散区和所述第二扩散区, 使得所述第一扩散区和所述第二扩散区具有所述第一导电类型;

在所述半导体层中形成第三扩散区, 所述扩散区横向设置在所述第一扩散区与所述第二扩散区之间, 使得所述第三扩散区具有所述第二导电类型并且垂直延伸至所述阱; 以及

在所述半导体层上形成导体层, 使得所述导体层在所述第一扩散区、所述第三扩散区

以及所述第二扩散区上方横向延伸且与其接触,从而在所述第一扩散区、所述第三扩散区所延伸至的所述阱以及所述第二扩散区之间形成结,所述结电性连接所述第一扩散区、所述第三扩散区所延伸至的所述阱以及所述第二扩散区。

15. 根据权利要求 14 所述的方法,还包括:

在所述形成所述结的步骤之前,形成深沟槽隔离区,所述深沟槽隔离区延伸到所述基底中至所述阱下方,以在所述半导体层中限定多个装置区,所述装置区其中之一包括用于所述第一装置和所述第二装置的所述阱上方的指定区。

16. 根据权利要求 14 所述的方法,还包括:形成到达所述导体层的接触,并且将所述接触电性连接到电源电压。

17. 根据权利要求 14 所述的方法,所述第一导电类型包括 P 型导电类型,而所述第二导电类型包括 N 型导电类型。

18. 根据权利要求 14 所述的方法,所述形成所述导体层的步骤包括形成硅化物层。

19. 根据权利要求 14 所述的方法,所述形成所述半导体层的步骤包括外延生长硅层。

20. 一种形成静态随机存取存储器(SRAM)阵列结构的方法,所述方法包括:

提供具有第一导电类型的基底;

在所述基底中形成阱,所述阱具有不同于所述第一导电类型的第二导电类型;

在所述形成所述阱的步骤之后,在所述基底上形成半导体层;以及

在所述阱、第一存储器单元的第一上拉场效应晶体管的第一源极区以及第二存储器单元的第二上拉场效应晶体管的第二源极区之间形成结,所述形成所述结的步骤包括:

在所述半导体层中形成所述第一上拉场效应晶体管的所述第一源极区和所述第二上拉场效应晶体管的所述第二源极区,使得所述第一源极区和所述第二源极区具有所述第一导电类型;

在所述半导体层中形成掺杂区,所述掺杂区横向设置在所述第一源极区与所述第二源极区之间,使得所述掺杂区具有所述第二导电类型并且垂直延伸至所述阱;以及

在所述半导体层上形成导体层,使得所述导体层在所述第一源极区、所述掺杂区以及所述第二源极区上方横向延伸且与其接触,从而在所述第一源极区、所述掺杂区所延伸至的所述阱以及所述第二源极区之间形成结,所述结电性连接所述第一源极区、所述掺杂区所延伸至的所述阱以及所述第二源极区。

21. 根据权利要求 20 所述的方法,在所述形成所述结的步骤之前,形成深沟槽隔离区,所述深沟槽隔离区延伸到所述基底中至所述阱下方,以在所述半导体层中限定多个装置区,所述装置区其中之一包括用于所述第一上拉场效应晶体管和所述第二上拉场效应晶体管的所述阱上方的指定区。

22. 根据权利要求 20 所述的方法,还包括:形成到达所述导体层的接触,并且将所述接触电性连接到正电源电压(Vdd)。

23. 根据权利要求 20 所述的方法,所述第一导电类型包括 P 型导电类型,而所述第二导电类型包括 N 型导电类型。

24. 根据权利要求 20 所述的方法,所述形成所述导体层的步骤包括形成硅化物层。

25. 根据权利要求 20 所述的方法,所述形成所述半导体层的步骤包括外延生长硅层。

具有用于所有阱间和阱内隔离的深沟槽隔离区并且具有到达相邻装置扩散区和下面的浮置阱区之间的结的共享接触的集成电路装置

技术领域

[0001] 本发明的实施例总体涉及一种集成电路装置,并且更具体地涉及一种集成电路装置(例如,静态随机存取存储器(SRAM)阵列)以及形成该装置的方法,该装置具有用于所有阱间和阱内隔离的深沟槽隔离区并且具有相邻装置扩散区和下面的浮置阱区之间的结的共享接触。

背景技术

[0002] 在各种不同类型的基底上(例如,在绝缘体上硅(SOI)晶片、体晶片或混合定向(HOT)晶片上)可形成集成电路装置,诸如静态随机存取存储器(SRAM)阵列或并入P型场效应晶体管(PFET)和N型场效应晶体管(NFET)二者的其它装置。一种用于在体半导体晶片(例如,P型晶片)上形成集成电路装置的技术需要在外延生长半导体层之前在体晶片的顶表面上进行N⁺阱区和P⁺阱区的注入。随后,在外延生长的半导体层中,在N⁺阱区上方形成PFET,而在P⁺阱区上方形成NFET,以使得P⁺阱区及N⁺阱区分别将NFET和PFET与体基底电性隔离。传统上,浅沟槽隔离(STI)区用于任何所需的阱内隔离(即,相同导电类型FET之间的隔离),而双倍深度沟槽隔离(DDTI)区用于阱间隔离(即,不同导电类型FET之间的隔离),该DDTI区包括延伸至阱水平下方的基底中的深沟槽隔离(DTI)区。然而,兼具STI区与DDTI区可能极其昂贵。

发明内容

[0003] 鉴于以上内容,本发明公开了改进的集成电路装置结构(例如,静态随机存取存储器(SRAM)阵列结构或并入P型装置和N型装置的其它集成电路装置结构)和形成该结构的方法的实施例,该方法将深沟槽隔离(DTI)区用于所有阱间和阱内隔离,从而提供一种低成本隔离方案。因为只有DDTI区用于阱间和阱内隔离,所以上述实施例避免了由于浅沟槽隔离(STI)-DTI未对准引起的FET宽度变化,从而避免可能影响性能的阈值电压变化。此外,因为用于阱内隔离的DTI区可有效地产生一些浮置阱区(即,隔离阱区),所述浮置阱区必须各自连接至电源电压(例如,V_{dd})以防止阈值电压(V_t)变化,所以公开的集成电路装置也包括:到达相邻装置的扩散区与下面的浮置阱区之间的结的共享接触。这个共享接触消除了如果每一个浮置阱区需要分立的电源电压接触将产生的成本和面积损失。

[0004] 更具体地,本发明公开了一种集成电路装置结构的实施例。这种结构包括具有第一导电类型的基底,并且还包括阱,其具有不同于第一导电类型的第二导电类型。半导体层(例如,外延硅层)可设置在基底上。这个半导体层可包括:装置区,位于该阱上方,并且更具体地,位于该阱的浮置阱区上方。由深沟槽隔离(DTI)区限定该装置区的相对侧和相对端,该深沟槽隔离(DTI)区延伸至该阱的最大深度下方的基底中。

[0005] 在该装置区中,该半导体层可包括第一装置的第一扩散区以及第二装置的第二扩

散区。第一扩散区和第二扩散区均具有第一导电类型。另外,在装置区中,该半导体层也可包括第三扩散区,其横向设置在该第一扩散区与该第二扩散区之间。这个第三扩散区可具有第二导电类型,并且可垂直延伸至下面的浮置阱区。导体层(例如,硅化物层)可设置在该半导体层上,并且更具体地,可在第一扩散区、第三扩散区以及第二扩散区上方横向延伸且与其接触,从而产生第一扩散区、下面的浮置阱区以及第二扩散区之间的结。因此,这个结上的导体层的单一共享接触可将第一装置的第一扩散区、第二装置的第二扩散区以及下面的浮置阱区电性连接至电源电压(例如,正电源电压(Vdd))。

[0006] 在一个示范性实施例中,集成电路装置结构可包括静态随机存取存储器(SRAM)阵列结构。SRAM阵列可形成在具有第一导电类型的基底上。该基底可包括具有第二导电类型的阱。半导体层(例如,外延硅层)可设置在基底上。深沟槽隔离(DTI)区可延伸到该基底中至该阱的最大深度下方,以在阵列中限定存储器单元的装置区的相对侧和相对端。这些装置区其中之一可位于该阱上方,并且更具体地,可位于该阱的浮置阱区上方。

[0007] 在这个装置区中,该半导体层可包括第一存储器单元的第一上拉场效应晶体管的第一源极区以及第二存储器单元的第二上拉场效应晶体管的第二源极区。该第一源极区及该第二源极区可具有第一导电类型。另外,在该装置区中,该半导体层也可包括掺杂区,其横向设置在该第一源极区与该第二源极区之间。该掺杂区可具有第二导电类型,并且可进一步垂直延伸至下面的浮置阱区。导体层(例如,硅化物层)可设置在该半导体层上,并且更具体地,可在第一源极区、掺杂区以及第二源极区上方横向延伸且与其接触,从而产生第一源极区、下面的浮置阱区以及第二源极区之间的结。因此,在这个结上的该导体层的单一共享接触可将第一上拉场效应晶体管的第一源极区、第二上拉场效应晶体管的第二源极区以及下面的浮置阱区电性连接至电源电压(例如,正电源电压(Vdd))。

[0008] 应该注意,由于体硅晶片典型地具有P导电类型,因此上述“第一导电类型”典型地包括P型导电类型,而上述“第二导电类型”典型地包括N型导电类型。

[0009] 因此,在示范性SRAM阵列中,基底可包括P型基底。N⁺阱可位于该P型基底中,并且更具体地,可位于该P型基底的顶表面上。半导体层(例如,外延硅层)可设置在P型基底上。深沟槽隔离区可延伸穿过半导体层到P型基底中至N⁺阱下方,以在该阵列中限定存储器单元的装置区。这些装置区其中之一可包括N⁺阱的相应浮置阱区上方的半导体层的一个区段。半导体层的这个区段可包括第一存储器单元的第一P型上拉场效应晶体管的第一P型源极区以及第二存储器单元的第二P型上拉场效应晶体管的第二P型源极区,该第二存储器单元可设置为相邻该第一存储器单元。另外,半导体层的这个区段也可包括N型掺杂区,其横向设置在该第一P型源极区与该第二P型源极区之间。该N型掺杂区可进一步向下垂直延伸至N⁺阱的浮置阱区。导体层(例如,硅化物层)可设置在半导体层上。这个导体层可在第一P型源极区、N型掺杂区以及第二P型源极区上方横向延伸且与其接触,从而在第一P型源极区、N⁺阱的浮置阱区以及第二P型源极区之间产生结。因此,这个结上的导体层上的单一共享接触可将P型上拉场效应晶体管的源极区以及下N型浮置阱区电性连接至正电源电压(Vdd)。

[0010] 然而,尽管在上述实施例中第一导电类型为P型导电类型,而第二导电类型为N型导电类型,但是在替代方案中可以预期,第一导电类型可包括N型导电类型,而第二导电类型可包括P型导电类型。

[0011] 此外,本发明公开了用于形成上述集成电路装置和上述 SRAM 阵列的 方法的实施例。具体而言,该方法的一个实施例可包括形成集成电路装置。这个实施例可包括提供具有第一导电类型的基底。在基底中,并且更具体地,在该基底的顶表面上,可形成具有不同于第一导电类型的第二导电类型的阱。然后,在形成阱之后,在基底上形成半导体层(例如,通过外延生长硅层)。接下来,可形成深沟槽隔离区,其延伸穿过半导体层,并且向下延伸至阱的最大深度下方的基底中,以在半导体层中限定多个装置区:一个特定装置区为用于第一装置和第二装置的阱的浮置阱区上方的指定区。

[0012] 一旦限定装置区,则可在特定装置区中形成第一装置和第二装置。然而,可特定地形成第一装置和第二装置,使得在第一装置的第一扩散区、第二装置的第二扩散区以及下面的浮置阱区之间形成结。为了实现这一点,在半导体层中形成第一扩散区和第二扩散区,使得第一扩散区及第二扩散区具有第一导电类型。另外,在半导体层中可形成第三扩散区,使得该第三扩散区横向设置在第一扩散区与第二扩散区之间,使得第三扩散区具有第二导电类型,以及进一步使得第三扩散区垂直延伸至下面的浮置阱区。然后,在半导体层上可形成导体层(例如,形成硅化物层),使得该导体层在第一扩散区、第三扩散区以及第二扩散区上方横向延伸且与其接触。然后,在导体层上形成单一接触,且将其电性连接至电源电压。

[0013] 这种方法的一个示范性实施例可包括形成静态随机存取存储器(SRAM)阵列。这个实施例可类似地包括提供具有第一导电类型的基底。在基底中,并且更具体地,在该基底的顶表面上,可形成具有与该第一导电类型不同的第二导电类型的阱。随后,在形成阱之后,可在该基底上形成半导体层(例如,通过外延生长硅层)。接下来,可形成深沟槽隔离区,其延伸穿过半导体层,并且向下延伸至该阱的最大深度下方的基底中,以在半导体层中限定多个装置区:一个特定装置区为一个指定区,位于第一存储器单元的节点中的第一上拉场效应晶体管以及第二邻近存储器单元的节点中的第二上拉场效应晶体管的阱的浮置阱区上方。

[0014] 一旦限定装置区,则可在特定装置区中形成第一上拉场效应晶体管以及第二上拉场效应晶体管。然而,可特定地形成第一上拉场效应晶体管以及第二上拉场效应晶体管,使得第一上拉场效应晶体管的第一源极区、第二上拉场效应晶体管的第二源极区以及下面的浮置阱区之间形成结。为实现这一点,在半导体层中形成第一源极区和第二源极区,使得第一源极区和第二源极区具有第一导电类型。另外,在半导体层中可形成另一掺杂区,使得该另一掺杂区横向设置在第一源极区与第二源极区之间,使得该掺杂区具有第二导电类型,并且进一步使得该掺杂区垂直延伸至浮置阱区。然后,在半导体层上形成导体层(例如,形成硅化物层),使得该导体层在第一源极区、掺杂区以及第二源极区上方横向延伸且与其接触。随后,在导体层上可形成单一接触,并且将其电性连接至正电源电压(Vdd)。

[0015] 应该注意,由于体晶片典型地具有 P 导电类型,上述“第一导电类型”典型地包括 P 型导电类型,而上述“第二导电类型”典型地包括 N 型导电类型。然而,在替代方案中可以预期,第一导电类型可包括 N 型导电类型,而第二导电类型可包括 P 型导电类型。

附图说明

[0016] 根据以下参照附图的详细描述可更好地理解本发明的实施例,所述附图不一定按

照比例绘制,并且在附图中:

[0017] 图 1 为示出根据本发明的集成电路装置结构 100 的实施例的俯视平面图,该集成电路装置结构例如为静态随机存取存储器 (SRAM) 阵列结构;

[0018] 图 2 为示出图 1 的结构 100 的装置区 200 的横截面图;

[0019] 图 3 为示出示例性静态随机存取存储器 (SRAM) 单元的示意图;

[0020] 图 4 为示出根据本发明的形成结构 100 的方法的实施例的流程图;

[0021] 图 5 为示出根据图 4 的方法而形成的部分完成结构的横截面图;

[0022] 图 6 为示出根据图 4 的方法而形成的部分完成结构的横截面图;

[0023] 图 7 为示出根据图 4 的方法而形成的部分完成结构的横截面图;

[0024] 图 8 为示出根据图 4 的方法而形成的部分完成结构的横截面图;

[0025] 图 9 为示出根据图 4 的方法而形成的部分完成结构的横截面图;

[0026] 图 10 为示出根据图 4 的方法而形成的部分完成结构的横截面图;以及

[0027] 图 11 为示出根据图 4 的方法而形成的部分完成结构的横截面图。

具体实施方式

[0028] 参照非限制性实施例更全面地解释本发明的实施例及其各种特征和有利细节,所述非限制性实施例在附图中示出并且在以下说明中详细描述。

[0029] 如上文所述,在各种不同类型的基底上(例如,在绝缘体上硅(SOI)晶片、体晶片或混合定向(HOT)晶片上)可形成集成电路装置,诸如静态随机存取存储器(SRAM)阵列或并入P型场效应晶体管(PFET)以及N型场效应晶体管(NFET)的其它装置。一种在体半导体晶片(例如,P型晶片)上形成集成电路装置的技术需要在外延生长半导体层之前在体晶片的顶表面上进行N⁺阱区和P⁺阱区的注入。随后,在外延生长的半导体层中,在N⁺阱区上方形成PFET,且在P⁺阱区上方形成NFET,使得P⁺阱区和N⁺阱区分别将NFET和PFET与体基底电性隔离。传统上,浅沟槽隔离(STI)区用于任何所需的阱内隔离(即,相同导电类型FET之间的隔离),而双倍深度沟槽隔离(DDTI)区用于阱间隔离(即,不同导电类型FET之间的隔离),该DDTI区包括延伸至阱水平下方的基底中的深沟槽隔离(DTI)区。因此,这种隔离方案导致设置为邻近N⁺阱-P⁺阱界面的任何场效应晶体管在一侧上由STI区划界,而在相对侧上由DDTI区划界。不幸的是,在形成期间,不同类型的隔离区(即,STI和DDTI)可能不对准,从而导致FET宽度变化,进而可能影响装置性能,这是因为窄FET的阈值电压(V_t)对FET宽度变化极其敏感,所述窄FET例如为并入SRAM阵列中的那些FET。

[0030] 因此,现有技术中需要一种改进的集成电路装置结构及用于形成该结构的方法,该方法避免了上述传统隔离方案,并且由此避免由FET宽度变化引起的V_t变化。2008年4月29日申请的美国专利申请第12/111,266号中公开了一种这样的集成电路装置结构,并且更具体地,公开了一种SRAM阵列结构,该专利申请转让给Armonk, New York的International Business Machines Corporation,并且在此通过引用结合其全文。在美国专利申请第12/111,266号的SRAM阵列结构中,在第一方向上延伸的连续平行DTI区不仅用于阱间隔离(即,延伸至阱水平下方的基底的隔离区域,以提供不同导电类型FET之间的隔离),而且用于一些阱内隔离(即,在一些相同类型的FET之间延伸的隔离区,并且更具体地,在同一存储器单元的不同节点中的PFET之间延伸的隔离区)。这种结构解决了设置为

邻近 N⁺ 阱 -P⁺ 阱界面的 FET 所发生的 FET 宽度变化问题,因为这种 FET 不再由 STI 区在一侧上划界,且不再由 DDTI 区在相对侧上划界,而是由 DTI 区在两侧上划界。然而,在美国专利申请第 12/111,266 号的结构中,在平行的单一方向 DTI 区之间,例如,在相邻存储器单元的上拉 PFET 之间,仍然采用 STI 区来提供额外阱内隔离。不幸的是,形成 DTI 和 STI 二者的成本可能较高。

[0031] 鉴于以上内容,本发明公开一种改进的集成电路装置结构(例如,静态随机存取存储器(SRAM)阵列结构或并入 P 型装置和 N 型装置二者的其它集成电路装置结构)以及形成该结构的方法的实施例,该方法将深沟槽隔离(DTI)区用于所有阱间和阱内隔离,从而提供一种低成本隔离方案,其避免了由于浅沟槽隔离(STI)-DTI 未对准引起的 FET 宽度变化。此外,因为用于阱内隔离的 DTI 区可有效地产生一些浮置阱区(即,隔离阱区),所述浮置阱区必须各自连接至电源电压(例如,V_{dd})以防止阈值电压(V_t)变化,所以公开的集成电路装置也包括:相邻装置的扩散区与下面的浮置阱区之间的结的共享接触。这个共享接触消除了如果每一个浮置阱区需要分立的电源电压接触将产生的成本和面积损失。

[0032] 更具体地,图 1 示出集成电路装置 100 的一个实施例的俯视图。参照图 1,集成电路装置 100 可包括具有第一导电类型的基底 101。具有不同导电类型的阱 102 和阱 103 可位于基底 101 中,并且更具体地,可位于基底 101 的顶表面上。不同导电类型的装置 104、105 可设置在相反导电类型的阱上方,以将装置 104、105 与基底 101 的下部隔离。深沟槽隔离(DTI)区 150、160 可限定多个装置区(例如,参见装置区 200),从而提供所有所需的阱间隔离 160(即,具有不同导电类型的 FET 之间的隔离)和所有所需的阱内隔离 150(即,具有相同导电类型的 FET 之间的隔离)。另外,对于由 DTI 区 150、160 产生的任何的浮置阱区(例如,装置区 200 下方),共享电源电压接触可电性连接至具有相同导电类型的两个相邻装置的扩散区与具有不同导电类型的下面的浮置阱区之间的结 250。这个结 250 包括这样的结构,该结构允许经由共享接触将电源电压同时施加至相邻装置的扩散区和下面的浮置阱区。

[0033] 具体而言,在具有第一导电类型的基底 101 上形成集成电路装置 100。基底 101 可包括阱 102(例如,预外延生长注入区),阱 102 具有与第一导电类型不同的第二导电类型。

[0034] 图 2 示出集成电路装置 100 的装置区 200 的横截面图。参照图 2 并结合图 1,半导体层 208(例如,外延硅层)可设置在基底 101 上。这个半导体层 208 可包括装置区 200,装置区 200 位于阱 102 上方,并且更具体地,位于阱 102 的浮置阱区 205 上方。通过深沟槽隔离(DTI)区 160 和 150 可在相对侧和相对端上限定装置区 200,深沟槽隔离(DTI)区 160 和 150 延伸至阱 102 的最大深度 206 下方的基底 101 中。装置区 200 可包含第一装置 121a 和与第一装置 121a 相邻的第二装置 121b。第一装置 121a 和第二装置 121b 可具有与阱 102 不同的导电类型,从而其与基底 101 的下部隔离。

[0035] 更具体而言,在装置区 200 中,半导体层 208 可包括用于第一装置 121a 的至少一个第一扩散区 221 以及用于第二装置 121b 的至少一个第二扩散区 222。第一扩散区 221 和第二扩散区 222 可各自具有第一导电类型。另外,在装置区 200 中,半导体层 208 也可包括第三扩散区 223,第三扩散区 223 横向设置在第一扩散区 221 与第二扩散区 222 之间。这个第三扩散区 223 可具有第二导电类型,并且可垂直延伸至浮置阱区 205。导体层 260(例如,硅化物层)可设置在半导体层 208 上,并且更具体地,在第一扩散区 221、第三扩散区 223 以

及第二扩散区 222 上方横向延伸且与其接触。第三扩散区 223 与导体层 260 相结合而在第一扩散区 221、浮置阱区 205 以及第二扩散区 222 之间形成结 250。即,第三扩散区 223 与导体层 260 相结合而形成这样的结构,该结构电性连接(即,链接、耦接等)第一扩散区 221、下面的浮置阱区 205 以及第二扩散区 222。因此,到结 250 的单一共享接触 280,更具体地,到导体层 260 的单一共享接触 280,可将第一装置 121a 的第一扩散区 221、第二装置 121b 的第二扩散区 222 以及下面的浮置阱区 205 电性连接至电源电压(例如,正电源电压(Vdd))。这个共享接触 280 消除了如果每一个浮置阱区需要分立的电源电压接触将产生的成本和面积损失。

[0036] 再参照图 1,在一个示范性实施例中,集成电路装置结构 100 可具体包括静态随机存取存储器(SRAM)阵列结构。SRAM 阵列 100 可包括具有第一导电类型的基底 101。具有不同导电类型的阱 102、103(例如,预外延生长注入区)可位于基底 101 中,并且更具体地,可位于基底 101 的顶表面上。传统六晶体管 SRAM 单元(例如,参见示范性单元 110a-d)的阵列形成于阱 102、阱 103 上方的半导体层(例如,外延硅层)中。

[0037] 图 3 为示出示范性 SRAM 单元 110 的示意图。参照图 3 并结合图 1,阵列中的每一个 SRAM 单元 110 可包括两个互补连接的节点 111、112,并且每一个节点 111、112 可包括第二导电类型阱 102 上方的一个第一导电类型 FET105(即,第一导电类型上拉 FET123),以及第一导电类型阱 103 上方的两个第二导电类型 FET104(即,第二导电类型下拉 FET122 和第二导电类型导通栅极 FET123)。在操作中,因为每一个节点 111、112 接合至其它节点的上拉晶体管的栅极,所以存储于每一个节点中的值保持互补。典型地,经由一个金属配线层来实现节点 111 与节点 112 之间的电接连,并且通过配置每一个单元来实现最佳装置密度,使得每一个单元与其相邻单元对称。另外,深沟槽隔离(DTI)区 150、160 可在阵列 100 中限定多个装置区,从而提供所有所需的阱间隔离 150(即,具有不同导电类型的 FET 之间的隔离)以及所有所需的阱内隔离 160(即,具有相同导电类型的 FET 之间的隔离)。对于每一个浮置阱区,共享正电源电压接触(即,Vdd)可电性连接至上拉 FET 的源极区与下面的浮置阱区之间的结,每一个浮置阱区由来自相邻存储器单元的包含上拉 FET 的装置区下方的 DTI 区产生。这个结包括这样的结构,该结构允许经由共享接触将电源电压同时施加至相邻上拉 FET 的源极区以及下面的浮置阱区。

[0038] 更具体而言,参照图 2 并结合图 1,半导体层 208(例如,外延硅层)可设置在基底 101 上。深沟槽隔离(DTI)区 150、160 可延伸至基底 101 中至阱 102 的最大深度 206 下方,以在阵列 100 中限定存储器单元 110a-d 的装置区(例如,参见装置区 200)的相对侧和相对端。这些装置区 200 之一可位于阱 102 上方,并且更具体地,可位于阱 102 的浮置阱区 205 上方。这个装置区 200 可包含例如用于第一存储器单元 110a 的节点 111a 的第一上拉场效应晶体管 121a,以及用于邻近第一存储器单元 110a 的第二存储器单元 110b 的节点 111b 的第二上拉场效应晶体管 121b。

[0039] 在装置区 200 中,半导体层 208 可包括:第一存储器单元 110a 的第一上拉场效应晶体管 121a 的第一源极区 221,以及第二存储器单元 110b 的第二上拉场效应晶体管 121b 的第二源极区 222。第一源极区 221 以及第二源极区 222 可具有第一导电类型。另外,在装置区 200 中,半导体层 208 也可包括横向设置在第一源极区 221 与第二源极区 222 之间的掺杂区 223。掺杂区 223 可具有第二导电类型,并且可进一步垂直延伸至浮置阱区 205。导

体层 260 (例如,硅化物层)可设置在半导体层 208 上,并且更具体地,导体层 260 可在第一源极区 221、掺杂区 223 以及第二源极区 222 上方横向延伸并且与其接触。掺杂区 223 与导体层 260 结合而在第一源极区 221、下面的浮置阱区 205 以及第二源极区 222 之间形成结 250。即,掺杂区 223 与导体层 260 结合而形成这样的结构,该结构电性连接(即,链接、耦接等)第一扩散区 221、下面的浮置阱区 205 以及第二扩散区 222。因此,到结 250 的单一共享接触 280,并且更具体地,到导体层 260 的单一共享接触 280 可将第一上拉场效应晶体管 121a 的第一源极区 221、第二上拉场效应晶体管 121b 的第二源极区 222 以及下面的浮置阱区 205 电性连接到电源电压(例如,正电源电压 (Vdd))。这个共享接触 280 消除了如果每一个浮置阱区需要分立的电源电压接触将产生的成本和面积损失。

[0040] 应该注意,由于体硅晶片典型地具有 P 导电类型,因此上述“第一导电类型”典型地包括 P 型导电类型,而上述“第二导电类型”通常包括 N 型导电类型。

[0041] 因此,在示范性 SRAM 阵列 100 中,基底 101 可包括 P 型基底 101。N+ 阱 102 可位于 P 型基底 101 中,并且更具体地,可位于 P 型基底 101 的顶表面上。半导体层 208 (例如,外延硅层)可设置在 P 型基底 101 上。深沟槽隔离区 150、160 可延伸穿过导体层 208 到基底 101 中至 N+ 阱 102 下方,以在阵列 100 中限定存储器单元(例如,参见存储器单元 110a-d)的装置区(例如,参见装置区 200)。这些装置区 200 之一可包括 N+ 阱 102 的相应浮置阱区 205 上方的半导体层 208 的一个区段。半导体层 208 的这个区段可至少包括第一存储器单元 110a 的第一 P 型上拉场效应晶体管 121a 的第一 P 型源极区 221 以及第二存储器单元 110b 的第二 P 型上拉场效应晶体管 121b 的第二 P 型源极区 222,其中第二存储器单元 110b 设置为邻近第一存储器单元 110a。另外,半导体层 208 的这个区段也可包括横向设置在第一 P 型源极区 221 与第二 P 型源极区 222 之间的 N 型掺杂区 223。N 型掺杂区 223 可进一步向下垂直延伸至 N+ 阱 102 的下面的浮置阱区 205。导体层 260 (例如,硅化物层)可设置在半导体层 208 上。这个导体层 260 可在第一 P 型源极区 221、N 型掺杂区 223 以及第二 P 型源极区 222 上方横向延伸并且与其接触。N 型掺杂区 223 与导体层 260 结合而在第一 P 型源极区 221、N+ 阱 102 的下面的浮置阱区 205 以及第二 P 型源极区 222 之间形成结 250。即,N 型掺杂区 223 与导体层 260 结合而形成这样的结构,该结构电性连接(即,链接、耦接等)第一 P 型源极区 221、N+ 阱 102 的下面的浮置阱区 205 以及第二 P 型源极区 222。因此,到结 250 的共享单一接触 280,并且更具体地,到导体层 260 的共享单一接触 280,可将上拉场效应晶体管 121a 的源极区 221、上拉场效应晶体管 121b 的源极区 222 以及下面的浮置阱区 205 电性连接至正电源电压 (Vdd)。这个共享接触 280 消除了如果每一个浮置阱区需要分立的电源电压接触将产生的成本和面积损失。

[0042] 然而,尽管在上述实施例中第一导电类型为 P 型导电类型以及第二导电类型为 N 型导电类型,但是在替代方案中可以预期第一导电类型可包括 N 型导电类型以及第二导电类型可包括 P 型导电类型。

[0043] 本领域的技术人员将认识到 P 型导电类型和 N 型导电类型可通过注入适当选择的掺杂剂来实现。举例而言,P 型扩散区以及 P 型阱区可以用诸如硼 (B) 的 III 族掺杂剂来注入,而 N 型扩散区以及 N 型阱区可以用诸如砷 (As)、磷 (P) 或锑 (Sb) 的 V 族掺杂剂来注入。另外,本领域的技术人员将进一步认识到以上讨论且在图 1 和图 2 中示出的深沟槽隔离区 150、160 可包括例如传统深沟槽隔离结构,其由一种或更多种非导电性填充材料(例

如,氧化物填充材料、氮化物填充材料、氮氧化物填充材料等)衬垫(可选)和填充。

[0044] 此外,本发明公开了形成上述集成电路装置和上述 SRAM 阵列的方法的实施例。具体而言,参照图 4,该方法的一个实施例可包括:形成并入 N 型装置 104 和 P 型装置 105 的集成电路装置 100,如图 1 所示。这个实施例可包括:提供具有第一导电类型的基底 101 (402)。在基底 101 的顶表面上可形成具有不同导电类型的阱 102 和阱 103 (404,参见图 5)。具体而言,采用传统掩模注入技术在基底 101 中注入阱 102 和阱 103,使得具有第二导电类型的阱 102 设置为邻近具有第一导电类型的一个或更多个阱 103。随后,在形成阱 102 和阱 103 之后,在基底 101 上可形成半导体层 208 (例如,通过外延生长硅层) (406,参见图 6)。

[0045] 接下来,可形成深沟槽隔离区 150 和 160,其延伸穿过半导体层 208 并且向下延伸到阱 102 和阱 103 的最大深度下方的基底 101 中,以提供集成电路装置 100 的所有所需的阱间和阱内隔离,从而在半导体层 208 中限定装置区:一个特定装置区 200 为第一装置和第二装置的阱 102 上方的指定区 (408)。采用传统技术可形成这样的深沟槽隔离区 150、160。举例而言,光致抗蚀剂层可沉积在半导体层 208 上并且图案化。随后,采用各向异性蚀刻工艺 (例如,等离子体反应离子蚀刻 (RIE) 工艺) 将图案转移到半导体层 208 和基底 101 中,以形成沟槽 760 (参见图 7)。该各向异性蚀刻持续进行,直至沟槽 760 比阱 102 的最大深度 206 更深为止。在形成沟槽 760 之后,可选地,由一种或更多种非导电性填充材料 (例如,氧化物填充材料、氮化物填充材料、氮氧化物填充材料等) 衬垫 (例如,通过生长薄氧化物材料)、填充 (例如,通过等离子体沉积),然后平坦化,从而产生 DTI 区 (例如,参见图 8)。

[0046] 一旦限定了装置区,则可形成集成电路结构 100 的所有装置 104、105 (410)。具体而言,在第二导电类型阱 102 上方可形成第一导电类型装置 105,并且在第一导电类型阱 103 上方可形成第二导电类型装置 104 (如图 1 所示)。然而,在工艺 410 的装置形成期间并且在装置区具有由 DTI 区 150、160 产生的下面的浮置阱区 205 的情况下 (例如,参见图 8 中的装置区 200),在相邻装置的扩散区与下面的浮置阱区之间也形成结。如所形成的,这个结可包括这样的结构,该结构允许经由共享接触将电源电压同时施加至相邻装置的扩散区和下面的浮置阱区。

[0047] 具体而言,采用传统处理技术以在各种装置区中形成装置 104 和 105,并且更具体地,在装置区 200 中形成相邻装置 121a 和 121b。即,在半导体层上可沉积地毯式 (blanket) 栅极介电层,并且可在栅极介电层上沉积地毯式栅极导体层。栅极介电层-栅极导体层的堆叠可被图案化和蚀刻以形成栅极结构,该栅极结构包括但不限于,装置区 200 中相邻装置 121a 和 121b 的栅极结构 901 和 902 (参见图 9)。然后,在第一装置 121a 的第一栅极结构 901 的任一侧上,在半导体层 208 中形成具有第一导电类型的第一扩散区 221 (例如,通过执行掩模注入工艺)。同时,在第二装置 121b 的第二栅极结构 902 的任一侧上,在半导体层 208 中可形成也具有第一导电类型的第二扩散区 222 (例如,在同一掩模注入工艺期间) (参见图 10)。另外,在分离的掩模注入工艺期间 (例如,在形成第一扩散区 221 和第二扩散区 222 之前或之后),可在半导体层 208 中形成第三扩散区 223,使得第三扩散区 223 横向设置在第一扩散区 221 与第二扩散区 222 之间,使得第三扩散区 223 具有第二导电类型,以及进一步使得第三扩散区 223 垂直延伸至阱 102 的浮置阱区 205。接下来,在半导体层 208 上可形成导体层 260,以使得导体层 260 在第一扩散区 221、第三扩散区 223 以及第二扩散区 222 上方横向延伸且与其接触 (414)。例如,采用传统处理技术可形成硅化物导体

层 260。即,可通过诸如溅射或蒸镀的技术将诸如钛、铂或钴的金属沉积于外延硅层 208 上。随后,将该结构加热至约 900°C -1000°C 的温度,从而使得与硅接触的金属发生反应以形成金属硅化物。随后,可化学地去除任何未反应的金属(例如,表面上存在的除硅之外的金属)。导体层 260 与第三扩散区 223 结合而在第一扩散区 221、下面的浮置阱区 205 以及第二扩散区 222 之间形成结 250。即,第三扩散区 223 与导体层 260 结合而形成这样的结构,该结构电性连接(即,链接、耦接等)相邻装置 121a 和 121b 的扩散区 221 和 222 以及下面的浮置阱区 205。

[0048] 随后,执行附加处理,以完成集成电路装置结构 100 (416)。附加处理步骤可包括但不限于,层间介电沉积和接触形成。具体而言,在导体层 260 上形成共享单一接触 280,以将相邻的第一和第二装置 121a 和 121b 的扩散区 221 和 222 以及下面的浮置阱区 205 电性连接至电源电压(例如, Vdd) (418, 参见图 2)。这个共享接触 280 消除了如果每一个浮置阱区需要分立的电源电压接触将产生的成本和面积损失。

[0049] 再参见图 4,这种方法的一个示范性实施例可包括:形成静态随机存取存储器(SRAM) 阵列 100,如图 1 所示。这个实施例可类似地包括:提供具有第一导电类型的基底 101(例如, P 型半导体基底) (402)。在基底 101 的顶表面上可形成具有第二导电类型的阱 102(例如, N⁺ 阱),并且可选地,可形成具有第一导电类型的阱 103(例如, P⁺ 阱) (404, 参见图 5)。例如,采用掩模注入技术在基底 101 种可注入阱 102 和 103,以使得具有第二导电类型的阱 102 设置在具有第一导电类型的阱 103 之间。然后,在形成阱 102 和阱 103 之后,在基底 101 上形成半导体层 208(例如,通过外延生长硅层) (406, 参见图 6)。可选地,在处理的这个阶段,在半导体层-基底界面上的半导体层 208 中可形成(即,注入)附加阱。例如,在阱 102 上方的半导体层 208 中可注入具有第二导电类型的阱(例如, N 阱)。

[0050] 接下来,可形成深沟槽隔离区 150 和 160,其延伸穿过半导体层 208 并且向下延伸至阱 102 和 103 的最大深度下方的基底 101 中,以提供 SRAM 阵列 100 的所有所需阱间和阱内隔离,从而在半导体层 208 中限定装置区:一个特定装置区 200,其为第一存储器单元 110a 的第一上拉场效应晶体管 121a 和第二相邻存储器单元 110b 的第二上拉场效应晶体管 121b 的阱 102 上方的指定区 (408)。采用传统技术可形成这样的深沟槽隔离区 150、160。举例而言,光致抗蚀剂层可沉积在半导体层 208 上并且图案化。随后,采用各向异性蚀刻工艺(例如,等离子体反应离子蚀刻(RIE) 工艺)将图案转移到半导体层 208 和基底 101 中,以形成沟槽 760(参见图 7)。该各向异性蚀刻持续进行,直至沟槽 760 比阱 102 的最大深度 206 更深为止。在形成沟槽 760 之后,可选地,由一种或更多种非导电性填充材料(例如,氧化物填充材料、氮化物填充材料、氮氧化合物填充材料等)衬垫(例如,通过生长薄氧化物材料)、填充(例如,通过等离子体沉积),然后平坦化,从而产生 DTI 区(例如,参见图 8)。

[0051] 一旦限定了装置区,则可形成 SRAM 阵列 100 的所有装置 (410)。具体而言,在第二导电类型阱 102 上方可形成第一导电类型装置 105(例如上拉 FET 121),并且在第一导电类型阱 103 上方可形成第二导电类型装置 104(例如,下拉 FET 122 和导通栅极 FET 123) (如图 1 所示)。然而,在工艺 410 的装置形成期间并且在装置区 200 具有由 DTI 区 150、160 产生的下面的浮置阱区 205 的情况下(例如,参见图 8),在相邻存储器单元的上拉 FET 的扩散区与下面的浮置阱区之间也形成结。如所形成的,这个结可包括这样的结构,该结构允许经

由共享接触将电源电压同时施加至相邻上拉 FET 的扩散区和下面的浮置阱区。

[0052] 具体而言,采用传统处理技术以在各种装置区中形成装置 105(例如上拉 FET 121)和装置 104(例如下拉 FET 122 和导通栅极 FET 123),并且更具体地,在特定装置区 200 中形成第一上拉场效应晶体管 121a 和第二上拉场效应晶体管 121b。即,在半导体层上可沉积地毯式(blanket)栅极介电层,并且可在栅极介电层上沉积地毯式栅极导体层。栅极介电层-栅极导体层的堆叠可被图案化和蚀刻以形成栅极结构,包括但不限于,装置区 200 中相邻装置 121a 和 121b 的栅极结构 901 和 902(参见图 9)。然后,在第一上拉 FET 121a 的第一栅极结构 901 的任一侧上,在半导体层 208 中形成具有第一导电类型的第一源极/漏极区 221(例如,通过执行掩模注入工艺)。同时,在第二上拉 FET 121b 的第二栅极结构 902 的任一侧上,在半导体层 208 中可形成也具有第一导电类型的第二源极/漏极区 222(例如,在同一掩模注入工艺期间)(参见图 10)。另外,在分离的掩模注入工艺期间(例如,在形成第一和第二源极/漏极区 221、222 之前或之后),可在半导体层 208 中形成附加掺杂区 223,以使得附加掺杂区 223 横向设置在第一上拉 FET 121a 的第一源极区 221 与第二上拉 FET 121b 的第二源极区 222 之间,以使得附加掺杂区 223 具有第二导电类型,以及进一步使得附加掺杂区 223 垂直延伸至阱 102 的浮置阱区 205。接下来,在半导体层 208 上可形成导体层 260,以使得导体层 260 在第一扩散区 221、掺杂区 223 以及第二扩散区 222 上方横向延伸且与其接触(414)。例如,采用传统处理技术可形成硅化物导体层 260。即,可通过诸如溅射或蒸发的技术将诸如钛、铂或钴的金属沉积于外延硅层 208 上。随后,将该结构加热至约 900°C-1000°C 的温度,从而使得与硅接触的金属发生反应以形成金属硅化物。随后,可化学地去除任何未反应的金属(例如,表面上存在的除硅之外的金属)。导体层 260 与掺杂区 223 结合而在第一源极区 221、下面的浮置阱区 205 以及第二源极区 222 之间形成结 250。即,掺杂区 223 与导体层 260 结合而形成这样的结构,该结构电性连接(即,链接、耦接等)相邻上拉 FET 121a 和 121b 的源极区 221 和 222 以及下面的浮置阱区 205。

[0053] 随后,执行附加处理,以完成集成电路装置结构 100(416)。附加处理步骤可包括但不限于,层间介电沉积和接触形成。具体而言,在导体层 260 上形成共享单一接触 280,以将相邻上拉 FET 装置 121a 和 121b 的源极区 221 和 222 以及下面的浮置阱区 205 电性连接至正电源电压(例如, Vdd)(418,参见图 2)。这个共享接触 280 消除了如果每一个浮置阱区需要分立的电源电压接触将产生的成本和面积损失。

[0054] 应该注意,由于体晶片典型地具有 P 导电类型,因此上述“第一导电类型”典型地包括 P 型导电类型,而上述“第二导电类型”典型地包括 N 型导电类型。但是,在替代方案中可以预期第一导电类型可包括 N 型导电类型以及第二导电类型可包括 P 型导电类型。本领域的技术人员将认识到,如上文所述,在工艺 404 和 412 中,通过注入适当选择的掺杂剂来实现 P 型导电类型和 N 型导电类型。例如,P 型扩散区和 P 型阱区可以诸如硼(B)的 III 族掺杂剂来注入,而 N 型扩散区和 N 型阱区可以诸如砷(As)、磷(P)或锑(Sb)的 V 族掺杂剂来注入。

[0055] 应该理解,随附权利要求书中的所有装置或步骤加功能元素的相应结构、材料、动作以及等同方案旨在包括结合其它要求保护的元件来执行功能的任何结构、材料或动作,如特别要求的。另外,应该理解,本发明的以上说明是出于示例性和说明性目的而给出,但是其不用于以公开的形式穷尽或者限制本发明。在不脱离本发明范围和精神的情况下,对

于本领域的技术人员而言许多修改和变型是显然的。选择和描述的实施例是为了更好地解释本发明的原理和实际应用,以及使本领域的技术人员能够理解本发明,对于具有各种修改的各种实施例可适用于预期的特定用途。在以上说明中省去公知部件和处理技术,以不致于非必要的混淆本发明的实施例。

[0056] 最后,也应该理解,这里采用的术语出于仅为描述特定实施例的目的,并且不用于限制本发明。例如,如这里采用的,单数形式也用于包括复数形式,除非上下文以其它方式清楚表明。此外,如这里采用的,本说明书中采用术语“包括”和/或“并入”时,表示所述特征、整数、步骤、操作、元件和/或部件的存在,但是不排除一个或者更多其它特征、整数、步骤、操作、元件、部件和/或其组合的存在或者增加。

[0057] 因此,以上公开了改进的集成电路装置结构(例如,静态随机存取存储器(SRAM)阵列结构或并入P型装置和N型装置的其它集成电路装置结构)和形成该结构的方法的实施例,该方法将深沟槽隔离(DTI)区用于所有阱间和阱内隔离,从而提供一种低成本隔离方案,其避免了由于浅沟槽隔离(STI)-DTI未对准引起的FET宽度变化。此外,因为用于阱内隔离的DTI区有效地产生一些浮置阱区(即,隔离阱区),所述浮置阱区必须各自连接至电源电压(例如,Vdd)以防止阈值电压(V_t)变化,所以公开的集成电路装置也包括:相邻装置的扩散区与下面的浮置阱区之间的结的共享接触。这个共享接触消除了如果每一个浮置阱区需要分立的电源电压接触将产生的成本和面积损失。

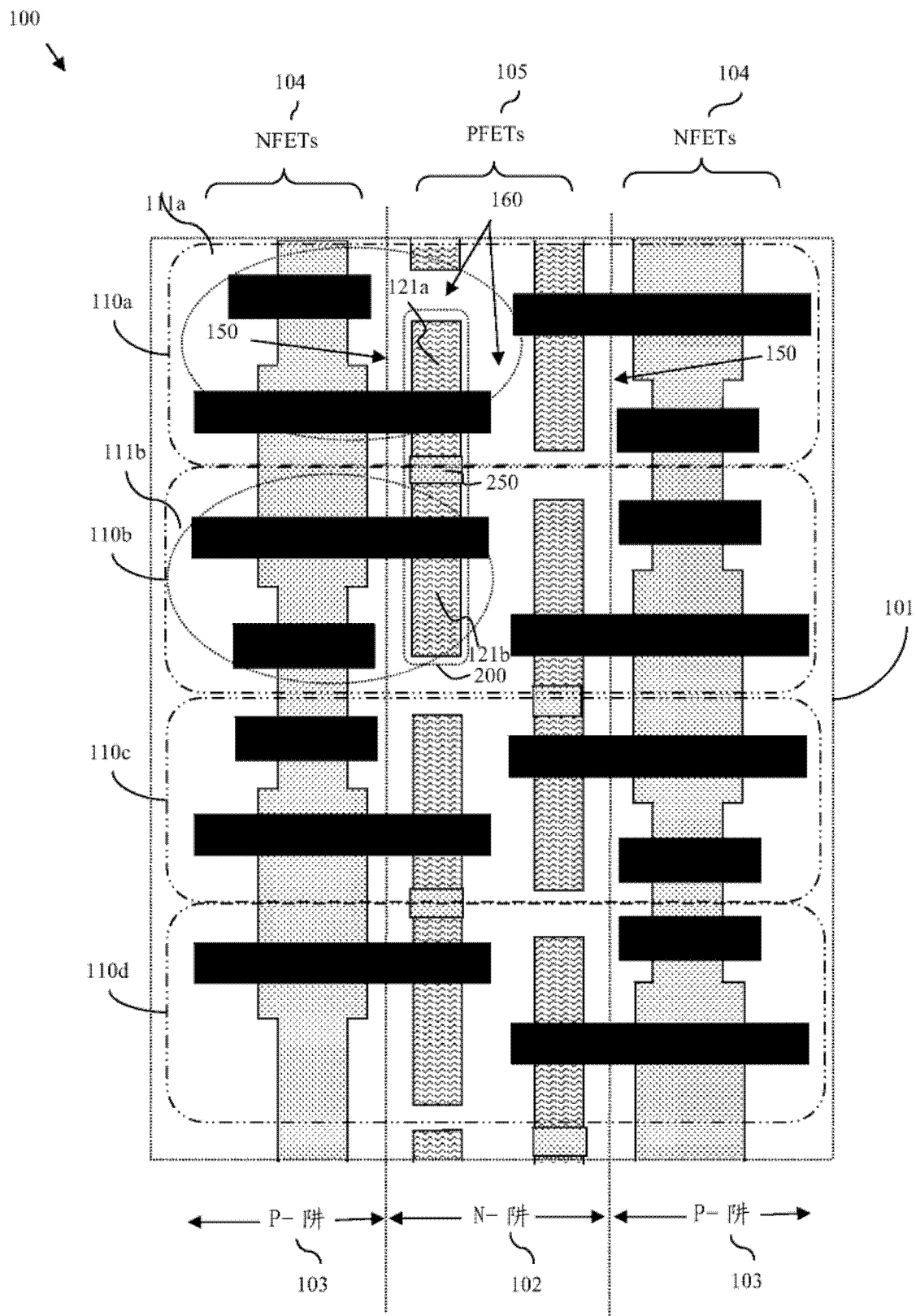


图 1

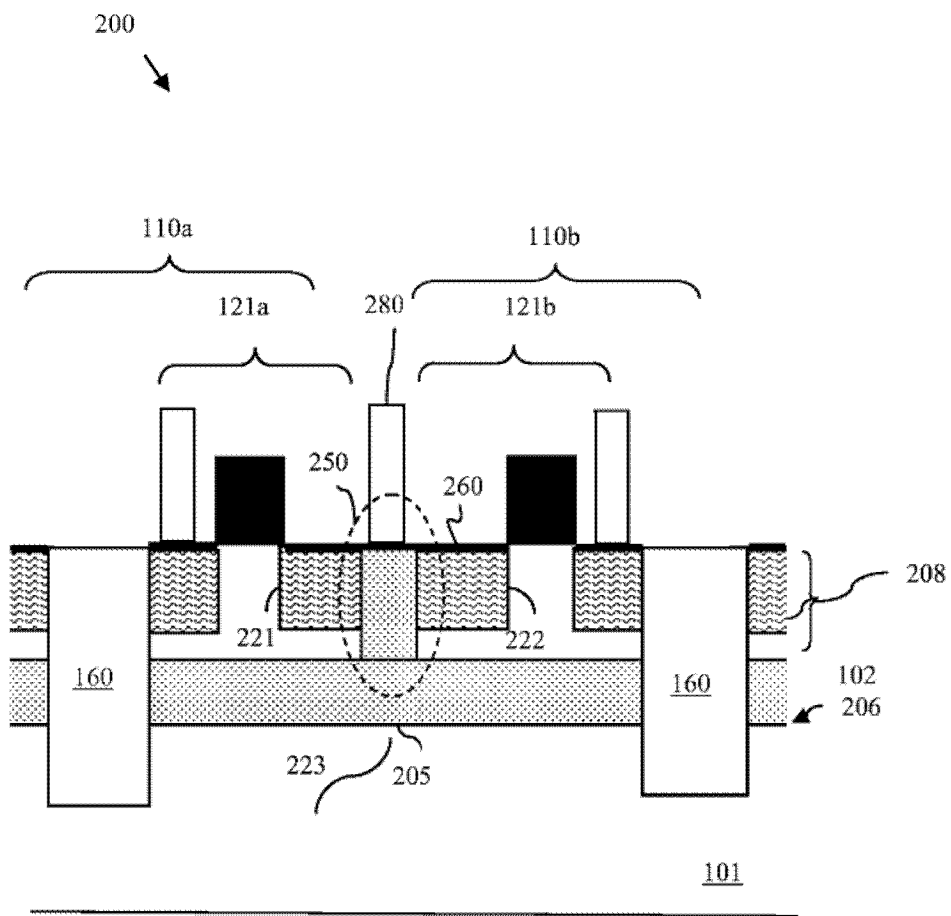


图 2

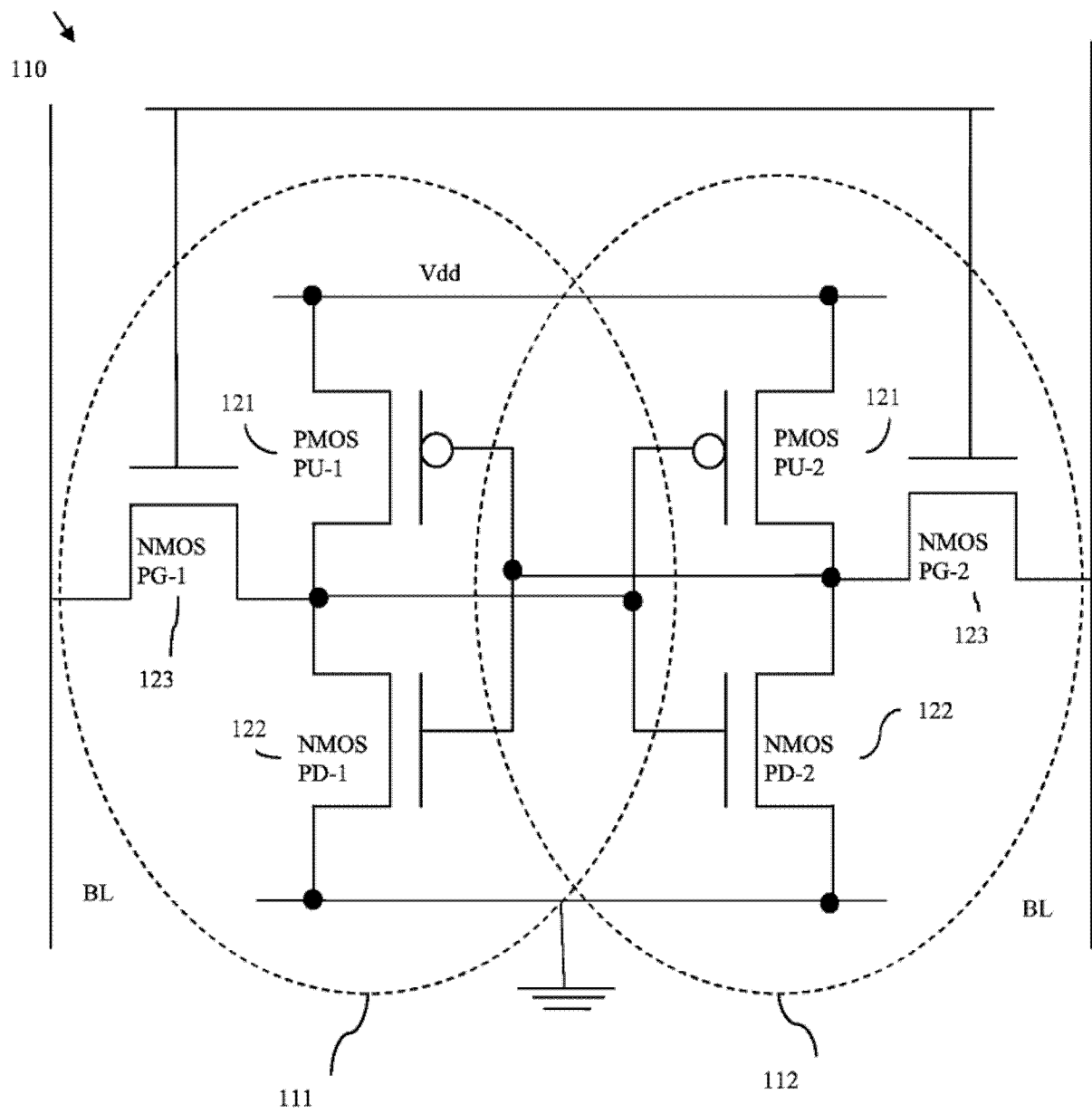


图 3

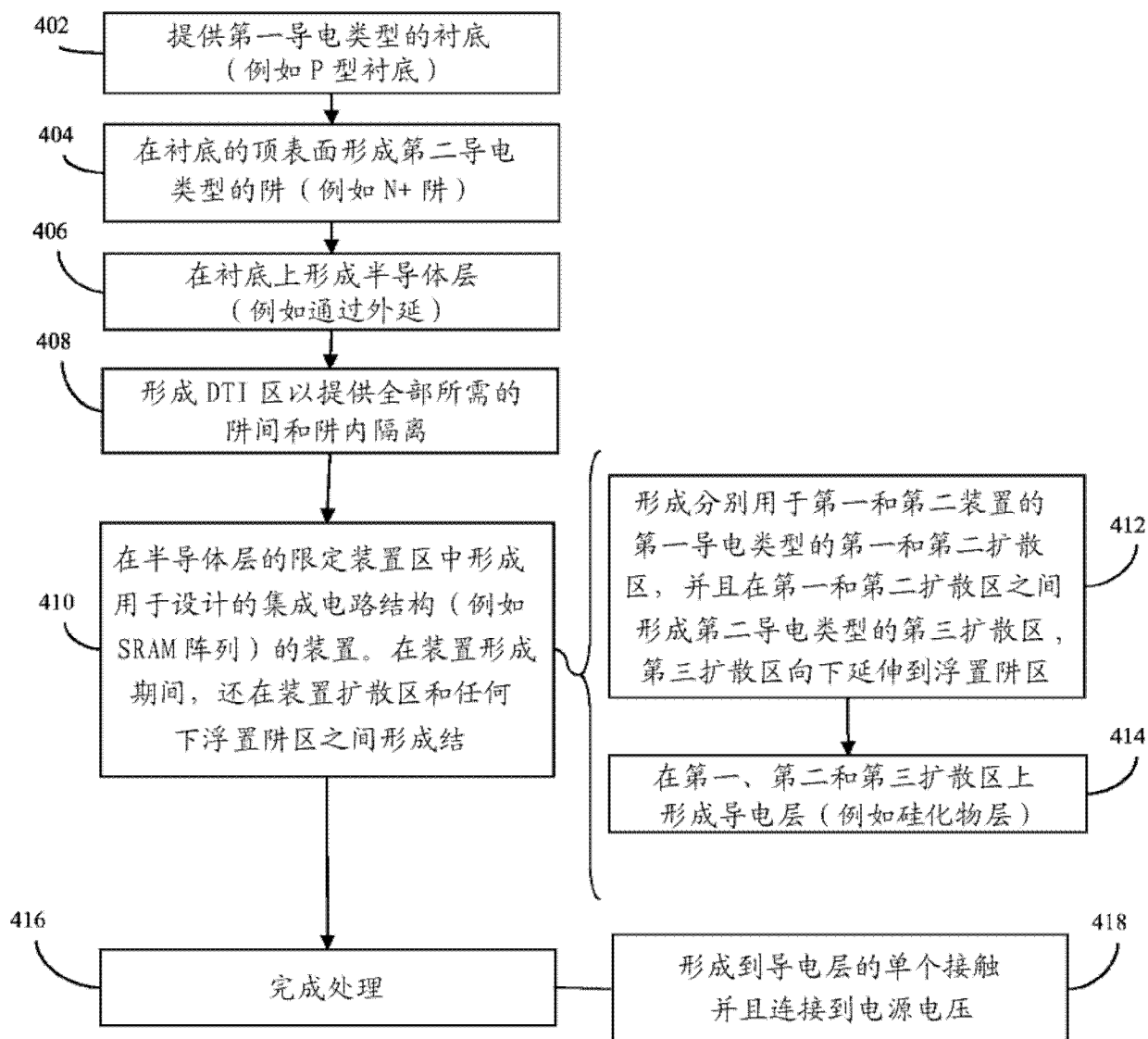


图 4

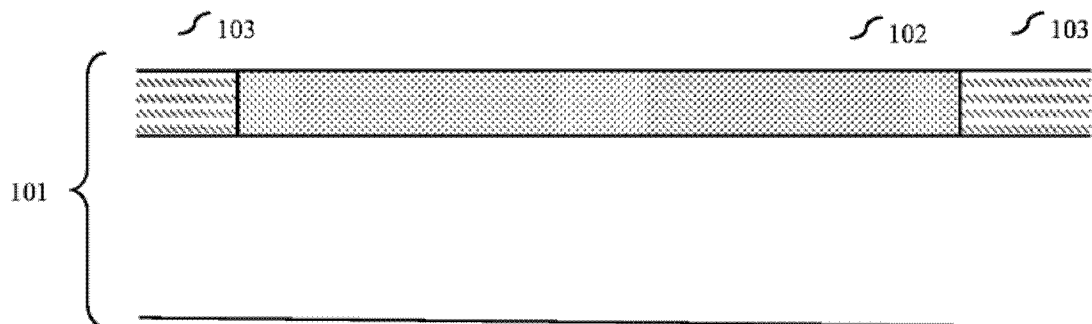


图 5

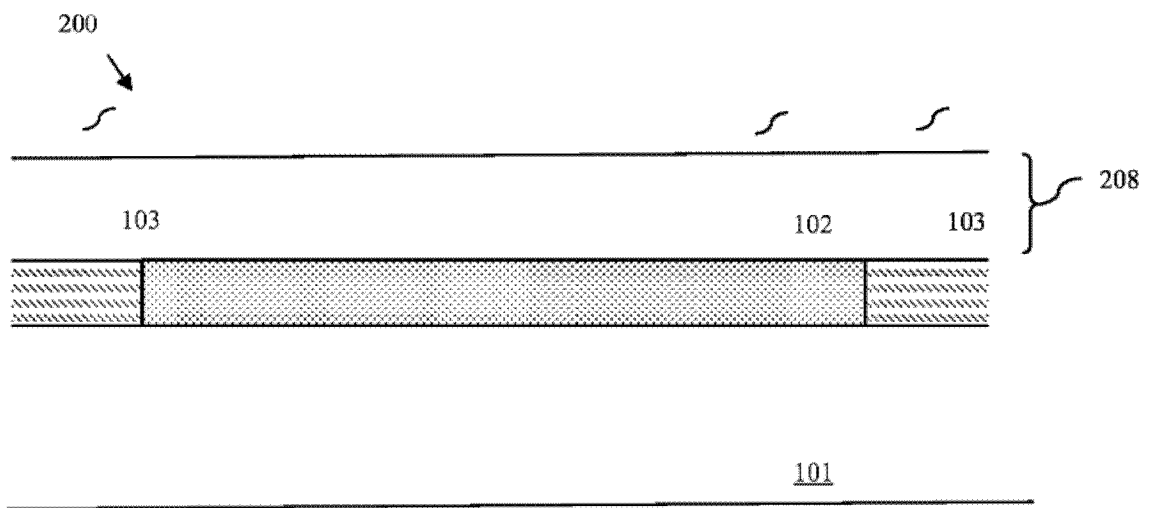


图 6

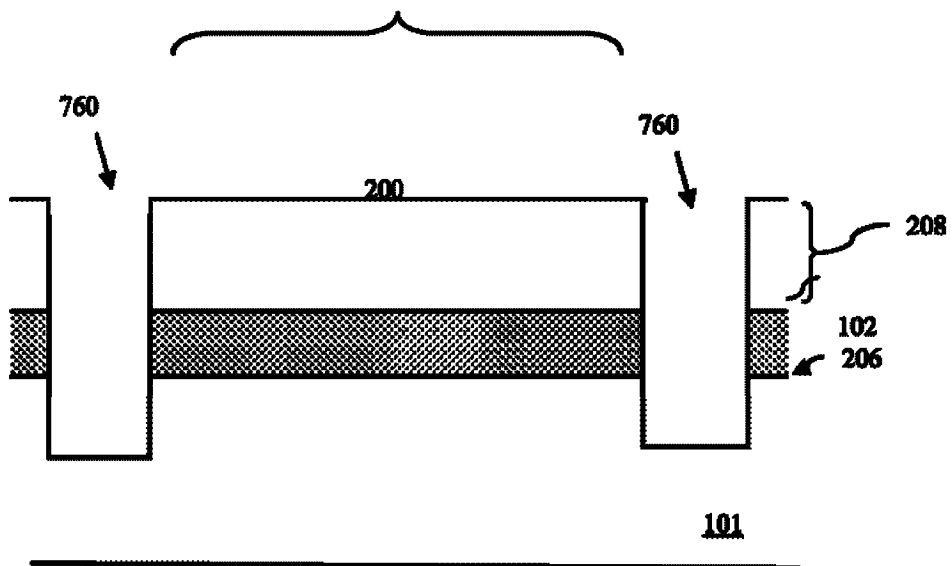


图 7

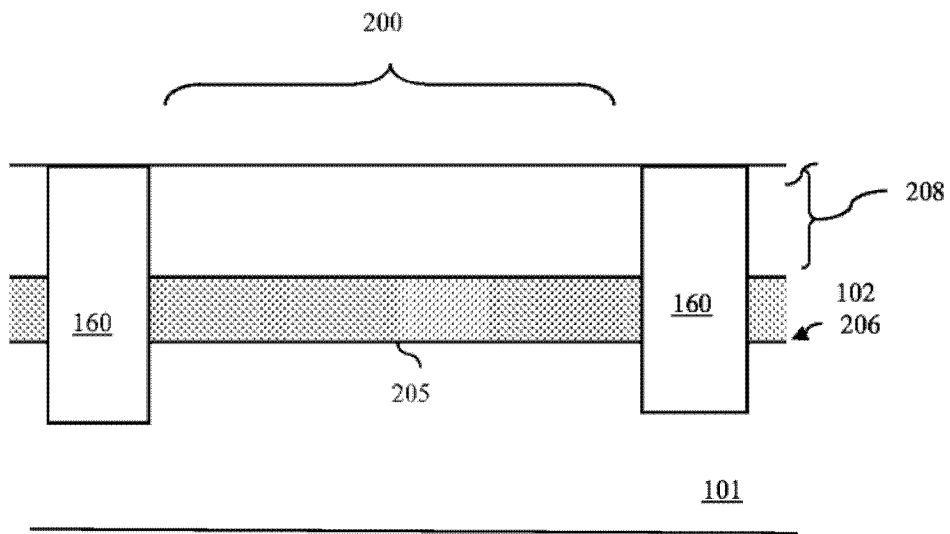


图 8

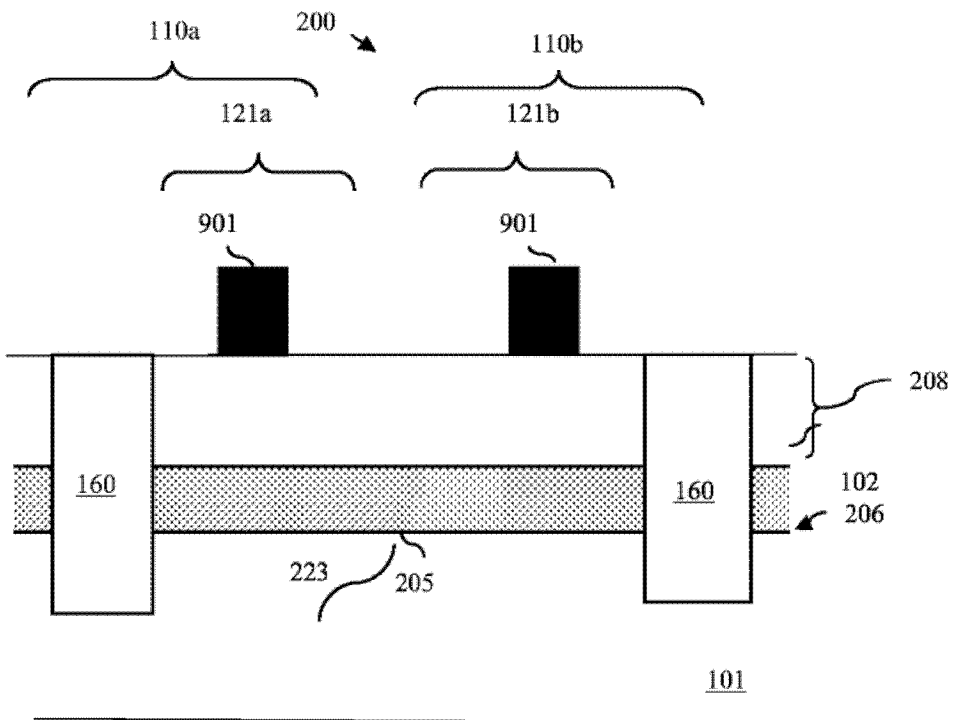


图 9

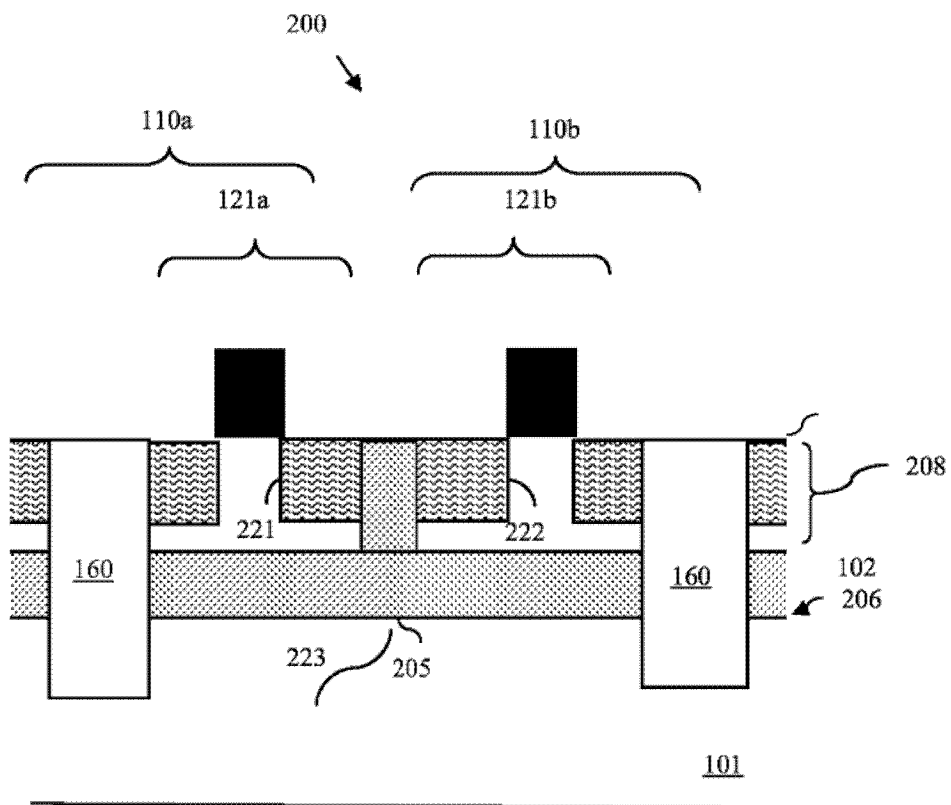


图 10

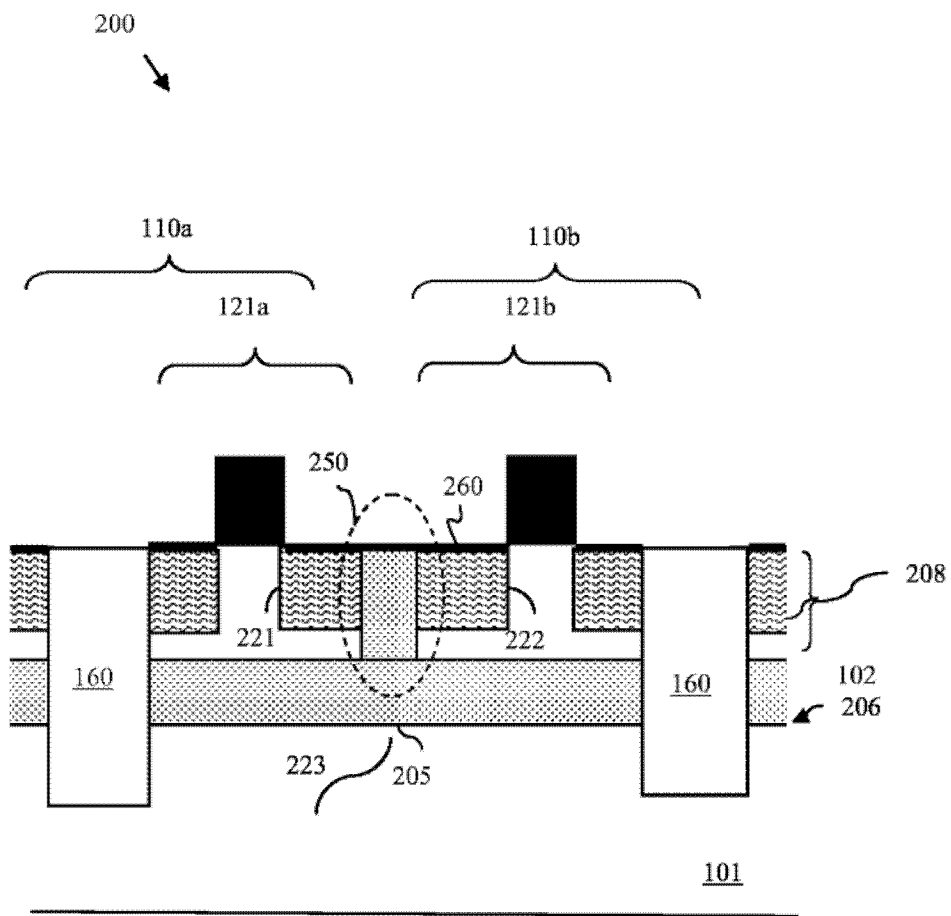


图 11