

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5260325号
(P5260325)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.

F 1

HO1L 21/82	(2006.01)	HO1L 21/82	D
HO1L 21/822	(2006.01)	HO1L 21/82	C
HO1L 27/04	(2006.01)	HO1L 27/04	D
HO1L 21/8238	(2006.01)	HO1L 27/04	A
HO1L 27/092	(2006.01)	HO1L 27/08	321D

請求項の数 34 (全 29 頁) 最終頁に続く

(21) 出願番号	特願2008-558437 (P2008-558437)
(86) (22) 出願日	平成19年3月8日(2007.3.8)
(65) 公表番号	特表2009-529787 (P2009-529787A)
(43) 公表日	平成21年8月20日(2009.8.20)
(86) 國際出願番号	PCT/US2007/006207
(87) 國際公開番号	W02007/103587
(87) 國際公開日	平成19年9月13日(2007.9.13)
審査請求日	平成22年2月19日(2010.2.19)
(31) 優先権主張番号	60/781,288
(32) 優先日	平成18年3月9日(2006.3.9)
(33) 優先権主張国	米国(US)
(31) 優先権主張番号	11/683,402
(32) 優先日	平成19年3月7日(2007.3.7)
(33) 優先権主張国	米国(US)

(73) 特許権者	508272710 テラ イノベイションズ インコーポレ イテッド アメリカ合衆国 カリフォルニア州 95 117 サン ホセ ムーアパーク アベ ニュー 4040 スイート 250
(74) 代理人	100082005 弁理士 熊倉 賢男
(74) 代理人	100067013 弁理士 大塚 文昭
(74) 代理人	100086771 弁理士 西島 孝喜
(74) 代理人	100109070 弁理士 須田 洋之

最終頁に続く

(54) 【発明の名称】ダイナミックアレイ・アキテクチャ

(57) 【特許請求の範囲】

【請求項 1】

基板と、

前記基板内で定義付けされ、前記基板の非活性領域によりお互いに分離された複数の拡散領域と、

前記基板の上を、1つの共通方向に伸びるように定義付けされた複数の線形ゲート電極トラックとを有し、

前記線形ゲート電極トラックのそれぞれは、1つ以上の線形ゲート電極セグメントにより定義付けされ、

前記複数の線形ゲート電極トラックのそれぞれは、前記基板の拡散領域と非活性領域の両方の上を伸びており、隣接する線形ゲート電極セグメントの間の適切な電気的絶縁を確実にするとともに、前記隣接する線形ゲート電極セグメントの終端の間の分離距離が最小化されるように定義付けされ、

前記線形ゲート電極セグメントは、論理ゲート機能を可能にするための可変の長さを持つように定義付けされ、

各線形ゲート電極トラックのすべてが、前記1つの共通方向のみに伸びるように形成されていることを特徴とする半導体装置。

【請求項 2】

請求項1記載の半導体装置において、

前記基板は、シリコン基板であることを特徴とする半導体装置。

10

20

【請求項 3】

請求項 1 記載の半導体装置において、

前記基板は、シリコンオンインシルケイタ基板であることを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、

前記複数の拡散領域のそれぞれは、前記基板の表面と一致した平面に関して 2 次元的に変化する形状を持つように定義付けされていることを特徴とする半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、

多くの拡散領域のそれぞれが矩形となるように、多くの拡散領域の屈曲トポロジが制限 10
されていることを特徴とする半導体装置。

【請求項 6】

請求項 1 記載の半導体装置において、

前記線形ゲート電極セグメントのそれぞれは、前記基板の上の 1 つの方向に伸びた長さを持ち、その長さに沿って実質的に一定の縦断面形状を持つように定義付けされていることを特徴とする半導体装置。

【請求項 7】

請求項 1 記載の半導体装置において、

前記複数の線形ゲート電極トラック、及び 1 つ以上の前記線形ゲート電極セグメントは、お互いに平行になるように定義付けされていることを特徴とする半導体装置。 20

【請求項 8】

請求項 1 記載の半導体装置において、

隣接する線形ゲート電極トラックの間の中心 - 中心間の距離は、

前記複数の線形ゲート電極トラックの中の 1 つ以上の前記線形ゲート電極セグメントの製造に使用されるマスクの描画に必要なリソグラフィ補正を最小化するために、リソグラフィプロセスでの光波の建設的な干渉を最適化するように定義付けされていることを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

前記リソグラフィ補正是、光近接効果補正とレティクル補強技術の 1 つ又は両方を含むことを特徴とする半導体装置。 30

【請求項 10】

請求項 1 記載の半導体装置において、

1 つ以上の前記線形ゲート電極セグメントは、隣接するセル間の橋渡しを可能にするため、セル境界を通って伸びるように定義付けされていることを特徴とする半導体装置。

【請求項 11】

請求項 1 記載の半導体装置において、

前記複数の線形ゲート電極トラックは、所定の線形ゲート電極トラック内の隣接する線形ゲート電極セグメントの終端間の分離のそれが、隣接する線形ゲート電極トラック内の隣接する線形ゲート電極セグメントの終端間の分離から相殺されるように定義付けされていることを特徴とする半導体装置。 40

【請求項 12】

請求項 1 記載の半導体装置において、

隣接する線形ゲート電極セグメントの終端間の共通分離距離は、線形ゲート電極トラックのそれらの中で利用されていることを特徴とする半導体装置。

【請求項 13】

請求項 1 記載の半導体装置において、

さらに、前記複数の線形ゲート電極トラックの上で定義付けされた複数の配線層を有し、

前記複数の配線層のそれぞれは、所定の配線層内の 1 つの共通方向に前記基板の上を伸 50

びるよう定義付けされた複数の線形導電体トラックを含み、

前記線形導電体トラックのそれぞれは、1つ以上の線形導電体セグメントによって定義付けされ、

前記複数の線形導電体トラックのそれぞれは、隣接する線形導電体セグメントの間の適切な電気的絶縁を確実にしつつ、隣接する線形導電体セグメントの終端間の分離距離が最小化されるように定義付けされていることを特徴とする半導体装置。

【請求項14】

請求項13記載の半導体装置において、

所定の配線層内の線形導電体セグメントのそれぞれは、前記基板の上の1つの方向に伸びた長さを持ち、その長さに沿って実質的に一定の縦断面形状を持つように定義付けされ、10いることを特徴とする半導体装置。

【請求項15】

請求項13記載の半導体装置において、

前記複数の線形導電体トラック、及び所定の配線層内の1つ以上の前記線形導電体セグメントは、お互いに平行になるように定義付けされていることを特徴とする半導体装置。

【請求項16】

請求項13記載の半導体装置において、

隣接する線形導電体トラックの間の中心 - 中心間の距離は、

前記複数の線形導電体トラックの中の1つ以上の前記線形導電体セグメントの製造に使用されるマスクの描画に必要なリソグラフィ補正を最小化するために、リソグラフィプロセスでの光波の建設的な干渉を最適化するように定義付けされていることを特徴とする半導体装置。20

【請求項17】

請求項13記載の半導体装置において、

前記複数の線形導電体トラックは、所定の線形導電体トラック内の隣接する線形導電体セグメントの終端間の分離のそれぞれが、隣接する線形導電体トラック内の隣接する線形導電体セグメントの終端間の分離から相殺されるように定義付けされていることを特徴とする半導体装置。

【請求項18】

請求項13記載の半導体装置において、

隣接する線形導電体セグメントの終端間の共通分離距離は、所定の配線層内の線形導電体トラックのそれぞれの中で利用されていることを特徴とする半導体装置。30

【請求項19】

請求項13記載の半導体装置において、

所定の配線層内の前記複数の線形導電体トラックは、隣接する配線層内の前記複数の導電体トラックを交差して前記基板の上を伸びるように定義付けされていることを特徴とする半導体装置。

【請求項20】

請求項19記載の半導体装置において、

隣接する配線層の線形導電体トラックは、実質的に垂直にお互いに交差していることを特徴とする半導体装置。40

【請求項21】

請求項13記載の半導体装置において、

前記複数の線形ゲート電極トラックの上の第1配線層の前記複数の線形導電体トラックは、前記複数の線形ゲート電極トラックを実質的に垂直に交差して前記基板の上を伸びるように定義付けされていることを特徴とする半導体装置。

【請求項22】

請求項13記載の半導体装置において、

さらに、前記複数の配線層内の選択された線形導電体セグメントに、前記複数の拡散領域を接続するように定義付けされた複数の拡散コンタクトを有していることを特徴とする50

半導体装置。

【請求項 2 3】

請求項 2 2 記載の半導体装置において、

隣接する拡散コンタクトの間の中心 - 中心間分離距離は、隣接する線形ゲート電極トラックの間の中心 - 中心間分離距離と本質的に等価であり、

前記複数の拡散コンタクトのそれぞれの中心は、隣接する線形ゲート電極トラックの間の本質的に中間点に対応する位置で定義付けされていることを特徴とする半導体装置。

【請求項 2 4】

請求項 1 3 記載の半導体装置において、

さらに、前記複数の配線層内の選択された線形導電体セグメントに、拡散領域の上を伸びる線形ゲート電極セグメントを接続するように定義付けされた複数のゲート電極コンタクトを有していることを特徴とする半導体装置。 10

【請求項 2 5】

請求項 2 4 記載の半導体装置において、

前記複数のゲート電極コンタクトは、長さと、その長さに沿った実質的に一定の縦断面形状によって定義付けされた線形形状を持つように定義付けされ、

前記複数のゲート電極コンタクトのそれぞれは、下を横たわる線形ゲート電極トラックと実質的に垂直な 1 つの方向に、その長さが伸びるように配向していることを特徴とする半導体装置。

【請求項 2 6】

請求項 2 5 記載の半導体装置において、

前記複数のゲート電極コンタクトのそれぞれの長さは、下を横たわる線形ゲート電極セグメントを覆うように十分に長いことを特徴とする半導体装置。 20

【請求項 2 7】

基板と、

トランジスタデバイスの活性領域を定義付けするために、前記基板内で定義付けされ複数の拡散領域と、

前記基板の上で 1 つの共通方向に配向された複数の線形ゲート電極セグメントと、

前記複数の線形ゲート電極セグメントの共通方向を実質的に垂直な方向に交差するよう 30 に、前記複数の線形ゲート電極セグメントの上のレベル内に配置された複数の線形導電体セグメントとを有し、

前記複数の線形ゲート電極セグメントの多くは、拡散領域の上に配置されており、

前記拡散領域の上に配置された前記複数の線形ゲート電極セグメントのそれぞれは、前記拡散領域の上で定義付けされた必要な活性部と、前記拡散領域を越えて前記基板の上を伸びて定義付けされた画一伸長部とを含み、

前記複数の線形ゲート電極セグメントは、論理ゲート機能を可能にする可変の長さを持つように定義付けされ、

前記複数の線形導電体セグメントは、前記基板の上の共通ライン内の隣接する線形導電体セグメントの間の終端 - 終端間スペーシングを最小化するように定義付けされていることを特徴とする半導体装置。 40

【請求項 2 8】

請求項 2 7 記載の半導体装置において、

前記複数の拡散領域のそれぞれは、前記基板の表面と一致した平面に関して 2 次元的に変化する形状を持つように定義付けされていることを特徴とする半導体装置。

【請求項 2 9】

請求項 2 7 記載の半導体装置において、

隣接する線形ゲート電極セグメントの間の中心 - 中心間の距離は、

1 つ以上の前記線形ゲート電極セグメントの製造に使用されるマスクの描画に必要なリソグラフィ補正を最小化するために、リソグラフィプロセスでの光波の建設的な干渉を最適化するように定義付けされていることを特徴とする半導体装置。 50

【請求項 3 0】

請求項 2 7 記載の半導体装置において、

前記複数の線形ゲート電極セグメントは、前記基板の上の共通ライン内の隣接する線形ゲート電極セグメントの間の終端 - 終端間スペーシングを最小化するように定義付けされていることを特徴とする半導体装置。

【請求項 3 1】

請求項 3 0 記載の半導体装置において、

前記基板を横断する所定のライン内の隣接する線形ゲート電極セグメントの間の終端 - 終端間スペーシングは、前記基板を横断する次のライン内の隣接する線形ゲート電極セグメントの間の終端 - 終端間スペーシングから相殺されることを特徴とする半導体装置。 10

【請求項 3 2】

請求項 3 0 記載の半導体装置において、

共通の終端 - 終端間スペーシングは、隣接する線形ゲート電極セグメントの間で使用されることを特徴とする半導体装置。

【請求項 3 3】

請求項 2 7 記載の半導体装置において、

隣接する線形導電体セグメントの間の中心 - 中心間の距離は、

1つ以上の前記線形導電体セグメントの製造に使用されるマスクの描画に必要なリソグラフィ補正を最小化するために、リソグラフィプロセスでの光波の建設的な干渉を最適化するように定義付けされていることを特徴とする半導体装置。 20

【請求項 3 4】

請求項 2 7 記載の半導体装置において、

さらに、複数の配線層を有し、

前記複数の配線層は、隣接する層内の前記複数の線形導電体セグメントを交差するよう前に、前記基板の上を伸びるように定義付けされた複数の線形導電体セグメントを含むことを特徴とする半導体装置。

【発明の詳細な説明】**【背景技術】****【0 0 0 1】**

より高い性能とより小さいダイサイズへの要求は、半導体産業が回路チップ面積を2年ごとに約50%縮小させることを推進する。チップ面積の縮小は、より新しい技術への移行という経済的利益をもたらす。50%のチップ面積縮小は、形状寸法を25%と30%の間に縮小することで、達成される。形状寸法の縮小は、製造装置と材料を改良することによって可能になる。例えば、化学機械研磨(CMP)の改良は、一部分において、より多層の配線層を可能にしたが、リソグラフィプロセスの改良は、より小さい形状寸法の達成を可能にした。 30

【発明の開示】**【発明が解決しようとする課題】****【0 0 0 2】**

リソグラフィの進化において、最小形状寸法が、形状を露光するのに使用される光源の波長に近づいたとき、意図しない相互作用が隣接する形状の間に起きた。フォトリソグラフィプロセスで使用される光源の波長が、193nmに留まっているにもかかわらず、今日、最小形状寸法は、45nm(ナノメートル)に近づいている。最小形状寸法と、フォトリソグラフィプロセスで使用される光の波長との間の差は、リソグラフィギャップとして定義される。リソグラフィギャップが大きくなるのに従って、リソグラフィプロセスの分解能の許容性が減少する。 40

【0 0 0 3】

マスク上の各形状が光と相互作用して干渉縞が発生する。隣接する形状からの干渉縞は、建設的または破壊的な干渉を引き起こし得る。建設的な干渉の場合では、求められていない形状が偶然に作られるかもしれない。破壊的な干渉では、必要な形状が偶然に取り除

かかるかもしれない。どちらの場合でも、特定の形状が意図するのと異なった方法でプリントされ、デバイス故障を引き起こすおそれがある。光近接効果補正（O P C）などの補正方法は、隣接する形状からの影響を予測して、プリントされた形状が望み通りに製作されるようにマスクを修正することを企図したものである。プロセス幾何が縮小して、光相互作用がより複雑になるのに応じて、光相互作用の予測品質が低下している。

【0004】

上記の観点から、半導体デバイスのより小さい形状寸法の方向へ、技術が進歩し続けるのに、リソグラフィギャップ問題を管理する解決方法が必要とされる。

【課題を解決するための手段】

【0005】

一実施形態において、半導体デバイスが開示されている。このデバイスは、基板の中で定義付けした基板と多くの拡散領域を含んでいる。拡散領域は、基板の非活性領域によって、お互いに分離されている。また、そのデバイスは、共通な一方向に基板上をわたるよう定義付けされた多くの線形ゲート電極トラックを含んでいる。それぞれの線形ゲート電極トラックは、1つ以上の線形ゲート電極セグメントによって定義付けされている。基板の拡散領域と非活性領域の両方の上をわたる、それぞれの線形ゲート電極トラックは、隣接する線形ゲート電極セグメントの間の適切な電気的絶縁を確実にする一方、線形ゲート電極トラック内の隣接する線形ゲート電極セグメントの終端の間の分離距離を最小化するように定義付けされている。さらに、線形ゲート電極セグメントは、論理ゲートの機能性を可能にするために可変長を持つように定義付けされている。

10

20

【0006】

別の実施形態において、半導体デバイスが開示されている。このデバイスは、基板を含んでいる。多くの拡散領域が、トランジスタデバイスの活性領域を定義付けするために基板の中で定義付けされている。また、そのデバイスは、基板上の共通な一方向を向いた多くの線形ゲート電極セグメントを含んでいる。線形ゲート電極セグメントのいくつかは、拡散領域の上に配列されている。拡散領域の上に配列された線形ゲート電極セグメントのそれぞれは、拡散領域を越えて基板上を伸びるように定義付けされた、拡散領域上をわたって一様に伸びる部分で定義付けされた、必要な活性部分を含んでいる。さらに、その線形ゲート電極セグメントは、論理ゲートの機能性を可能にするために可変長を持つように定義付けされている。その半導体デバイスは、さらに、ゲート電極セグメントの共通方向を実質的に垂直な方向に交差するように、ゲート電極セグメントの上のレベルの中に配列された多くの線形導電体セグメントを含んでいる。その線形導電体セグメントの数は、基板上の共通線の中の隣接する線形導電体セグメントの終端間の間隔を最小化するように定義付けされている。

30

【0007】

別の実施形態において、ゲート電極コンタクトが開示されている。このゲート電極コンタクトは、長さと、その長さに沿って実質的に一定の横断面の形状によって定義付けされた、線形導電体セグメントを含んでいる。その線形導電体セグメントは、線形導電体セグメントが配列された、下にあるゲート電極と実質的に垂直な方向に、その長さが伸びるように向かっている。線形導電体セグメントの長さは、線形導電体セグメントが下にあるゲート電極を覆うように、下にあるゲート電極の幅より大きくなるように定義付けされている。

40

【0008】

別の実施形態において、コンタクトレイアウトが開示されている。このコンタクトレイアウトは、基板を横切って投影される共通グリッド上で定義付けされる多くのコンタクトを含んでいる。また、このコンタクトレイアウトは、各コンタクトを囲む共通グリッド上で定義付けされる多くのサブ解像度コンタクトを含んでいる。サブ解像度コンタクトのそれぞれは、コンタクトの解像度を補強しつつ、リソグラフィックプロセスにおけるレンダリング（描画）を避けるように定義付けされる。

【0009】

50

本発明の他の特徴と長所は、添付図面に関連して得られた、本発明の一例として説明した、以下の詳細な説明により、より明らかになるであろう。

【発明を実施するための最良の形態】

【0010】

以下の説明において、本発明の理解を深めるために多くの詳細な説明が示される。しかし、これらの詳細な説明のいくつか又はすべてがなくても、本発明が実施されることが、当業者にとって明らかであろう。他の例では、本発明が不必要に不明確とならないように、よく知られたプロセス操作は、詳細に説明していない。

【0011】

一般的に、ダイナミックアレイ・アーキテクチャは、増加し続けるリソグラフィギャップに関連した半導体製造プロセス変動に取り組むために提供される。半導体製造の領域において、リソグラフィギャップは、定義付けされる形状の最小寸法と、リソグラフィプロセスの形状の定義付けに使用される光の波長との差として定義されるが、ここでは、形状寸法は光の波長よりも小さい。現在のリソグラフィプロセスは、波長が193nmの光を使用する。しかし、現在の形状寸法は65nmと小さく、近い将来45nmに達すると考えられる。寸法が65nmの場合、その形状は、形状を定義付けするのに使用される光の波長より3倍小さい。また、光の相互作用の範囲がおよそ5光波長であることを考えると、当然のことながら、193nmの光源で露光される形状は、およそ5*193nm(1965nm)の形状の露光の影響から離される。90nm寸法形状に対して65nm寸法形状を考えたとき、当然のことながら、193nm光源の1965nmの相互作用範囲内に、90nm寸法形状と比較して、およそ2倍の数の65nm寸法形状が入るであろう。

【0012】

光源の相互作用範囲内の形状の数の増加により、所定の形状の露光に寄与する光の干渉の制限及び複雑性は、顕著である。さらに、光源の相互作用範囲の中にある形状に関する特定の形状は、発生する光の相互作用の種類に大きく影響する。従来は、設計者は、1組のデザインルールが満たされていれば、どんな2次元トポロジの形状であっても、本来、定義することが許されていた。例えば、所定のチップの層(すなわち、所定のマスク)において、設計者は、お互いの周りを包む屈曲を持つ2次元の変化する形状を定義付けするかもしれない。このような2次元の変化する形状がお互いに隣接して配置されたとき、形状を露光するのに使用される光は、複雑に、通常は考えられない方法で相互作用するであろう。形状寸法と相対間隔が小さくなるにつれ、光の相互作用は、増加しつつ、より複雑かつ予期できないものとなる。

【0013】

従来は、設計者が確立したデザインルール・セットに従えば、その結果の製品は、デザインルール・セットと関連して一定の確率で量産可能であろう。言い換えると、デザインルール・セットに違反する設計にとって、結果としての製品の量産が成功する確率は未知である。隣の2次元の変化形状の間の複雑な光の相互作用を取り組むために、成功的な製品量産の興味において、2次元の変化形状の可能な組み合わせと適切に取り組むことにより、デザインルール・セットが大きく拡張される。拡張されたデザインルール・セットの適用が、おそらく、時間のかかるものとなり、高いものとなり、エラーを起こす傾向になり、この拡張されたデザインルール・セットは、すぐに複雑で扱いにくいものになる。例えば、拡張されたデザインルール・セットは、複雑な検証が必要とされる。また、拡張されたデザインルール・セットは、広く一般に適用できないであろう。さらに、すべてのデザインルールが満たされたとしても、量産歩留まりは保証されない。

【0014】

当然のことながら、任意の形をした2次元形状を描画するときのすべての光の相互作用の正確な予測は、一般に不可能であることがわかる。その上、拡張されたデザインルール・セットの代わりとして、または組み合わせるものとして、隣接する2次元の変化形状の間の予期できない光の相互作用を考慮に入れて増加させたマージンを含んで、デザインルール・セットもまた、修正されるかもしれない。なぜなら、デザインルールはランダムな2

10

20

30

40

50

次元形状トポロジをカバーするために確立されたものであるので、デザイルールは、大量のマージンを含ませることができる。デザインルール・セットにおけるマージンの追加は、隣接する2次元の変形形状をレイアウト部分が含むのを助けるが、そのような全体的なマージンの追加は、隣接する2次元の変形形状を含まないレイアウトの他の部分に過剰設計を起こし、そして、チップ面積利用率と電気特性の最適化の減少を導くことになる。

【0015】

上記の観点から、半導体製造歩留まりは、設計依存の無拘束の形状トポロジ（すなわち、お互いに近接して置かれた任意の2次元の変形形状）により生成される不安定性から派生した特性上の欠陥の結果として減少する。一例として、これらの特性上の欠陥は、正確にプリントされたコンタクトとヴィアの欠陥、および製造プロセスの不安定性の結果かもしれない。製造プロセスの不安定性は、C M P のわん状変形、フォトリソグラフィによるレイアウト形状の歪み、ゲートの歪み、酸化膜厚さの不安定性、インプラントの不安定性、及び他の製造関連現象を含むかもしれない。本発明によるダイナミックアレイ・アーキテクチャは、上記の半導体製造プロセスの不安定性に取り組むことを目的とする。

10

【0016】

図1は、本発明の一実施の形態において、多くの隣接するレイアウト形状と、レイアウト形状のそれぞれの描画に使用される光強度の代表例を示す図である。特に、3つの隣接する線形レイアウト形状（101A - 101C）が、所定のマスク層の中で、実質的に平行関係に配列されたものとして描かれている。レイアウト形状からの光強度の分布は、シンク関数として表されている。シンク関数（103A - 103C）は、各レイアウト形状（101A - 101C、それぞれ）からの光強度の分布を表す。隣接する線形レイアウト形状（101A - 101C）は、シンク関数（103A - 103C）のピークに対応した位置に間隙{かんげき}を介して配置されている。隣接する線形レイアウト形状（101A - 101C）に関する光エネルギー間の建設的な干渉（すなわち、シンク関数（103A - 103C）のピーク）は、図示した間隔のあいたレイアウト形状にとって、隣接する形状（101A - 101C）の露光を補強するように働く。上記において、図1に示した光の相互作用は、同期の場合を示す。

20

【0017】

図1に示すように、線形レイアウト形状が適当な間隔を介して規則的な繰り返しパターンで定義付けされたとき、種々のレイアウト形状における光エネルギーの建設的な干渉は、それぞれのレイアウト形状の露光を増強するように働く。建設的な光の干渉によりもたらされたレイアウト形状の露光の増強は、レイアウト形状の充分な描画を得るために光近接効果補正（O P C）及び／又はレティクル増強技術（R E T）を使用する必要性を動的に減少し、排除さえすることができる。

30

【0018】

禁止されたピッチ（すなわち、禁止されたレイアウト形状間隔）は、隣接するレイアウト形状（101A - 101C）が、別のレイアウト形状と関連してシンク関数の谷を持つ1つのレイアウト形状配列に関するシンク関数のピークのような間隔があるときに発生し、これにより光エネルギーの破壊的な干渉を発生する。光エネルギーの破壊的な干渉は、所定の場所が減少されるように焦点が合わせられた光エネルギーを発生させる。したがって、隣接するレイアウト形状に関して有益な建設的な光の干渉を実現するために、シンク関数のピークの構成的なオーバーラップが発生するような間隔が空けられたレイアウト形状を予測することが必要である。予期可能なシンク関数のピークの構成的なオーバーラップと関係するレイアウト形状の増強は、図1のレイアウト形状（101A - 101C）に示されるように、レイアウト形状が長方形、近似寸法、及び同一方向配向の場合に実現できる。このように、隣接するレイアウト形状からの共振光エネルギーは、特定のレイアウト形状の露光を増強するのに使用される。

40

【0019】

図2は、本発明の一実施の形態において、ダイナミックアレイ・アーキテクチャを定義付けするのに使用されるレイアウトの積み重ねの概略を示す図である。当然のことながら

50

、図2を参照して記述されるダイナミックアレイ・アーキテクチャを定義付けするのに使用される生成された層の積み重ねは、CMOS製造プロセスの網羅的な記述を表すことを意図するものではない。しかし、ダイナミックアレイは標準的なCMOS製造プロセスに基づいて構成されるものである。一般的に言って、ダイナミックアレイ・アーキテクチャは、下になるダイナミックアレイ構造の定義付けと、面積占有率と量産性の最適化のためのダイナミックアレイの組み立てのテクニックの両方を含む。したがって、ダイナミックアレイは、半導体製造可能性を最適化するために設計される。

【0020】

下にあるダイナミックアレイ構造の定義付けに関しては、ダイナミックアレイは、ベース基板201の上（すなわち、シリコン基板又はシリコンオンインシュレータ（SOI）基板の上）の層手段で構成される。拡散領域203は、ベース基板201の電気的特性を変える目的で不純物が導入されたベース基板201の選択領域を表す。拡散領域203の上に、拡散領域203と導電体ラインの間の接続を可能にするための拡散コンタクト205が定義付けされている。例えば、拡散コンタクト205は、ソース及びドレイン拡散領域203とそれらに関する導電体ネットとの間の接続を可能にするものとして定義付けされる。また、ゲート電極形状207は、拡散領域203の上でトランジスタゲートを形成するものとして定義付けされる。ゲート電極コンタクト209は、ゲート電極形状207と導電体ラインとの間の接続を可能にするものとして定義付けされる。例えば、ゲート電極コンタクト209は、トランジスタゲートとそれらに関連する導電体ネットとの間の接続を可能にするものとして定義付けされる。

10

【0021】

配線層は、拡散コンタクト205層とゲート電極コンタクト209の上で定義付けされる。配線層は、第1メタル（メタル1）層211、第1ヴィア（ヴィア1）層213、第2メタル（メタル2）層215、第2ヴィア（ヴィア2）層217、第3メタル（メタル3）層219、第3ヴィア（ヴィア3）層221、及び第4メタル（メタル4）層223を含んでいる。メタル及びヴィア層は、所望の回路接続性の定義付けを可能にする。例えば、メタル及びヴィア層は、回路の論理機能が実現されるように、種々の拡散コンタクト205とゲート電極コンタクト209の間の電気的接続を可能にする。当然のことながら、ダイナミックアレイ・アーキテクチャは、特定数の配線層（すなわち、メタル及びヴィア層）に制限されない。一実施形態において、ダイナミックアレイは、第4メタル（メタル4）層223を越えて追加の配線層225を含むかもしれない。代わりに、別の実施形態では、ダイナミックアレイは、4つより少ないメタル層を含むかもしれない。

20

【0022】

ダイナミックアレイは、定義付けができるレイアウト形状に関して、そのような層（拡散領域層203以外）が制限されるように定義付けされる。特に、拡散領域層203以外のそれぞれ層において、線形レイアウト形状のみが許される。所定の層の線形レイアウト形状は、一定の垂直断面形状を有し、基板を越えて单一方向に伸びるものとして特徴付けられる。したがって、線形レイアウト形状は、1次元変位の構成で定義付けされる。拡散領域203は、1次元変位であることは必要とされないが、必要であれば、それも許される。特に、基板の中の拡散領域203は、基板の上表面と一致した平面に関して2次元的に変化する形状を持つものとして定義付けられることが可能である。一実施形態において、拡散屈曲トポロジの数は、拡散内の屈曲と、トランジスタのゲート電極を形成する導電体メタル（例えば、ポリシリコン）の間の相互作用は、予期可能であり、正確にモデリングできるというように制限される。所定の層の線形レイアウト形状は、お互いに平行になるように配置される。したがって、所定の線形レイアウト形状は、基板にわたって共通の方向に、基板と平行に伸びる。種々の層207-223の線形形状の特定の構成と関連する必要性は、図3-15Cに関連してさらに説明される。

30

【0023】

下に横たわるレイアウトのダイナミックアレイの方法論は、所定の層の隣接する形の露光を強化するためのリソグラフィプロセスにおける光波の建設的な光の干渉を使用する。

40

50

したがって、所定の層における平行な線形レイアウト形状の間隔は、リソグラフィ補正（例えば、O P C / R E T）が最小化され、または排除されるような継続する光波の建設的な光の干渉の回りで設計される。したがって、従来のO P C / R E Tベース・リソグラフィプロセスと比較して、ここで定義されるダイナミックアレイは、隣接する形状の間の光の相互作用を補償するものではなく、隣接する形状の間の光の相互作用を活用するものである。

【 0 0 2 4 】

所定の線形レイアウト形状の光定常波は、正確にモデル化できるため、所定の層に平行に配置された隣接する線形レイアウト形状に関する光定常波がどのように相互作用するかを予測することが可能である。したがって、ある線形形状を露光するのに使用される光定常波が、その隣の線形形状の露光にどのように寄与するかを予測することが可能である。隣接する線形形状の間の光の相互作用の予測は、所定の形を描画するのに使用される光がその隣の形を補強するであろう最適な形状 - 形状間スペーシングの識別を可能にする。所定の層の形状 - 形状間スペーシングは、形状ピッチとして定義される。ここで、ピッチとは、所定の層における隣接する線形形状の中心 - 中心間の分離距離である。

10

【 0 0 2 5 】

隣接する形状間の所望の露光補強を提供するために、隣同士のすべての形状の最良の描画を生むように、隣接する形状からの建設的及び破壊的な光の干渉が最適化されるように、所定の層の線形レイアウト形状は、間隔を空けられる。所定の層の形状 - 形状間スペーシングは、その形状を露光するのに使用される光の波長に比例する。所定の形状から光の波長の約5倍の距離にある各形状を露光するのに使用される光は、ある程度、所定の形状の露光を補強するように働く。隣接する形状を露光するのに使用される光定常波の建設的な干渉の活用は、製造装置の能力を最大化し、リソグラフィプロセスの最中の関連する光の相互作用によって制限されないようにすることができる。

20

【 0 0 2 6 】

上述のとおり、ダイナミックアレイは、それぞれの層（拡散以外）の中の形状が、共通方向に向かって基板上を横断するように平行に配向された線形形状であることを必要とするという限定的なトポロジを取り入れている。ダイナミックアレイの限定的なトポロジで、フォトリソグラフィプロセスの光の相互作用は、マスク上にプリントされた画像は本質的にレイアウトに描かれた形と一致するように最適化され得る（本質的に100%の正確さでレジスト上のレイアウトの変換が達成される）。

30

【 0 0 2 7 】

図3Aは、本発明の一実施の形態において、限定的なトポロジの定義付けを容易にするダイナミックアレイに投影される基本グリッドの一例を示す図である。基本グリッドは、ダイナミックアレイのそれぞれの層内の線形形状を、適切な最適化されたピッチで平行に配置することを容易にするのに使用することができる。ダイナミックアレイの部分として物理的に定義付けされていないが、基本グリッドは、ダイナミックアレイのそれぞれの層上に投影されるものとして考えることができる。また、基本グリッドは、ダイナミックアレイのそれぞれの層の位置に関して実質的に一致した手段で投影され、これにより形状の正確な積み重ねと位置あわせを容易にすることが理解されるにちがいない。

40

【 0 0 2 8 】

図3Aの一実施形態において、基本グリッドは、第1参照方向（x）及び第2参照方向（y）に基づく長方形グリッド（すなわち、デカルト格子）として定義されている。第1参照方向及び第2参照方向におけるグリッド点 - グリッド点間スペーシングは、必要に応じて、最適な形状 - 形状間スペーシングでの線形形状の定義付けを可能にするように定義される。また、第1参照方向（x）におけるグリッド点スペーシングは、第2参照方向（y）におけるグリッド点スペーシングと異なるようにしてもよい。一実施形態において、1つの基本グリッドは、全ダイをわたるそれぞれの層内の種々の線形形状の配置を可能にするために全ダイをわたって投影される。しかし、他の実施形態において、分離された基本グリッドは、ダイの分離された領域の中の異なる形状 - 形状間スペーシングの要求を支

50

持するため、ダイの分離された領域にわたって投影されることがある。図 3 B は、本発明の一実施の形態において、ダイの分離領域にわたって投影される分離基本グリッドの一例を示す図である。

【 0 0 2 9 】

基本グリッドは、光の相互作用機能を考慮して定義される（すなわち、シンク関数、及び製造能力。ここで、製造能力は、ダイナミックアレイの製造に利用される製造装置及びプロセスによって定義される。）。光の相互作用機能に関して、基本グリッドは、グリッド点間のスペーシングが、隣接するグリッド点の上に投影される光エネルギーを示すシンク関数のピークの位置合わせを可能にするように定義される。したがって、リソグラフィック補強用に最適化された線形形状は、第 1 グリッド点から第 2 グリッド点までラインを描くことによって明示することができる。ここで、ラインは、所定の幅の長方形構造を表す。当然のことながら、それぞれの層の種々の線形形状は、基本グリッド上のそれらの終点位置とそれらの幅によって明示することができる。

【 0 0 3 0 】

図 3 C は、本発明の一実施の形態において、ダイナミックアレイに適合するように定義付けされた線形形状 3 0 1 の一例を示す図である。線形形状 3 0 1 は、幅 3 0 3 及び高さ 3 0 7 で定義される実質的に長方形の断面を持つ。線形形状 3 0 1 は、長さ 3 0 5 方向に直線的に伸びている。一実施形態において、幅 3 0 3 及び高さ 3 0 7 で定義された線形形状の断面は、実質的にその長さ 3 0 5 に沿って一定である。しかし、当然のことながら、リソグラフィック効果は、線形形状 3 0 1 の終端の丸めを起こすかもしれない。図 3 A の第 1 参照方向 (x) 及び第 2 参照方向 (y) は、それぞれ、ダイナミックアレイ上の線形形状の配向の一例を図示している。当然のことながら、線形形状は、第 1 参照方向 (x) 、第 2 参照方向 (y) 、及び第 1 及び第 2 参照方向 (x) , (y) に基づいて定義される対角線方向のいずれかに伸びた長さ 3 0 5 を持つように配向されているかもしれない。第 1 及び第 2 参照方向 (x) , (y) に基づく線形形状の特定の配向にかかわらず、当然のことながら、線形形状は、ダイナミックアレイが構成される基板の上の表面と実質的に平行な平面で定義される。また、当然のことながら、線形形状は、屈曲（すなわち、第 1 及び第 2 参照方向で定義された平面の方向の変化）がない。

【 0 0 3 1 】

図 3 D は、本発明の一実施の形態において、ダイナミックアレイに適合するように定義付けされた線形形状 3 1 7 の別の一例を示す図である。線形形状 3 1 7 は、底辺幅 3 1 3 、上辺幅 3 1 5 、及び高さ 3 0 9 で定義される台形の断面を持っている。線形形状 3 1 7 は、長さ 3 1 1 の直線方向に伸びている。一実施形態において、線形形状 3 1 7 の断面は、長さ 3 1 1 に沿って実質的に均一である。しかし、当然のことながら、リソグラフィック効果は、線形形状 3 1 7 の終端の丸めを起こすかもしれない。図 3 A の第 1 参照方向 (x) 及び第 2 参照方向 (y) は、それぞれ、ダイナミックアレイ上の線形形状の配向の一例を図示している。当然のことながら、線形形状 3 1 7 は、第 1 参照方向 (x) 、第 2 参照方向 (y) 、及び第 1 及び第 2 参照方向 (x) , (y) に基づいて定義される対角線方向のいずれかに伸びた長さ 3 1 1 を持つように配向されているかもしれない。第 1 及び第 2 参照方向 (x) , (y) に基づく線形形状 3 1 7 の特定の配向にかかわらず、当然のことながら、線形形状 3 1 7 は、ダイナミックアレイが構成される基板の上の表面と実質的に平行な平面で定義される。また、当然のことながら、線形形状 3 1 7 は、屈曲（すなわち、第 1 及び第 2 参照方向で定義された平面の方向の変化）がない。

【 0 0 3 2 】

図 3 C 及び図 3 D は、長方形及び台形の断面を持つ線形形状を明示的に説明するが、それぞれ、当然のことながら、他のタイプの断面を持つ線形形状がダイナミックアレイの中で定義されることが可能である。したがって、一方向に伸びる長さを持ち、第 1 参照方向 (x) 、第 2 参照方向 (y) 、及び第 1 及び第 2 参照方向 (x) , (y) に基づいて定義される対角線方向のいずれかに伸びた長さを持つように配向されるものとして線形形状が定義される限り、本質的にすべての、線形形状の適合した断面形状の使用が可能である。

10

20

30

40

50

【0033】

ダイナミックアレイのレイアウトアーキテクチャは、基本グリッドパターンに従う。したがって、拡散内での方向変化が発生する場所、ゲート電極及びメタルの線形形状が配置される場所、コンタクトが配置される場所、線形形状のゲート電極とメタル形状内のオープンの場所などを表すのにグリッド点を使用することが可能である。グリッド点のピッチ（すなわち、グリッド点 - グリッド点間スペーシング）は、隣接する所定の形状のライン幅の線形形状の露光が、お互いに補強するように、所定の形状のライン幅（例えば、図3Cの幅303）に設定されるべきである。ここでは、線形形状の中心はグリッド点上にある。図2のダイナミックアレイの積み重ねと、図3Aの基本グリッドの一例に関して、一実施形態では、第1参照方向（x）のグリッド点スペーシングは、必要なゲート電極のゲートピッチによって設定される。この同じ実施形態において、第2参照方向（y）のグリッド点ピッチは、メタル1及びメタル3のピッチにより設定される。例えば、90nmプロセス技術において（すなわち、最小形状寸法が90nmに等しい）、第2参照方向（y）のグリッド点ピッチは約0.24ミクロンである。一実施形態において、メタル1及びメタル2層は、共通のスペーシング及びピッチを持つであろう。異なるスペーシング及びピッチは、メタル2層の上で使用されることが可能である。

【0034】

ダイナミックアレイの種々の層は、隣接する層の線形形状が、それぞれお互いに交差するように伸びるように定義付けされる。例えば、隣接する層の線形形状が直交して（お互いに垂直に）伸びることが可能である。また、1つの層の線形形状が、隣接する層の線形形状に対してある角度を持って（例えば、45度で）横切って伸びることが可能である。例えば、一実施形態において、1つの層の線形形状が第1参照方向（x）に伸び、隣接する層の線形形状が、第1参照方向（x）及び第2参照方向（y）に対して対角線方向に伸びる。当然のことながら、隣接する層の直交する線形形状の配置を持つダイナミックアレイの配線接続設計のために、オープンは、線形形状で定義付けすることが可能であり、コンタクト及びヴィアは必要に応じて定義付けされる。

【0035】

ダイナミックアレイは、予測できないリソグラフィの相互作用を排除するために、ケイアウト形状の屈曲の使用を最小化する。特に、OPC又は他のRETプロセスに先立って、ダイナミックアレイは、デバイス寸法の制御を可能にするため拡散層の屈曲を許すが、拡散層の上の層についての屈曲は許されない。拡散層の上のそれぞれの層のレイアウト形状は、直線的な形であり（例えば、図3C）、お互いに平行の関係で配置される。レイアウト形状の直線的な形と平行配置は、建設的な光の干渉の予測性が量産性を確保するためには必要であるところのダイナミックアレイのそれぞれの積み重ね層で実現される。一実施形態において、レイアウト形状の直線的な形と平行配置は、拡散の上のメタル2を介したそれぞれの層で、ダイナミックアレイで実現される。メタル2の上では、レイアウト形状は、量産性を確実にするのに建設的な光の干渉が必要とされない充分な寸法及び形であるかもしれない。しかし、メタル2の上の描かれたレイアウト形状内の建設的な光の干渉の存在は、有益であるだろう。

【0036】

図4から図14に、拡散からメタル2までのダイナミックアレイ層の積み上げの一例が示されている。当然のことながら、図4から図14に示されたダイナミックアレイは、一例としてのみ表したものであり、ダイナミックアレイ・アーキテクチャの限定を示唆するものではない。ダイナミックアレイは、すべての集積回路設計を本質的に定義付けするために、ここで示された原理に従って使用されることが可能である。

【0037】

図4は、本発明の一実施の形態において、ダイナミックアレイの一例の拡散層レイアウトを示す図である。図4の拡散層は、p型拡散領域401とn型拡散領域403を示す。拡散領域は、下にある基本グリッドにより定義付けされるが、拡散領域は、拡散層の上の層についての線形形状の制限に従わなければならないものではない。拡散領域401及び

10

20

30

40

50

403は、拡散コンタクトが配置されるように定義付けされた拡散四角405を含む。拡散領域401及び403は、外来のジョグ又はコーナを含まない。したがって、リソグラフィ解像度の使用が改良され、より正確なデバイス抽出の可能になる。さらに、n+マスク領域(412及び416)及びp+マスク領域(410及び414)が、(x),(y)グリッド上に、外来のジョグ又はノッチのない矩形として定義付けされている。この様式は、より大きな拡散領域の使用を可能とし、OPC/RETの必要性を排除し、より低い解像度及びより低いコストのリソグラフィ装置の使用を可能とする(例えば、365nmのiライン照明など)。当然のことながら、図4に描かれた、n+マスク領域416及びp+マスク領域410は、ウェル-バイアスを使用しない一実施形態のものである。ウェル-バイアスを使用する別の実施形態では、図4に示されたn+マスク領域416は、実際はp+マスク領域として定義付けされる。また、この別の実施形態では、図4に示されたp+マスク領域410は、実際はn+マスク領域として定義付けされる。
10

【0038】

図5は、本発明の一実施の形態において、ゲート電極層と、図4の拡散層の上及び隣の拡散コンタクト層を示す図である。CMOS技術の当業者が理解できるように、ゲート電極形状501は、トランジスタゲートを定義付けしている。ゲート電極形状501は、第2参照方向(y)に、ダイナミックアレイをわたって平行関係で伸びる線形形状として定義付けされている。一実施形態において、ゲート電極形状501は、共通の幅を持つように定義付けされている。しかし、別の実施形態では、1つ以上のゲート電極形状が、異なる幅を持つものとして定義付けされることが可能である。例えば、図5は、他のゲート電極形状501と比較して、より広い幅を持つゲート電極形状501Aを示している。ゲート電極形状501のピッチ(中心-中心間スペーシング)は、リソグラフィック補強(すなわち、隣接するゲート電極形状501による共振画像化)の最適化を確実にする間、最小化される。説明目的のために、ダイナミックアレイをわたって所定のラインを伸びるゲート電極形状501は、ゲート電極トラックとして参照される。
20

【0039】

ゲート電極形状501は、拡散領域403及び401を横切って、それぞれnチャンネル及びpチャンネルトランジスタを形成する。ゲート電極形状501の光学的プリントは、いくつかのグリッド位置には拡散領域が存在しないにもかかわらず、すべてのグリッド位置にゲート電極形状501を描くことによって達成される。また、長く続くゲート電極形状501は、ダイナミックアレイの内部にあるゲート電極形状の終端でのライン終端ショート効果を改良する傾向にある。さらに、ゲート電極形状プリントは、ゲート電極形状501からすべての屈曲をなくすることで、顕著に改良される。
30

【0040】

ゲート電極トラックのそれぞれは、特定の論理機能を実現するための必要な電気接続を設けるために、ダイナミックアレイを横切る直線的な横断で、何回も割り込まれる(すなわち、中断される)であろう。所定のゲート電極トラックに割り込みが必要なとき、割り込み位置におけるゲート電極トラックセグメントの終端間の分離は、製造能力及び電気的効果を可能な限り考慮に入れて最小化される。一実施形態において、光学的製造可能性は、共通の終端-終端間スペーシングが特定の層の中の形状間で使用されたときに、達成される。
40

【0041】

割り込み位置におけるゲート電極トラックセグメントの終端間の分離の最小化は、隣接するゲート電極トラックから供給されるリソグラフィの補強及び均一性の最大化に役立つ。また、一実施形態において、隣接するゲート電極トラックに割り込みが必要な場合、隣接するゲート電極トラックの割り込みは、可能な限り、隣接する割り込み位置が発生するのを避けるように、それぞれの割り込み位置がお互いに相殺されるように行われる。特に、隣接するゲート電極トラックの中の割り込み位置が、見えるラインが割り込み位置を通して存在しないように、それぞれ配置される。ここで、見えるラインは、基板にわたって伸びるゲート電極トラックの方向と垂直に伸びるものと考えられる。さらに、一実施形態
50

において、ゲート電極は、セル（すなわち、PMOS又はNMOSセル）のトップとボトムの境界を通って伸びることが可能である。この実施形態は、隣接するセルの橋渡しを可能とするであろう。

【0042】

さらに図5により、拡散コンタクト503は、それぞれの拡散四角405で、共振画像に対する拡散コンタクトのプリントを向上させるものとして定義付けられる。拡散四角405は、拡散コンタクト503のパワー及びグランド・コネクション・ポリゴンのプリントを向上させるため、すべての拡散コンタクト503の周りに存在する。

【0043】

ゲート電極形状501及び拡散コンタクト503は、共通のグリッドスペーシングを分け合っている。特に、ゲート電極形状501の配置は、拡散コンタクト503に関連して2分の1グリッドスペーシングにより相殺される。例えば、ゲート電極形状501と拡散コンタクト503のグリッドスペーシングが $0.36\mu m$ であり、拡散コンタクトの中心のx座標が $0.36\mu m$ の整数倍の位置にあるように拡散コンタクトが配置されている場合、ゲート電極形状501のそれぞれの中心のx座標引く $0.18\mu m$ は、 $0.36\mu m$ の整数倍であるべきである。本実施形態では、x座標は、以下のように表される：

拡散コンタクトの中心のx座標 = $I * 0.36\mu m$, ここでIはグリッド番号；

ゲート電極形状の中心のx座標 = $0.18\mu m + I * 0.36\mu m$, ここでIはグリッド番号。

【0044】

ダイナミックアレイのグリッドベースシステムは、すべてのコンタクト（拡散及びゲート電極）が、拡散コンタクトのグリッドの半分の倍数に等しい水平グリッド、及びメタル1ピッチによって設定される垂直グリッドの上に乗ることを確実にする。上記の例において、ゲート電極形状及び拡散コンタクトのグリッドは、 $0.36\mu m$ である。拡散コンタクト及びゲート電極コンタクトは、 $0.18\mu m$ の倍数の垂直グリッドの上に乗る。また、 $90nm$ プロセス技術の垂直グリッドは、およそ $0.24\mu m$ である。

【0045】

図6は、本発明の一実施の形態において、図5のゲート電極層の上及び隣に定義付けされたゲート電極コンタクト層を示す図である。ゲート電極コンタクト層において、ゲート電極コンタクト601は、上にあるメタル導電ラインへゲート電極形状501を接続することを可能にするように描かれている。一般に、デザインルールは、ゲート電極コンタクト601の最適な配置を規定するであろう。一実施形態において、ゲート電極コンタクトは、トランジスタのエンドキャップ領域の上部に描かれる。デザインルールが長いトランジスタ・エンドキャップを明記しているとき、この実施形態は、ダイナミックアレイ内のホワイトスペースを最小化する。いくつかのプロセス技術において、ホワイトスペースは、セルの多くのゲート電極コンタクトをそのセルの中心に配置することにより、最小化することができる。また、当然のことながら本発明において、ゲート電極コンタクト601は、ゲート電極コンタクト601とゲート電極形状501の間のオーバーラップを確実にするために、ゲート電極形状501と垂直の方向にオーバーサイズされている。

【0046】

図7Aは、ゲート電極（例えば、ポリシリコン形状）のコンタクトを作る従来のアプローチを示す図である。図7Aの従来の構成において、拡大化された矩形のゲート電極領域707は、ゲート電極コンタクト709が置かれるところに定義付けされる。拡大化された矩形のゲート電極領域707は、ゲート電極内に屈曲距離705を生み出す。拡大化された矩形のゲート電極領域707における屈曲は、望ましくない光の相互作用を起こし、ゲート電極ライン711をゆがめる。ゲート電極ライン711の歪みは、特に、ゲート電極の幅がトランジスタ長とほぼ等しいときに問題になる。

【0047】

図7Bは、本発明の一実施の形態により定義付けされるゲート電極コンタクト601（例えば、ポリシリコンコンタクト）を示す図である。ゲート電極コンタクト601は、ゲ

10

20

30

40

50

ート電極形状 501 のエッジをオーバーラップするように描かれており、ゲート電極形状 501 と実質的に垂直な方向に伸びている。一実施形態において、ゲート電極コンタクト 601 は、垂直寸法 703 が、拡散コンタクト 503 で使用される垂直寸法と同じになるように描かれている。例えば、拡散コンタクト 503 のオープニングが 0.12 μm 四角であるように指定されている場合、ゲート電極コンタクト 601 の垂直寸法は 0.12 μm で描かれる。しかし、他の実施形態では、垂直寸法 703 が拡散コンタクト 503 で使用される垂直寸法と異なるように、ゲート電極コンタクト 601 は描かれることが可能である。

【0048】

一実施形態において、ゲート電極形状 501 を越えたゲート電極コンタクト 601 の伸長 701 は、ゲート電極コンタクト 601 とゲート電極形状 501 の間で最大のオーバーラップが達成されるように設定される。伸長 701 は、ゲート電極コンタクト 601 のライン終端ショート、及びゲート電極コンタクト層とゲート電極形状層との間のミスマッチメントを配慮して定義付けされる。ゲート電極コンタクト 601 の長さは、ゲート電極コンタクト 601 とゲート電極形状 501 の間の最大の表面領域コンタクトを確実にするように定義付けされる。ここで、最大の表面領域コンタクトは、ゲート電極形状 501 の幅によって定義付けされる。

【0049】

図 8A は、本発明の一実施の形態において、図 6 のゲート電極コンタクト層の上に定義付けされたメタル 1 層を示す図である。メタル 1 層は、ダイナミックアレイをわたって平行関係で伸びた線形形状を含むように定義付けされた多くのメタル 1 トラック 801 - 821 を含んでいる。メタル 1 トラック 801 - 821 は、下に横たわる図 5 のゲート電極層内のゲート電極形状 501 と実質的に垂直な方向に伸びている。したがって、本実施形態において、メタル 1 トラック 801 - 821 は、ダイナミックアレイをわたって第 1 参照方向 (x) に直線的に伸びている。隣接するメタル 1 トラック 801 - 821 によってもたらされるリソグラフィの補強（すなわち、共振画像）の最適化を確実にすると同時に、メタル 1 トラック 801 - 821 のピッチ（中心 - 中心間スペーシング）は、最小化される。例えば、一実施形態において、メタル 1 トラック 801 - 821 は、90 nm プロセス技術では、約 0.24 μm の垂直グリッドに中心が合わせられている。

【0050】

メタル 1 トラック 801 - 821 のそれぞれは、特定の論理機能を実現するための必要な電気接続を設けるために、ダイナミックアレイを横切る直線的な横断で、何回も割り込まれる（すなわち、中断される）かもしれない。所定のメタル 1 トラック 801 - 821 が割り込まれることが必要なとき、割り込みの位置におけるメタル 1 トラックセグメントの終端間の分離は、可能な限り、製造能力と電気的影響を考慮して最小化される。割り込みの位置におけるメタル 1 トラックセグメントの終端間の分離の最小化は、隣接するメタル 1 トラックによってもたらされるリソグラフィの補強、及び均一性を最大化するのに役立つ。また、一実施形態において、隣接するメタル 1 トラックが割り込まれることが必要なとき、隣接するメタル 1 トラックの割り込みは、割り込みの隣接する位置の発生を可能な限り避けるように、割り込みのそれぞれの位置がお互いに相殺されるように行われる。特に、隣接するメタル 1 トラックの中の割り込みの位置は、それぞれ、見えるラインが割り込みの位置を通して存在しないように配置される。ここで、見えるラインは、基板の上を伸びるメタル 1 トラックの方向と垂直に伸びるものと考えられる。

【0051】

図 8A の例において、メタル 1 トラック 801 はグランドに接続されており、メタル 1 トラック 821 は電源電圧に接続されている。図 8A の実施形態において、メタル 1 トラック 801 及び 821 の幅は、他のメタル 1 トラック 803 - 819 と同じである。しかし、別の実施形態において、メタル 1 トラック 801 及び 821 の幅は、他のメタル 1 トラック 803 - 819 の幅より大きい。図 8B は、他のメタル 1 トラックにおいて、他のメタル 1 トラック 803 - 819 と比較して、メタル 1 のグランド及び電源のトラックの

10

20

30

40

50

ためのより幅の広いトラック（801A及び821A）を有する図8Aのメタル1層を示す図である。

【0052】

メタル1トラック・パターンは、“ホワイトスペース”（トランジスタによって占められないスペース）の使用を最適化するように最適に構成されている。図8Aの例は、2つに分配されたメタル1トラック801及び821と、9つのメタル1信号トラック803-819を含んでいる。メタル1トラック803, 809, 811及び819は、ホワイトスペースを最小化するためのゲート電極コンタクトトラックとして定義付けされる。メタル1トラック805及び807は、nチャンネルトランジスタのソース及びドレインに接続するように定義付けされる。メタル1トラック813, 815及び817は、pチャンネルトランジスタのソース及びドレインに接続するように定義付けされる。また、9つのメタル1信号トラック803-819は、接続が必要でない場合は、いずれもフィードスルーとして使用することができる。例えば、メタル1トラック813及び815は、フィードスルー接続として構成されている。10

【0053】

図9は、本発明の一実施の形態において、図8Aのメタル1層の上及び隣に定義付けされたヴィア1層を示す図である。ヴィア901は、メタル1トラック801-821のより高いレベルの導電ラインへの接続を可能にするヴィア1層で定義付けされる。

【0054】

図10は、本発明の一実施の形態において、図9のヴィア1層の上及び隣に定義付けされたメタル2層を示す図である。メタル2層は、ダイナミックアレイをわたって平行関係に伸びた線形形状として定義付けされた多くのメタル2トラック1001を含む。メタル2トラック1001は、下に横たわる図8Aのメタル1層のメタル1トラック801-821と実質的に垂直な方向に、及び下に横たわる図5のゲート電極層のゲート電極トラック501と実質的に平行な方向に、伸びている。したがって、本実施形態において、メタル2トラック1001は、ダイナミックアレイを横切って第2参照方向(y)に直線的に伸びている。20

【0055】

隣接するメタル2トラックによりもたらされるリソグラフィ補強（すなわち、共振画像）の最適化を確実にすると同時に、メタル2トラック1001のピッチ（中心-中心間スペーシング）は最小化される。当然のことながら、ゲート電極及びメタル1層の実現方法と同様にして、より高いレベルの配線層で規則性が維持される。一実施形態において、ゲート電極形状501のピッチと、メタル2トラックのピッチは、同じである。別の実施形態において、コンタクトされたゲート電極のピッチ（例えば、間に拡散コンタクトを有するポリシリコン-ポリシリコン間スペース）は、メタル2トラックのピッチより大きい。この実施形態において、メタル2トラックのピッチは、コンタクトされたゲート電極のピッチの2/3又は3/4になるように最適に設定される。したがって、この実施形態において、ゲート電極トラックとメタル2トラックは、2つのゲート電極トラック・ピッチごと、及び3つのメタル2トラック・ピッチごとに位置合わせする。例えば、90nmプロセス技術において、コンタクトされたゲート電極トラックの最適なピッチは、0.36μmであり、メタル2トラックの最適なピッチは、0.24μmである。別の実施形態において、ゲート電極トラック及びメタル2トラックは、3つのゲート電極ピッチごと、及び4つのメタル2ピッチごとに位置合わせする。例えば、90nmプロセス技術において、コンタクトされたゲート電極トラックの最適なピッチは、0.36μmであり、メタル2トラックの最適なピッチは、0.27μmである。3040

【0056】

メタル2トラック1001のそれぞれは、特定の論理機能を実現するための必要な電気接続を設けるために、ダイナミックアレイを横切る直線的な横断で、何回も割り込まれる（すなわち、中断される）ことが可能である。所定のメタル2トラック1001が割り込まれることが必要なとき、割り込みの位置におけるメタル2トラックセグメントの終端間50

の分離は、可能な限り、製造能力と電気的影響を考慮して最小化される。割り込みの位置におけるメタル2トラックセグメントの終端間の分離の最小化は、隣接するメタル2トラックによってもたらされるリソグラフィの補強、及び均一性を最大化するのに役立つ。また、一実施形態において、隣接するメタル2トラックが割り込まれることが必要なとき、隣接するメタル2トラックの割り込みは、割り込みの隣接する位置の発生を可能な限り避けるように、割り込みのそれぞれの位置がお互いに相殺されるように行われる。特に、隣接するメタル2トラックの中の割り込みの位置は、それぞれ、見えるラインが割り込みの位置を通して存在しないように配置される。ここで、見えるラインは、基板の上を伸びるメタル2トラックの方向と垂直に伸びるものと考えられる。

【0057】

10

上述のとおり、ゲート電極層の上の所定のメタル層の導電ラインは、第1参照方向(x)又は第2参照方向(y)のどちらかに一致した方向に、ダイナミックアレイを横断してもよい。当然のことながら、ゲート電極層の上の所定のメタル層の導電ラインは、第1参照方向(x)及び第2参照方向(y)に対して対角線方向にダイナミックアレイを横断してもよい。図11は、本発明の一実施の形態において、第1及び第2参照方向(x)及び(y)に対して第1対角線方向にダイナミックアレイを横断する導電体トラック1101を示す図である。図12は、本発明の一実施の形態において、第1及び第2参照方向(x)及び(y)に対して第2対角線方向にダイナミックアレイを横断する導電体トラック1201を示す図である。

【0058】

20

メタル1及びメタル2トラックについて上述したように、図11及び図12の対角線方向に横断する導電体トラック1101及び1201は、特定の論理機能を実現するための必要な電気接続を設けるために、ダイナミックアレイを横切る直線的な横断で、何回も割り込まれる(すなわち、中断される)ことが可能である。対角線状に横断する所定の導電体トラックが割り込まれることが必要なとき、割り込みの位置における対角線状導電体トラックの終端間の分離は、可能な限り、製造と電気的効果を考慮して最小化される。割り込みの位置における対角線状導電体トラックの終端間の分離の最小化は、隣接する対角線状導電体トラックによってもたらされるリソグラフィの補強、及び均一性を最大化するのに役立つ。

【0059】

30

ダイナミックアレイの中の最適なレイアウト密度は、以下のデザインルールの実行によって、達成される：

- ・少なくとも2つのメタル1トラックがnチャンネルデバイス領域を横切って設けられる；
- ・少なくとも2つのメタル1トラックがpチャンネルデバイス領域を横切って設けられる；
- ・少なくとも2つのゲート電極トラックがnチャンネルデバイスに設けられる；及び
- ・少なくとも2つのゲート電極トラックがpチャンネルデバイスに設けられる。

【0060】

コンタクト及びヴィアは、リソグラフィの観点から、もっとも困難なマスクになっている。これは、コンタクト及びヴィアが、より小さくなり、間隔がより近くなり、ランダムに分散されていることによるものである。カット(コンタクト又はヴィア)のスペーシング及び密集化は、形状を確実にプリントすることを極端に困難にする。例えば、隣接形状からの破壊的な干渉縞、又は孤立した形状のエネルギー不足により、カット形状が不適切にプリントされるかもしれない。カットが適切にプリントされた場合、関連するコンタクト又はヴィアの製造歩留まり極めて高くなる。サブ解像度コンタクトは、そのサブ解像度コンタクトが消散しない限り、実在のコンタクトの露光を補強することができる。また、サブ解像度コンタクトは、それらが、リソグラフィプロセスの解像度の能力より小さい限り、どんな形状も持つことができる。

【0061】

50

図13Aは、本発明の一実施の形態において、リソグラフィ補強の拡散コンタクト及びゲート電極コンタクトに使用されるサブ解像度コンタクトレイアウトの一例を示す図である。サブ解像度コンタクト1301は、それらがリソグラフィシステムの解像度より下であるように描かれ、プリントされない。サブ解像度コンタクト1301の機能は、共振画像を通じて、所望のコンタクト位置（例えば、503, 601）の光エネルギーを増加させるものである。一実施形態において、ゲート電極コンタクト601及び拡散コンタクト503の両方がリソグラフィ補強されるようなグリッドに、サブ解像度コンタクト1301が置かれる。例えば、ゲート電極コンタクト601及び拡散コンタクト503の両方に良い影響を与えるように、サブ解像度コンタクト1301は、拡散コンタクト503のグリッドスペーシングの2分の1と等しくなるようなグリッド上に置かれる。一実施形態において、サブ解像度コンタクト1301の垂直方向のスペーシングは、ゲート電極コンタクト601及び拡散コンタクト503の垂直方向のスペーシングに従う。

【0062】

図13Aのグリッド位置1303は、隣接しているゲート電極コンタクト601の間の位置を指示する。製造プロセスにおけるリソグラフィのパラメータによっては、このグリッド位置でのサブ解像度コンタクト1301が、2つの隣接しているゲート電極コンタクト601の間の望ましくないブリッジを生成する可能性がある。ブリッジングが起こりそうであるなら、位置1303でのサブ解像度コンタクト1301を省くことができる。図13Aは、サブ解像度コンタクトが実在する形状に隣接して置かれて、消散されてどこにもないところの実施形態を示すが、当然のことながら、別の実施形態によって、グリッドを満たすために、利用可能なそれぞれのグリッド位置にサブ解像度コンタクトを置くことが可能である。

【0063】

図13Bは、本発明の一実施の形態において、可能な範囲内でグリッドを満たすように定義付けされたサブ解像度のコンタクトを有する図13Aのサブ解像度コンタクトレイアウトを示す図である。当然のことながら、図13Bの実施形態は、可能な範囲内で、サブ解像度コンタクトでグリッドを満たしているが、完全に消散する隣接する形状の間ににおける望ましくないブリッジングが潜在的に発生する位置に、サブ解像度コンタクトを配置するのを避けている。

【0064】

図13Cは、本発明の一実施の形態において、種々の形状をしたサブ解像度コンタクトを利用したサブ解像度コンタクトレイアウトの一例を示す図である。サブ解像度コンタクトが製造プロセスの解像度の能力より下である限り、別のサブ解像度コンタクト形状を利用することができます。図13Cは、隣接するコンタクトのコーナに光エネルギーの焦点を合わせるために“X形状”サブ解像度コンタクト1305を使用することを示している。一実施形態において、X形状サブ解像度コンタクト1305の終端は、隣接するコンタクトのコーナにおける光エネルギーの堆積をさらに高めるために伸びている。

【0065】

図13Dは、本発明の一実施の形態において、サブ解像度コンタクトを有する交互位相シフトマスク（APS M）の一例を示す図である。図13Aのように、サブ解像度コンタクトは、拡散コンタクト503及びゲート電極コンタクト601をリソグラフィ的に補強するのに利用される。APS Mは、隣接形状が破壊的な干渉縞を生成するときに、解像度を改良するのに使用される。APS M技術は、マスクを通して隣接形状に移動する光の位相が180度位相ずれるようにマスクを修正する。この位相シフトは、破壊的な干渉を排除し、コンタクト密度をより高めるのに役立つ。一例として、プラス“+”印でマークされた図13Dのコンタクトは、第1位相の光波で露光されるコンタクトを表し、マイナス“-”印でマークされたコンタクトは、“+”印のコンタクトで使用される第1位相に対して180度位相がシフトされた光波で露光されるコンタクトを表している。当然のことながら、APS M技術は、隣接するコンタクトがお互いに分離されるのを確実にするために利用される。

10

20

30

40

50

【 0 0 6 6 】

形状寸法が小さくなるに従い、半導体のダイは、より多くのゲートを含むことが可能になる。しかし、より多くのゲートが含まれるのに従い、配線層の密度によって、ダイ寸法が決定されるようになる。配線層におけるこの増大する需要は、配線層の高レベル化を牽引する。しかし、配線層の積み重ねは、下に横たわる層のトポロジにより部分的に制限される。例えば、配線層が積み重ねられると、島、隆起、及び溝が発生し得る。これらの島、隆起、及び溝は、それらを横切る配線ラインの遮断を引き起こすおそれがある。

【 0 0 6 7 】

これらの島及び溝を軽減するために、半導体製造プロセスは、実質的に平坦な表面上に各配線層が後から堆積された半導体ウェハの表面を機械的に及び化学的に磨く化学的機械研磨（C M P）処理を利用する。フォトリソグラフィプロセスと同じように、C M Pプロセスの品質は、レイアウトパターンに依存する。特に、ダイ又はウェハを横断するレイアウト形状の平坦でない分布によって、ある場所では除去されるのには多すぎる材料があり、他の場所では除去されるには充分な材料がないということになり、これにより、配線厚さの変動が発生し、配線層の容量及び抵抗で許容できない変動が発生し得る。配線層内の容量及び抵抗の変動は、設計欠陥の原因となるクリティカルネットのタイミングを変えるかもしれない。

10

【 0 0 6 8 】

ディッシングを避けて中心 - 端間の均一性を改良するために、実質的に均一なウェハトポロジが提供されるように、配線の形状がない領域内にダミーフィルが追加されることを、C M Pプロセスは要求する。従来は、ダミーフィルは、設計の後に配置された。したがって、従来のアプローチにおいて、設計者はダミーフィルの特性を知らなかった。その結果、設計の後に置かれたダミーフィルは、設計者によって評価されていないため、設計特性に悪影響を及ぼすことがある。ダミーフィルの前の従来のトポロジは無拘束である（すなわち、均一ではない）ので、設計後のダミーフィルは均一にならず、予測不可能である。したがって、従来のプロセスでは、ダミーフィル領域と隣接する活性ネットの間の容量性カップリングは、設計者には予測不可能である。

20

【 0 0 6 9 】

前述のように、ここで開示されたダイナミックアレイは、すべての配線トラックをゲート電極層から上方向に最大限に満たすことにより、最適な規則性を提供する。1つの配線トラック内に複数のネットが必要な場合、配線トラックは、最小限に間隔を空けて分けられる。例えば、図8 Aのメタル1導電ラインを表すトラック809は、それぞれのネットが特定のトラックセグメントに一致する、同じトラック内に分離された3つのネットを表している。特に、トラックセグメント間の最適なスペーシングでトラックを満たす2つのポリコンタクトネットと1つのフローティングネットがある。トラックを事実上完全に満たすことは、ダイナミックアレイをわたって共振画像を生成する規則的なパターンを維持する。また、最大限に満たされた配線トラックを持つダイナミックアレイの規則正しい構造は、ダイを横断して均等にダミーフィルが配置されることを確実にする。ダイナミックアレイの規則的な構造は、C M Pプロセスがダイ / ウェハをわたって実質的に均一な結果をもたらすことを助ける。また、ダイナミックアレイの規則的なゲートパターンは、ゲートエッキングの均一性（マイクロローディング）を助ける。さらに、最大限に満たされた配線トラックと組み合わされたダイナミックアレイの規則的な構造は、設計段階の間及び製造に先立って、最大限に満たされたトラックについての容量性のカップリング効果を設計者が解析するのを可能にする。

30

【 0 0 7 0 】

ダイナミックアレイは、それぞれのマスク層において、線形形状の寸法及びスペーシング（すなわち、トラック及びコンタクト）を設定するので、ダイナミックアレイの設計は、製造設備及びプロセスの最大能力に合わせて最適化することができる。すなわち、ダイナミックアレイは、拡散の上のそれぞれの層の規則的な構造で制限されているので、製造者は、規則的な構成の特定の特徴のための製造プロセスを最適化することが可能である。

40

50

当然のことながら、ダイナミックアレイで、製造者は、従来の制約のないレイアウトに存在するような、広範囲に変化する任意形状のレイアウト形状の組み合わせの製造調整することを気にする必要がない。

【0071】

製造装置の能力が最適化され得る方法の一例を以下に示す。メタル2のピッチが280 nmである90nmプロセスについて考える。この280nmのメタル2ピッチは、装置の最大能力によって設定されない。むしろ、この280nmのメタル2ピッチは、ヴィアのリソグラフィによって設定される。ヴィアのリソグラフィの問題が除去されることにより、装置の最大能力は、約220nmのメタル2ピッチを可能にする。したがって、メタル2ピッチのデザインルールは、ヴィアリソグラフィの予期できない光の相互作用を考慮して、約25%のマージンを含む。10

【0072】

ダイナミックアレイ内で実現される規則的な構成は、ヴィアリソグラフィにおける相互作用の予測不可能性を除去することを可能にし、これにより、メタル2ピッチのマージンの減少を可能にする。このようなメタル2ピッチのマージンの減少は、高密度の設計を可能にする（すなわち、チップ面積利用率の最適化が可能になる。）。さらに、ダイナミックアレイによってもたらされる制限された（すなわち、規則的な）トポロジによって、デザインルールのマージンを削減することが可能になる。さらにまた、プロセスの能力を超えた余分なマージンを減らせるばかりでなく、ダイナミックアレイによる制限的なトポロジは、必要なデザインルールの数を実質的に減らすことも可能にする。例えば、制約のないトポロジの典型的なデザインルール・セットは、600デザインルールより多く持つ。ダイナミックアレイを使用するデザインルール・セットは、約45デザインルールを持てばよい。したがって、デザインルールに対する設計の解析と検証を行うのに必要とされる努力は、ダイナミックアレイの制限的なトポロジにより、10以上のファクタで減少する。20

【0073】

ダイナミックアレイのマスク層の所定のトラック内におけるライン終端 - ライン終端間のギャップ（すなわち、トラックセグメント - トラックセグメント間のギャップ）について、わずかの光相互作用が存在する。このわずかの光相互作用は、前もって、識別、予測、及び正確に補償することができ、OPC/RETの必要性をめざましく削減し、又は完全に排除することができる。ライン終端 - ライン終端間のギャップにおける光相互作用の補償は、描かれた形状に関しての相互作用のモデリング（例えば、OPC/RET）に基づく補正とは対照的に、描かれた形状のリソグラフィ的な修正を表す。30

【0074】

また、ダイナミックアレイで、描かれたレイアウトへの変更は、必要なところのみに行われる。対照的に、OPCは、従来の設計フローですべてのレイアウトについて実施される。一実施形態において、補正モデルは、ダイナミックアレイのレイアウト生成の部分として実施され得る。例えば、限られた数の可能性のライン終端ギャップの相互作用により、回りの関数として（すなわち、その特定のライン終端ギャップの光相互作用の関数として）定義される特徴を持つラインブレークを挿入するように、ルータはプログラムされ得る。当然のことながら、ダイナミックアレイの規則的な構成は、頂点を追加するよりむしろ頂点を変更することにより、ライン終端が調整されることを可能にする。したがって、OPCプロセスによる制約のないトポロジと対比して、ダイナミックアレイは、顕著にコストとマスク製作のリスクを削減する。また、ダイナミックアレイでは設計段階で、ライン終端ギャップ相互作用を正確に予測できるので、設計段階の間ににおける予測されたライン終端ギャップ相互作用の補償は、デザイン欠陥のリスクを増やさない。40

【0075】

従来の制約のないトポロジにおいて、設計者は、設計依存欠陥の存在のために、製造プロセスについての物理的知識を有していることが必要とされていた。ここで開示したダイナミックアレイのグリッドベースシステムにより、論理設計は、物理的設計から分離する50

ことができる。特に、ダイナミックアレイの規則的な構成、ダイナミックアレイの中で評価される限られた数の光相互作用、及びダイナミックアレイの設計依存性質により、物理的ネットリストとは対照的に、グリッドポイントベース・ネットリストを使用して設計を表現することが可能になる。

【0076】

ダイナミックアレイにより、物理的情報の用語で設計を表す必要がない。むしろ、シンボリックレイアウトにより、設計を表すことができる。したがって、設計者は、物理的特徴（例えば、設計寸法）を示す必要なしに、純粋な論理的視野から設計を表すことができる。当然のことながら、グリッドベース・ネットリストは、物理的に変換されたとき、ダイナミックアレイ・プラットフォームの最適なデザインルールにまさに適合する。グリッドベース・ダイナミックアレイが、新しい技術（例えば、より小さい技術）に移行するとき、設計表現の中に物理的データが存在しないので、グリッドベース・ネットリストは、新しい技術に直接的に移行されることがある。一実施形態において、グリッドベース・ダイナミックアレイシステムは、ルール・データベース、グリッドベース（シンボリック）・ネットリスト、及びダイナミックアレイ・アーキテクチャを含む。

10

【0077】

当然のことながら、グリッドベース・ダイナミックアレイは、従来の制約のない構成についてのトポロジ関連の欠陥を排除する。また、グリッドベース・ダイナミックアレイの生産性は、設計と無関係であるので、ダイナミックアレイで達成される設計歩留まりは、設計と無関係である。したがって、ダイナミックアレイの正当性及び歩留まりは、予め検証されるので、グリッドベース・ネットリストは、予め検証した歩留まり特性を有するダイナミックアレイで達成されることがある。

20

【0078】

図14は、本発明の一実施の形態において、半導体チップ構成1400を示す図である。半導体チップ構成1400は、そこで定義付けされた多くの導電ライン1403A-1403Gを持つ拡散領域1401を含む半導体チップの部分の一例を示している。拡散領域1401は、少なくとも1つのトランジスタデバイスの活性領域を定義するため、基板1405内で定義付けされている。拡散領域1401は、基板1405表面に対して任意の形の領域を覆うように定義付けができる。

30

【0079】

導電ライン1403A-1403Gは、基板1405の上を共通方向1407に伸びるように配列されている。また、当然のことながら、多くの導電ライン1403A-1403Gのそれぞれは、拡散領域1401の上を共通方向1407に伸びるように制限されている。一実施形態において、基板1405の上ですぐに定義付けされた導電ライン1403A-1403Gは、ポリシリコンラインである。一実施形態において、導電ライン1403A-1403Gのそれぞれは、伸長する共通方向1407に対して垂直な方向の本質的に同一の幅1409を持つように定義付けられる。一実施形態において、導電ライン1403A-1403Gのいくつかは、他の導電ラインと比較して異なる幅を持つように定義付けされる。しかし、導電ライン1403A-1403Gの幅に関係なく、導電ライン1403A-1403Gのそれぞれは、本質的に同一の中心-中心間ピッチ1411により、隣の導電ラインから離れて間隔が空いている。

40

【0080】

図14に示されているように、導電ラインのいくつか（1403B-1403E）は、拡散領域1401の上を伸びており、他の導電ライン（1403A, 1403F, 1403G）は、基板1405の非拡散部分の上を伸びている。当然のことながら、導電ライン1403A-1403Gは、拡散領域1401の上で定義付けされているか否かに關係なく、それらの幅1409及びピッチ1411を維持する。また、当然のことながら、導電ライン1403A-1403Gは、拡散領域1401の上で定義付けされているか否かに關係なく、本質的に同一の長さ1413を維持しており、それによって、基板を横断する導電ライン1403A-1403Gの間のリソグラフィ的な補強を最大化している。この

50

ようにして、拡散領域 1401 の上で定義付けされたいくつかの導電ライン（例えば、1403D）は、必要な活性部 1415、及び 1 つ以上の画一伸長部 1417 を含む。

【0081】

当然のことながら、半導体チップ構成 1400 は、図 2 - 図 13D を参照した上述のダイナミックアレイの一部を表している。したがって、当然のことながら、導電ライン（1403B - 1403E）の画一伸長部 1417 は、隣接する導電ライン 1403A - 1403G のリソグラフィ的な補強を提供するために存在する。また、導電ライン 1403A, 1403F, 及び 1403G のそれぞれは、回路動作を必要とされないかもしれないが、隣接する導電ライン 1403A - 1403G のリソグラフィ的な補強を提供するために存在する。

10

【0082】

必要な活性部 1415 及び画一伸長部 1417 の概念は、また、より高いレベルの配線層に適用される。ダイナミックアレイ構成について前述したように、ダイナミックアレイ内で実現された論理デバイスにより必要な配線接続を可能にするために、隣接する配線層が基板の上を横方向に（例えば、垂直又は対角線方向に）横断する。導電ライン 1403A - 1403G と同様に、配線層の中の導電ラインのそれぞれは、必要な配線接続を可能にするために必要な部分（必要な活性部）、及び隣接する導電ラインにリソグラフィ的な補強を提供するために不必要的部分（画一伸長部）を含むことができる。また、導電ライン 1403A - 1403G と同様に、配線層の中の導電ラインは基板の上の共通方向に伸びており、本質的に同一の幅を持ち、本質的に一定ピッチによりお互いに間隔が空いている。

20

【0083】

一実施形態において、配線層内の導電ラインは、ライン幅とラインスペーシング間の同一比率に本質的に従う。例えば、90 nm では、メタル 4 ピッチは 280 nm であり、ライン幅及びラインスペーシングはそれぞれ 140 nm に等しい。もし、ライン幅がラインスペーシングに等しいのであれば、より広い導電ラインを、より広いラインピッチでプリントすることができる。

【0084】

ここで記述された発明は、コンピュータ読み取り可能な媒体上で、コンピュータ読み取り可能なコードとして具体化することができる。コンピュータ読み取り可能な媒体は、データを格納することができ、後からコンピュータシステムによって読み出されることが可能な、いかなるデータストレージデバイスであってもよい。コンピュータ読み取り可能な媒体の例は、ハードドライブ、ネットワーク接続ストレージ（N A S）、読み出し専用メモリ、ランダムアクセスメモリ、C D - R O M、C D - R、C D - R W、磁気テープ、及び他の光学的・非光学的なデータストレージデバイスを含む。また、コンピュータ読み取り可能な媒体は、コンピュータ読み取り可能なコードが格納されて分散処理で実行されるように、コンピュータシステムが接続されたネットワークにわたって分散されているもよい。さらに、コンピュータ読み取り可能な媒体上のコンピュータ読み取り可能なコードとして実現されたグラフィカルユーザインターフェイス（G U I）は、本発明の実施形態を行うためのユーザインターフェイスを提供するように改良されることが可能である。

30

【0085】

本発明は、いくつかの実施形態に関して記述してきたが、当然のことながら、当業者が上記の記述を読んで図面を検討することにより、種々の変更、追加、置換及び同等物を考え出すであろう。したがって、本発明は、それらのすべての変更、追加、置換、及び同等物を、本発明の真の精神及び要旨の中にあるものとして、含むことを意図するものである。

40

【図面の簡単な説明】

【0086】

【図 1】本発明の一実施の形態において、多くの隣接するレイアウト形状と、レイアウト形状のそれぞれの描画に使用される光強度の代表例を示す図である。

50

【図2】本発明の一実施の形態において、ダイナミックアレイ・アーキテクチャを定義付けするのに使用されるレイアウトの積み重ねの概略を示す図である。

【図3A】本発明の一実施の形態において、限定的なトポロジの定義付けを容易にするダイナミックアレイに投影される基本グリッドの一例を示す図である。

【図3B】本発明の一実施の形態において、ダイの分離領域にわたって投影される分離基本グリッドの一例を示す図である。

【図3C】本発明の一実施の形態において、ダイナミックアレイに適合するように定義付けされた線形形状の一例を示す図である。

【図3D】本発明の一実施の形態において、ダイナミックアレイに適合するように定義付けされた線形形状の別の例を示す図である。 10

【図4】本発明の一実施の形態において、ダイナミックアレイの一例の拡散層レイアウトを示す図である。

【図5】本発明の一実施の形態において、ゲート電極層と、図4の拡散層の上及び隣の拡散コンタクト層を示す図である。

【図6】本発明の一実施の形態において、図5のゲート電極層の上及び隣に定義付けされたゲート電極コンタクト層を示す図である。

【図7A】ゲート電極のコンタクトを作る従来のアプローチを示す図である。

【図7B】本発明の一実施の形態により定義付けされるゲート電極コンタクトを示す図である。

【図8A】本発明の一実施の形態において、図6のゲート電極コンタクト層の上及び隣に定義付けされたメタル1層を示す図である。 20

【図8B】他のメタル1トラックにおいて、メタル1のグランド及びパワーのトラックのためのより幅の広いトラックを有する図8Aのメタル1層を示す図である。

【図9】本発明の一実施の形態において、図8Aのメタル1層の上及び隣に定義付けされたヴィア1層を示す図である。

【図10】本発明の一実施の形態において、図9のヴィア1層の上及び隣に定義付けされたメタル2層を示す図である。

【図11】本発明の一実施の形態において、第1及び第2参照方向(x)及び(y)に対して第1対角線方向にダイナミックアレイを横断する導電体トラックを示す図である。

【図12】本発明の一実施の形態において、第1及び第2参照方向(x)及び(y)に対して第2対角線方向にダイナミックアレイを横断する導電体トラックを示す図である。 30

【図13A】本発明の一実施の形態において、リソグラフィ補強の拡散コンタクト及びゲート電極コンタクトに使用されるサブ解像度コンタクトレイアウトの一例を示す図である。

【図13B】本発明の一実施の形態において、可能な範囲内でグリッドを満たすように定義付けされたサブ解像度のコンタクトを有する図13Aのサブ解像度コンタクトレイアウトを示す図である。

【図13C】本発明の一実施の形態において、種々の形状をしたサブ解像度コンタクトを利用したサブ解像度コンタクトレイアウトの一例を示す図である。

【図13D】本発明の一実施の形態において、サブ解像度コンタクトを有する交互位相シフトマスク(APSM)の一例を示す図である。 40

【図14】本発明の一実施の形態において、半導体チップ構成を示す図である。

【図1】

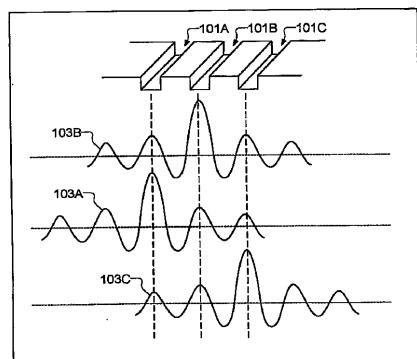


Fig. 1

【図3A】

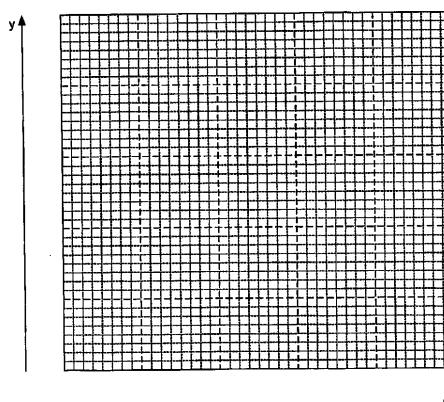


Fig. 3A

【図2】

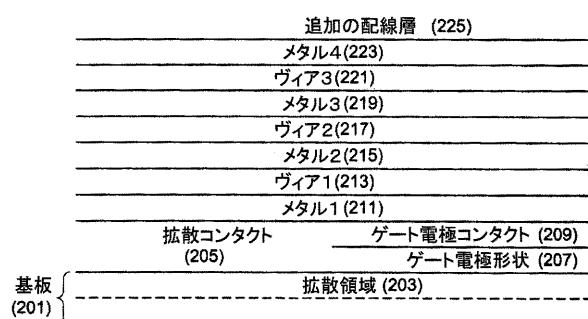


Fig. 2

【図3B】

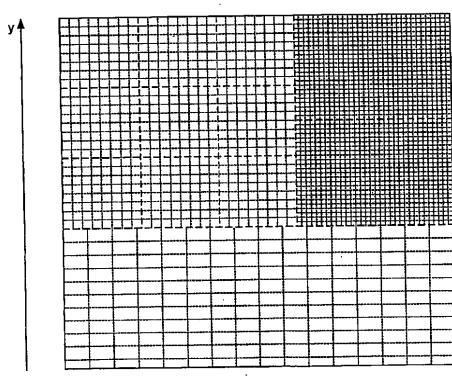


Fig. 3B

【図3D】

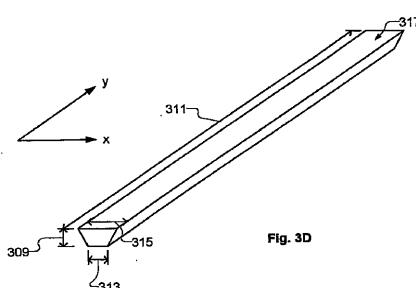


Fig. 3D

【図3C】

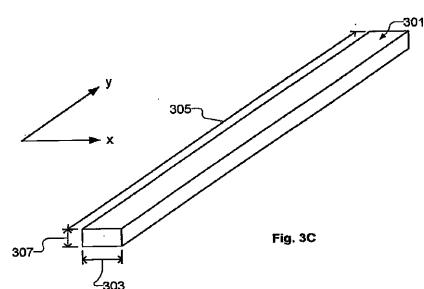


Fig. 3C

【図4】

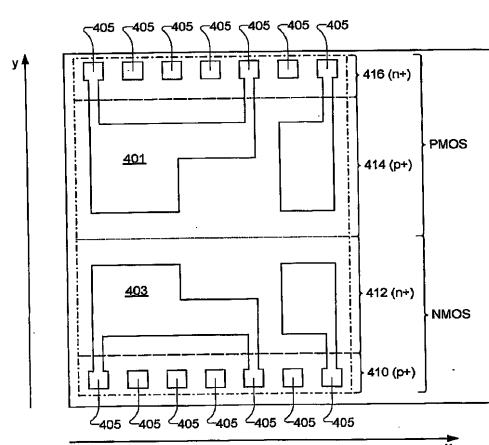


Fig. 4

【図5】

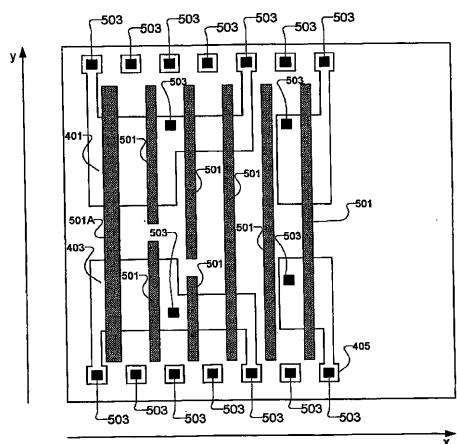


Fig. 5

【図6】

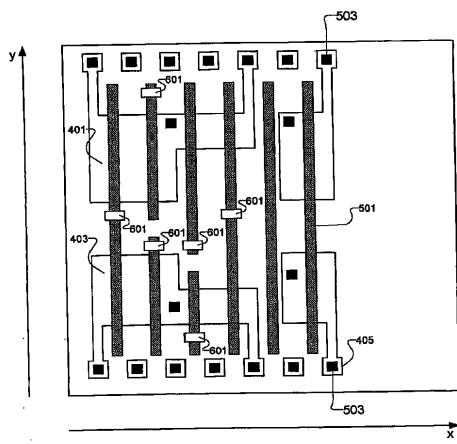


Fig. 6

【図7A】

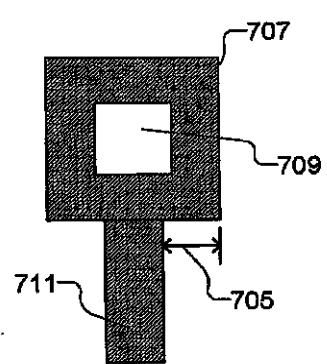


Fig. 7A

【図8A】

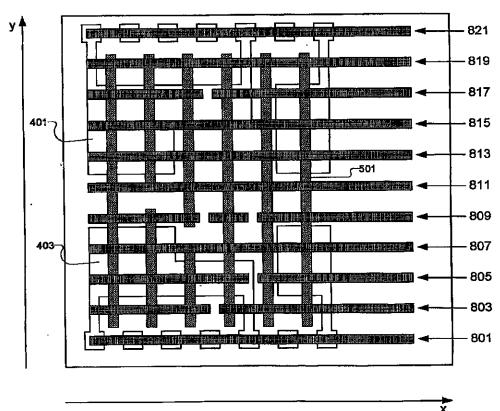


Fig. 8A

【図7B】

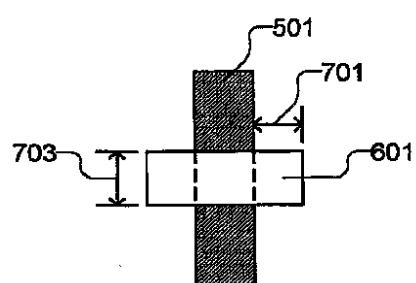


Fig. 7B

【図 8B】

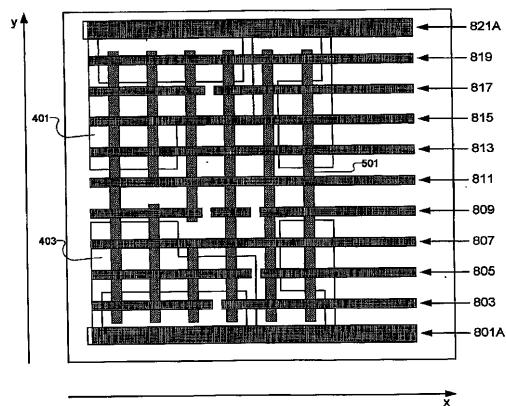


Fig. 8B

【図 9】

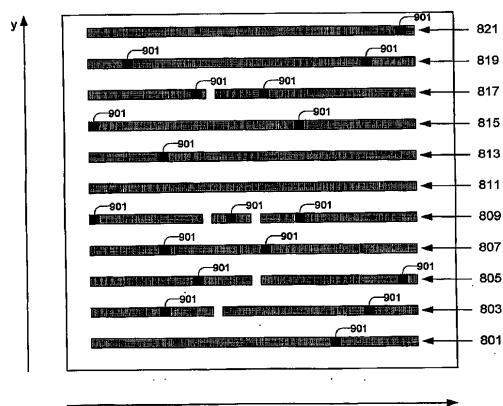


Fig. 9

【図 10】

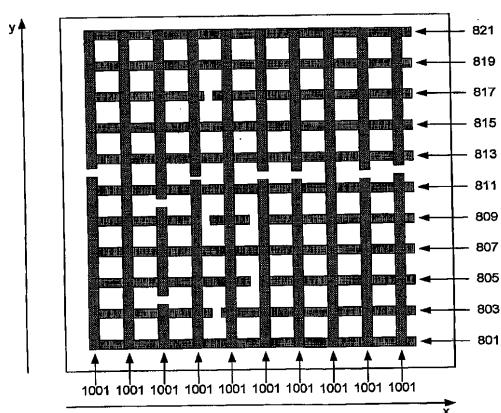


Fig. 10

【図 11】

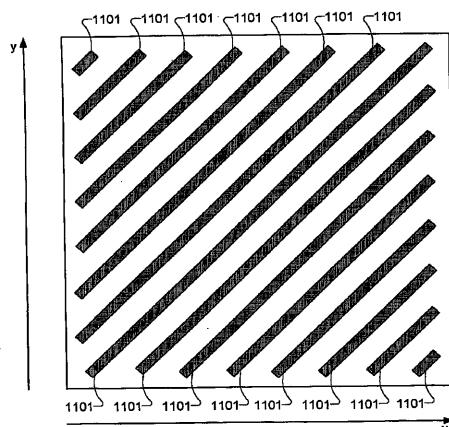


Fig. 11

【図12】

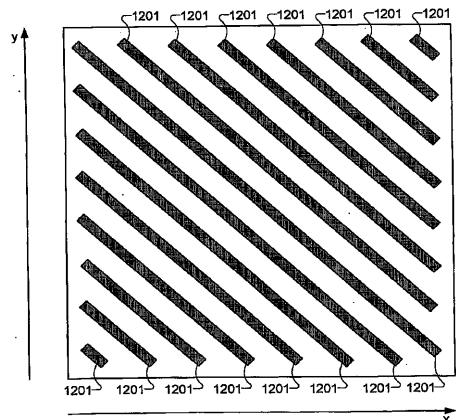


Fig. 12

【図13A】

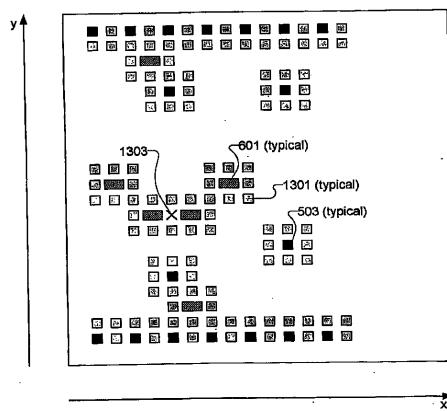


Fig. 13A

【図13B】

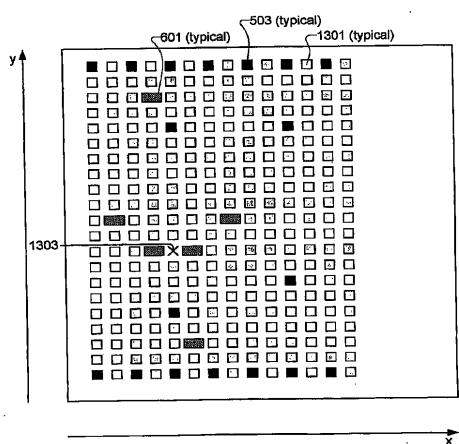


Fig. 13B

【図13C】

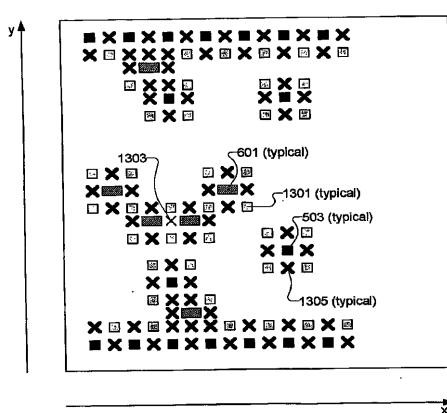


Fig. 13C

【図 13D】

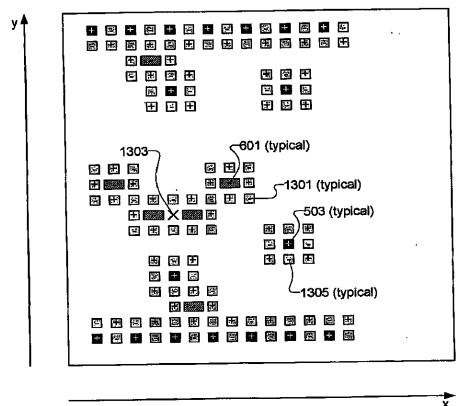


Fig. 13D

【図 14】

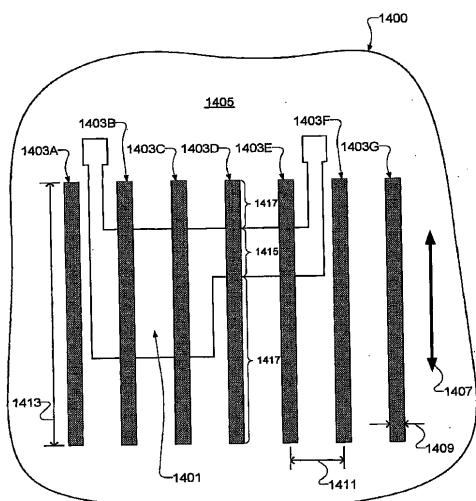


Fig. 14

フロントページの続き

(51)Int.Cl.	F I
H 01 L 29/786 (2006.01)	H 01 L 27/08 3 2 1 A
H 01 L 21/027 (2006.01)	H 01 L 29/78 6 1 3 Z
H 01 L 21/8234 (2006.01)	H 01 L 21/30 5 0 2 P
H 01 L 27/088 (2006.01)	H 01 L 27/08 1 0 2 C
G 03 F 1/68 (2012.01)	G 03 F 1/68

(74)代理人 100121979

弁理士 岩崎 吉信

(72)発明者 ベッカー スコット ティー

アメリカ合衆国 カリフォルニア州 95008 キャンベル キャンベル テクノロジー パークウェイ 655 スイート 150

(72)発明者 スメイリング マイケル シー

アメリカ合衆国 カリフォルニア州 95008 キャンベル キャンベル テクノロジー パークウェイ 655 スイート 150

審査官 平野 崇

(56)参考文献 特開2005-020008(JP, A)

特開2002-026125(JP, A)

特開2005-203447(JP, A)

特開平04-287369(JP, A)

特開昭58-151055(JP, A)

特開2004-327796(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L	2 1 / 0 2 7
H 01 L	2 1 / 8 2
H 01 L	2 1 / 8 2 2
H 01 L	2 1 / 8 2 3 4
H 01 L	2 1 / 8 2 3 8
H 01 L	2 7 / 0 4
H 01 L	2 7 / 0 8 8
H 01 L	2 7 / 0 9 2
H 01 L	2 9 / 7 8 6
G 03 F	1 / 6 8
C i N i i	
J S T P l u s (J D r e a m I I)	