



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I546864 B

(45)公告日：中華民國 105 (2016) 年 08 月 21 日

(21)申請案號：100101623

(22)申請日：中華民國 100 (2011) 年 01 月 17 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/316 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2010/01/30 美國

12/697,235

(71)申請人：國家半導體公司 (美國) NATIONAL SEMICONDUCTOR CORPORATION (US)
美國

(72)發明人：朗達尼 賈瑪 RAMDANI, JAMAL (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 2006/0019435A1

US 2007/0018199A1

審查人員：林士淵

申請專利範圍項數：18 項 圖式數：10 共 21 頁

(54)名稱

具有低漏電流和改善的可靠性的增強型氮化鎵金氧半場效電晶體

ENHANCEMENT-MODE GAN MOSFET WITH LOW LEAKAGE CURRENT AND IMPROVED
RELIABILITY

(57)摘要

具有低漏電流和改善的可靠性的增強型 GaN MOSFET 是藉由利用在 AlGaN(或 InAlGaN)阻擋層上的 SiO₂/Si₃N₄ 閘極絕緣層來形成。在 SiO₂/Si₃N₄ 閘極絕緣層的 Si₃N₄ 部分大大降低在閘極絕緣層和阻擋層之間的交界處的介面態的形成，而 SiO₂/Si₃N₄ 閘極絕緣層的 SiO₂ 部分大大減少了漏電流。

An enhancement-mode GaN MOSFET with a low leakage current and an improved reliability is formed by utilizing a SiO₂/Si₃N₄ gate insulation layer on an AlGaN (or InAlGaN) barrier layer. The Si₃N₄ portion of the SiO₂/Si₃N₄ gate insulation layer significantly reduces the formation of interface states at the junction between the gate insulation layer and the barrier layer, while the SiO₂ portion of the SiO₂/Si₃N₄ gate insulation layer significantly reduces the leakage current.

指定代表圖：

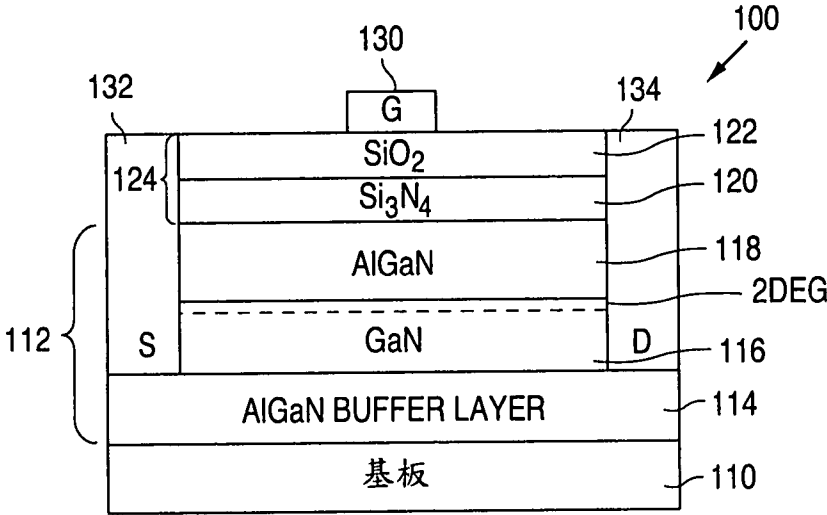


圖 4

- 符號簡單說明：
- 100 . . . GaN MOSFET
 - 110 . . . 基板
 - 112 . . . 磊晶層
 - 114 . . . AlGaN 緩衝層
 - 116 . . . GaN 通道層
 - 118 . . . AlGaN 阻擋層
 - 120 . . . Si₃N₄ 層
 - 122 . . . SiO₂ 層
 - 124 . . . 閘極絕緣層
 - 130 . . . 金屬閘極區域
 - 132 . . . 金屬源極區域
 - 134 . . . 金屬汲極區域

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100101623

H01L 21/336 (2006.01)

※申請日：100.1.17

※IPC 分類：H01L 21/336 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/336 (2006.01)

具有低漏電流和改善的可靠性的增強型氮化鎵金氧半
場效電晶體

ENHANCEMENT-MODE GaN MOSFET WITH LOW
LEAKAGE CURRENT AND IMPROVED RELIABILITY

二、中文發明摘要：

具有低漏電流和改善的可靠性的增強型 GaN MOSFET 是藉由利用在 AlGa_N (或 InAlGa_N) 阻擋層上的 SiO₂/Si₃N₄ 閘極絕緣層來形成。在 SiO₂/Si₃N₄ 閘極絕緣層的 Si₃N₄ 部分大大降低在閘極絕緣層和阻擋層之間的交界處的介面態的形成，而 SiO₂/Si₃N₄ 閘極絕緣層的 SiO₂ 部分大大減少了漏電流。

三、英文發明摘要：

An enhancement-mode GaN MOSFET with a low leakage current and an improved reliability is formed by utilizing a SiO₂/Si₃N₄ gate insulation layer on an AlGa_N (or InAlGa_N) barrier layer. The Si₃N₄ portion of the SiO₂/Si₃N₄ gate insulation layer significantly reduces the formation of interface states at the junction between the gate insulation

12-4-4

layer and the barrier layer, while the SiO_2 portion of the $\text{SiO}_2/\text{Si}_3\text{N}_4$ gate insulation layer significantly reduces the leakage current.

四、指定代表圖：

(一)本案指定代表圖為：圖 4。

(二)本代表圖之元件符號簡單說明：

100：GaN MOSFET

110：基板

112：磊晶層

114：AlGa_N 緩衝層

116：Ga_N 通道層

118：AlGa_N 阻擋層

120：Si₃N₄ 層

122：SiO₂ 層

124：閘極絕緣層

130：金屬閘極區域

132：金屬源極區域

134：金屬汲極區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明涉及 GaN MOSFET，更特別是，一種具有低漏電流和改善的可靠性的增強型 MOSFET。

【先前技術】

GaN MOSFET 是眾所周知的技術，並且應用在高功率、高頻率、高溫度的產品。基於在 GaN 區域之間的異質形成，GaN MOSFET 是典型的（通常被稱為通道層），並且覆蓋的 AlGaIn 區域通常被稱為阻擋層。GaN 通道層和 AlGaIn 阻擋層具有不同的能隙，誘導二維電子氣（2DEG）在 GaN 通道層和 AlGaIn 阻擋層之間的交界處形成，並且向下延伸到 GaN 通道層。二維電子氣（其功能有如電晶體的“通道”）產生高濃度的電子，導致傳統形成的 GaN MOSFET 以耗盡型元件來運作（名義上導通的，當零伏特施加到元件的閘極時，且元件的源極和汲極區域是被不同地偏壓）。

雖然有用於耗盡型 GaN 電晶體的應用，名義上的耗盡型電晶體的狀態在啟動期間需要控制電路的使用，以確保在電晶體內的源極到汲極的傳導不提前開始。另一方面，增強型 GaN MOSFET（名義上關閉的，當零伏特施加到元件的閘極時，元件的源極和汲極區域是被不同地偏壓）並不需要控制電路，因為當零伏特配置在閘極上，電晶體在啟動時名義上為關閉。

但是，要形成增強型 GaN MOSFET，AlGaIn 阻擋層必

須足夠薄（例如，有幾個奈米厚），這樣，當零伏特施加到元件的閘極時，（且元件的源極和汲極區域是被不同地偏壓）實質上是沒有電子存在二維電子氣區域，而當電壓超過臨界電壓時，施加到元件的閘極，（元件的源極和汲極區域是被不同地偏壓），電子積聚在二維電子氣區域並且從源極區域和汲極區域流動。

減少 AlGaIn 阻擋層的厚度有問題的，高階漏電流可以透過 AlGaIn 阻擋層到閘極，其常規實現如同蕭特基接觸。這個問題的解決方案是增加閘極絕緣層，其置於 AlGaIn 阻擋層和閘極之間。

當前一代，增強型 GaN MOSFET 使用各種沈積的氧化物以形成閘極絕緣層。這些沈積的氧化物包括 Al_2O_3 、 HfO_2 、 MgO 、 Gd_2O_3 、 Ga_2O_3 、 ScO_2 和 SiO_2 。在所有這些氧化物中， SiO_2 具有 9 eV 的能隙和對 AlGaIn 的 ΔE_c 可高達 2.5 eV，從而導致最低的漏電流並且臨界電壓高達 250 伏特。

所有這些沈積的氧化物（包括 SiO_2 ）的問題是這些沈積的氧化物具有高密度的介面狀態（例如，大於 $4 \times 10^{11}/\text{cm}^2$ ），導致在閘極絕緣層和 AlGaIn 阻擋層之間的交界處的大量的陷阱點。大量的陷阱點導致閘極絕緣層的崩潰，反過來又降低了 GaN 元件的長期可靠性。因此，具有低漏電流的增強型 GaN MOSFET 是有必要。

【發明內容】

本發明的觀點提供一種具有低漏電流和改善的可靠性

的增強型 GaNMOSFET 是藉由利用在 AlGaN (或 InAlGaN) 阻擋層上的 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 閘極絕緣層來形成。在 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 閘極絕緣層的 Si_3N_4 部分大大降低在閘極絕緣層和阻擋層之間的交界處的介面態的形成，而 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 閘極絕緣層的 SiO_2 部分大大減少了漏電流。

本發明的實施例提供一種形成電晶體的方法，包括：形成阻擋層，該阻擋層包括 AlGaN；形成 Si_3N_4 層，其接觸該阻擋層；形成 SiO_2 層，其接觸該 Si_3N_4 層；以及形成金屬閘極，其接觸並置於該 SiO_2 層上。

本發明的另一個實施例提供一種電晶體，包括：阻擋層，該阻擋層包括 AlGaN； Si_3N_4 層，其接觸該阻擋層； SiO_2 層，其接觸並置於該 Si_3N_4 層上；以及金屬閘極，其接觸該 SiO_2 層並且置於該 SiO_2 層和該 Si_3N_4 層上。

【實施方式】

圖 1 至 4 顯示一系列根據本發明來說明形成一種增強型 GaN MOSFET 100 的方法的範例的橫截面圖。正如下文將詳細介紹，本發明的方法是在 AlGaN 阻擋層（或可選擇 InAlGaN 阻擋層）上形成 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 閘極絕緣層，其大大降低了在閘極絕緣層和阻擋層之間的交界處的介面態形成。介面態密度的降低大大減少陷阱點的數量，反過來，提高了 GaN 元件的長期可靠性。

如圖 1 所示，本發明的方法利用了傳統形成的半導體基板 110。基板 110 可以絕緣基板或高電阻材料，如矽（例

如， $\langle 111 \rangle$ ）、藍寶石或碳化矽來實現。

如同進一步顯示於圖 1 中，本發明的方法藉由在基板 110 上形成磊晶層 112 來開始。採用傳統工藝在有機金屬化學氣相沈積法（MOCVD）反應器中形成的磊晶層 112 包括未摻雜的 AlGa_N 緩衝層 114、未摻雜的 Ga_N 通道層 116 以及未摻雜或 n-摻雜的 AlGa_N 阻擋層 118（也可以是未摻雜或 n-摻雜的 InAlGa_N 阻擋層 118）。AlGa_N 緩衝層 114 又包含了數層具有不同 Al 成分的未摻雜的 AlGa_N，以用於減輕壓力。

如圖 2 所示，根據本發明，在形成磊晶層 112 之後，在同一 MOCVD 反應器中 Si₃N₄ 層 120 直接磊晶生長在 AlGa_N 阻擋層 118 上，其中 AlGa_N 阻擋層 118 生長使用 SiH₄ 和 NH₃。換句話說，在 Si₃N₄ 層 120 是在 AlGa_N 層 118 生長之後且未自 MOCVD 反應器移除具有 AlGa_N 層 118 的基板下磊晶生長。

Si₃N₄ 層 120 最好成長為具有約 10-100nm 的厚度，具體的厚度是依據應用狀態。Si₃N₄ 和 AlGa_N 共用相同的陰離子並且因此產生在 Si₃N₄ 層 120 和 AlGa_N 阻擋層 118 之間的過渡層，其具有非常低密度的介面狀態，例如，預計將低於 $1 \times 10^{11}/\text{cm}^2$ 。

如圖 3 所示，在 Si₃N₄ 層 120 已經成長好之後，部分的 Si₃N₄ 層 120 在蒸氣/濕快速熱氧化過程中氧化，以形成置於 Si₃N₄ 層 120 上的 SiO₂ 層 122。在本發明中，Si₃N₄ 和 SiO₂ 層的結合形成電晶體的閘極絕緣層 124，例如，具有 64 埃

厚的 Si_3N_4 層以及 128 埃厚的 SiO_2 層。 Si_3N_4 層 120 的氧化產生在 Si_3N_4 層 120 和 SiO_2 層 122 之間的過渡層 120，也具有非常低密度的介面狀態。

如圖 4 所示，接著 SiO_2 層 122 形成，該方法藉由在傳統的形式上形成金屬閘極區域 130、金屬源極區域 132 和金屬汲極區域 134 來完成 GaN MOSFET 100 的形成，例如，使用鈦鋁接觸，其藉由覆蓋鈍化層的傳統形成依序。形成金屬閘極區域 130 以接觸閘極絕緣層 124 的 SiO_2 層 122。形成金屬源極 132 和金屬汲極 134 區域以與 GaN 通道層 116 和 AlGaIn 阻擋層 118 做出歐姆接觸。

如上所述，阻擋層的 AlGaIn 和通道層的 GaN 具有不同的能隙，並且傳統地形成以促使二維電子氣（2DEG），其置於 AlGaIn 阻擋層和 GaN 通道層之間的交界，並且向下延伸到 GaN 通道層。

為進一步如上所述，功能為電晶體“通道”的 2DEG 產生高濃度的電子，導致傳統地形成的 GaN MOSFET 是一種耗盡型元件（名義上導通，當零伏特施加到元件的閘極時，並且源極和汲極區域被不同地偏壓）。

因此，形成如圖 4 所示的 GaN MOSFET 100 的增強型元件（名義上關閉，當零伏特施加至金屬閘極區域 130 時，並且金屬源極區域 132 和金屬汲極區域 134 是被不同的偏壓），AlGaIn 阻擋層 118 必須足夠薄（例如，幾個奈米厚），這樣，當零伏特施加至金屬閘極區 130（與金屬源極區域 132 和金屬汲極區域 134 是被不同的偏壓）實質上沒有電子

存在在 2DEG 區域，而當超過臨界電壓的電壓施加於金屬閘極區域 130（與金屬源極區域 132 和金屬汲極區域 134 被不同的偏壓），電子積聚在 2DEG 區域中並且從金屬源極區域 132 流至金屬汲極區域 134。

圖 5 至 9 顯示一系列根據本發明替代實施例來說明形成一種增強型 GaN MOSFET 500 的方法的範例的橫截面。如圖 5 所示，本發明的另一種方法還採用了一種傳統形成的半導體基板 510。如同與基板 110，基板 510 也可以與絕緣基板實現或以高電阻材料，如矽（例如， $\langle 111 \rangle$ ）、藍寶石或碳化矽。

作為進一步顯示於圖 5，本發明的另一種方法藉由以（使用傳統製程在 MOCVD 反應器中）形成磊晶層 112 相同的方式在基板 510 上形成磊晶層 512 來開始。因此，磊晶層 512 包括非摻雜的 AlGa_N 緩衝層 514、未摻雜的 GaN 通道層 516 以及摻雜或 n-摻雜的 AlGa_N 阻擋層 518（也可以是未摻雜或 n-摻雜的 InAlGa_N 阻擋層 518）。AlGa_N 緩衝層 514 又包含了數層具有不同鋁成分的摻雜的 AlGa_N 以減輕壓力。

然而，不相似的 GaN MOSFET 100，形成 AlGa_N 阻擋層 518 以具有傳統（耗盡型）的厚度，並且結果，誘導二維電子氣（2DEG）的形成，其置於在 AlGa_N 阻擋層 518 和 GaN 通道層 516 之間的交界並且向下延伸到 GaN 通道層 516。置於 AlGa_N 阻擋層 518 和 GaN 通道層 516 之間的交界處的 2DEG 產生高濃度的電子。

如圖 6 所示，根據本發明，在磊晶層 512 已經形成之後，形成如一層 SiO_2 的遮罩 520 並在 AlGaN 阻擋層 518 的上表面上圖案化。一旦遮罩 520 已經形成，藉由遮罩 520 來暴露的區域來乾蝕刻。乾蝕刻能阻止置於 GaN 通道層 516 的頂表面處的 2DEG 的最低水平以上、所在處或以下。（圖 6 說明乾蝕刻僅停止在 2DEG 的最低水平以下。）

作為進一步顯示於圖 6，幹蝕刻產生具有暴露區域 524 的中間 MOSFET 結構 522。繼乾蝕刻，中間 MOSFET 結構 522 接下來以 H_2 和 NH_3 在 MOCVD 反應器烘烤以修復由於乾蝕刻所造成的晶格損壞。換言之，在乾蝕刻之後且未自 MOCVD 反應器移除中間 MOSFET 結構 522 下，烘烤中間 MOSFET 結構 522。

如圖 7 所示，在中間 MOSFET 結構 522 已經烘烤之後，薄的未摻雜或 n-摻雜的 AlGaN 阻擋膜 526（或可選擇的薄的未摻雜或 n-摻雜的 InAlGaN 阻擋膜 526）在暴露區域 524 上磊晶生長。薄的 AlGaN 阻擋膜 526 的頂表面可以置在 2DEG 最低水平的上面、所在之處或下面。（圖 7 說明置於 2DEG 最低水平處的 AlGaN 阻擋膜 526 的頂表面。）薄的 AlGaN 阻擋膜 526 具有比 AlGaN 阻擋層 518 的最大厚度還小的厚度。

一旦薄的 AlGaN 阻擋膜 526 已經生長， Si_3N_4 層 530 是直接於薄的 AlGaN 阻擋膜 526 上磊晶生長，以如同使用 SiH_4 和 NH_3 的薄的 AlGaN 阻擋膜 526 的同一 MOCVD 反應器中。換句話說，在 Si_3N_4 層 530 磊晶成長，在薄的 AlGaN 阻擋

膜 526 成長而未從 MOCVD 反應器移除具有薄的 AlGaIn 阻擋膜 526 的結構。(如圖 7 所示, Si_3N_4 層 530 還生長在 AlGaIn 阻擋層 518 的側壁上和在 SiO_2 遮罩 520 上。)

Si_3N_4 層 530 最好成長成在薄的 AlGaIn 膜 526 上具有約 10-100nm 的厚度, 具體的厚度是依據應用狀態。一如以往, 該製程產生在 Si_3N_4 層 530 和薄的 AlGaIn 阻擋層 526 之間的過渡層, 其具有非常低密度的介面狀態, 例如, 預計將低於 $1 \times 10^{11}/\text{cm}^2$ 。

如圖 8 所示, 隨著 Si_3N_4 層 530 的成長, 部分的 Si_3N_4 層 530 在蒸氣/濕快速熱氧化過程中氧化, 以形成置於 Si_3N_4 區域 534 上的 SiO_2 區域 532, 反過來, 其位於薄的 AlGaIn 阻擋膜 526 上。作為進一步顯示於圖 8, AlGaIn 阻擋層 518 橫向鄰近 Si_3N_4 區域 534 來配置。(氧化過程也氧化了置於 SiO_2 遮罩 520 上的 Si_3N_4 層 530, 從而增加 SiO_2 遮罩 520 的厚度。)

在本發明中, Si_3N_4 區域 534 和 SiO_2 區域 532 的結合形成在薄的 AlGaIn 膜 526 上的閘極絕緣層 536, 其具有例如 64 埃厚的 Si_3N_4 區域和 128 埃厚的 SiO_2 區域。如之前一樣, Si_3N_4 層 530 的氧化產生在 Si_3N_4 區域 534 和 SiO_2 區域 532 層之間的過渡層, 其也具有非常低密度的介面狀態。

如圖 9 所示, 隨著 SiO_2 區域 532 的形成, 該方法以傳統的方式藉由形成金屬閘極區域 540、金屬源極區域 542 和金屬汲極區域 544 來完成 GaN MOSFET 500 的形成, 例如, 使用鈦鋁接觸, 其次是覆蓋鈍化層的傳統形成。形成金屬

閘極區域 540 以接觸閘極絕緣層 536 的 SiO_2 區域 532。形成金屬源極 542 和金屬汲極區域 544 以與 GaN 通道層 516 和 AlGaIn 阻擋層 518 作出歐姆接觸。

因此，如圖 9 所示的 GaN MOSFET 500 是以增強型元件（名義關閉當零伏特施加至金屬閘極區域 540 並且金屬源極區域 542 和金屬汲極區域 544 被不同的偏壓）來形成，藉由形成足夠薄的 AlGaIn 阻擋膜 526（例如，幾個奈米厚），這樣，當零伏特施加於金屬閘極區域 540（與金屬源極區域 542 和金屬汲極區域 544 是不同的傾向），實質上沒有電子直接累積在閘極絕緣層 536 和金屬閘極區 540 下，而當超過臨界電壓的電壓施加於金屬閘極區 540（與金屬源極區域 542 和金屬汲極區域 544 被不同的偏壓），電子直接累積在閘極絕緣層 536 和金屬閘極區域 540 下，並且從金屬源極區域 542 流至金屬汲極區域 544。

本發明的優勢是 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 閘極絕緣層的 Si_3N_4 部分大大降低在閘極絕緣層和 AlGaIn 阻擋層（或可選擇的 InAlGaIn 阻擋層）之間的交界處的介面狀態的形成。大大減少了電子可被捕獲的場所的數量以大大地提高了 GaN 元件的長期可靠性。

本發明的進一步優勢是利用 SiO_2 作為 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 閘極絕緣層的覆蓋層，本發明具有最低的漏電流和高達 250 伏特的臨界電壓（即， SiO_2 具有 9 eV 的能隙並且對 AlGaIn 的 ΔE_c 可高達 2.5 伏特）。

根據本發明，圖 10 顯示說明漏電流的能帶圖。如圖 10

所示，能帶陣容表明在閘極氧化物中的有限穿隧，由於介面狀態的低密度和 SiO_2 的寬能帶。此外，從 SiO_2 到 AlGaIn 的有效 ΔE_c 大於 2 eV ，以具有大於 2 V 的臨界電壓 V_t 。

應該理解的是，上述描述是本發明的示範，並且描述於此的各種替代方案可受聘於本發明的實踐。因此，其意圖包括下列申請專利範圍所定義的本發明的範疇並且在這些申請專利範圍和它所覆蓋的等效物的範圍內的結構和方法。

【圖式簡單說明】

圖 1 至 4 是一系列根據本發明來說明形成一種增強型 GaIn MOSFET 100 的方法的範例的橫截面圖。

圖 5 至 9 是一系列根據本發明替代實施例來說明形成一種增強型 GaIn MOSFET 500 的方法的範例的橫截面。

圖 10 是根據本發明來說明漏電流的能帶圖。

【主要元件符號說明】

100： GaIn MOSFET

110：基板

112：磊晶層

114： AlGaIn 緩衝層

116： GaIn 通道層

118： AlGaIn 阻擋層

120： Si_3N_4 層

122 : SiO_2 層
 124 : 閘極絕緣層
 130 : 金屬閘極區域
 132 : 金屬源極區域
 134 : 金屬汲極區域
 500 : GaN MOSFET
 510 : 基板
 512 : 磊晶層
 514 : AlGaIn 緩衝層
 516 : GaN 通道層
 518 : AlGaIn 阻擋層
 520 : 遮罩
 522 : 中間 MOSFET 結構
 524 : 暴露區域
 526 AlGaIn 阻擋膜
 530 : Si_3N_4 層
 532 : SiO_2 區域
 534 : Si_3N_4 區域
 536 : 閘極絕緣層
 540 金屬閘極區域
 542 : 金屬源極區域
 544 : 金屬汲極區域

七、申請專利範圍：

1.一種形成電晶體的方法，包括：

形成通道層，該通道層包括 GaN；

形成阻擋層，該阻擋層包括 AlGaN；

選擇性蝕刻該阻擋層和該通道層以形成暴露區域；

形成 Si_3N_4 層，其接觸該阻擋層；

形成 SiO_2 層，其接觸該 Si_3N_4 層；以及

形成金屬閘極，其接觸並置於該 SiO_2 層上。

2.根據申請專利範圍第 1 項的方法，其中：

該阻擋層在反應器中磊晶生長；以及

在該阻擋層生長之後，未從該反應器中移除該阻擋層下，該 Si_3N_4 層在該反應器中磊晶生長。

3.根據申請專利範圍第 2 項的方法，其中藉由氧化部分的 Si_3N_4 層來形成該 SiO_2 層以接觸該 Si_3N_4 層。

4.根據申請專利範圍第 3 項的方法，進一步包括形成間隔的金屬源極和汲極區域，其接觸到該阻擋層。

5.根據申請專利範圍第 4 項的方法，其中該阻擋層進一步包括鈦。

6.根據申請專利範圍第 4 項的方法，其中該通道層的頂表面接觸該阻擋層的底表面，該通道層包括接觸通道層的頂表面的二維電子氣。

7.根據申請專利範圍第 6 項的方法，進一步包括在該 Si_3N_4 層形成之前形成阻擋膜以接觸該暴露區域，該阻擋膜包括 AlGaN。

8.根據申請專利範圍第 7 項的方法，其中形成該 Si_3N_4 層以接觸並置於該阻擋膜上。

9.根據申請專利範圍第 1 項的方法，進一步包括在該 Si_3N_4 層形成之前形成阻擋膜以接觸該暴露區域，該阻擋膜包括 AlGaIn 。

10.根據申請專利範圍第 9 項的方法，其中形成該 Si_3N_4 層以接觸該阻擋膜。

11.根據申請專利範圍第 10 項的方法，其中該阻擋層進一步包括鈦，並該阻擋膜進一步包括鈦。

12.一種電晶體，包括：

通道層，該通道層包括 GaIn ；

在該通道層上的阻擋層，該阻擋層包括 AlGaIn ；

暴露區域，其中該暴露區域是藉由選擇性蝕刻該阻擋層和該通道層而形成；

Si_3N_4 層，其接觸該阻擋層；

SiO_2 層，其接觸並置於該 Si_3N_4 層上；以及

金屬閘極，其接觸該 SiO_2 層並且置於該 SiO_2 層和該 Si_3N_4 層上。

13.根據申請專利範圍第 12 項的電晶體，進一步包括形成間隔的金屬源極和汲極區域，該些接觸該阻擋層。

14.根據申請專利範圍第 13 項的電晶體，其中該阻擋層進一步包括鈦。

15.根據申請專利範圍第 13 項的電晶體，其中該通道層接觸該阻擋層，該通道層包括接觸通道層的頂表面的二維

電子氣。

16.根據申請專利範圍第 15 項的電晶體，進一步包括接觸並置於該 Si_3N_4 層下的阻擋膜，該阻擋膜具有比該阻擋層的最大厚度還要小的厚度，該阻擋膜包括 AlGaN 。

17.根據申請專利範圍第 16 項的電晶體，其中該阻擋層橫向配置以鄰近該 Si_3N_4 層。

18.根據申請專利範圍第 17 項的電晶體，其中該阻擋層進一步包括銦。

八、圖式：

(如次頁)

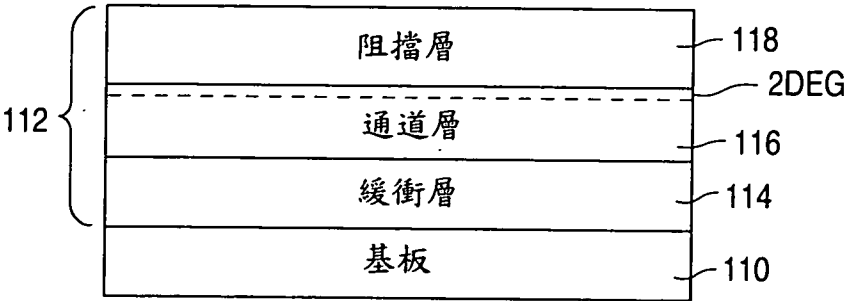


圖 1

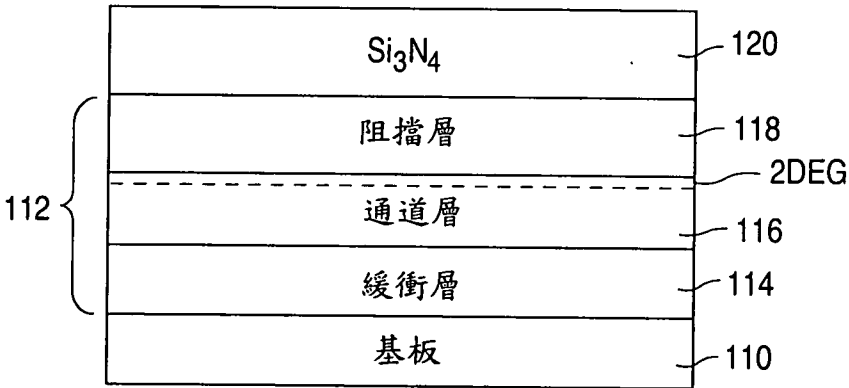


圖 2

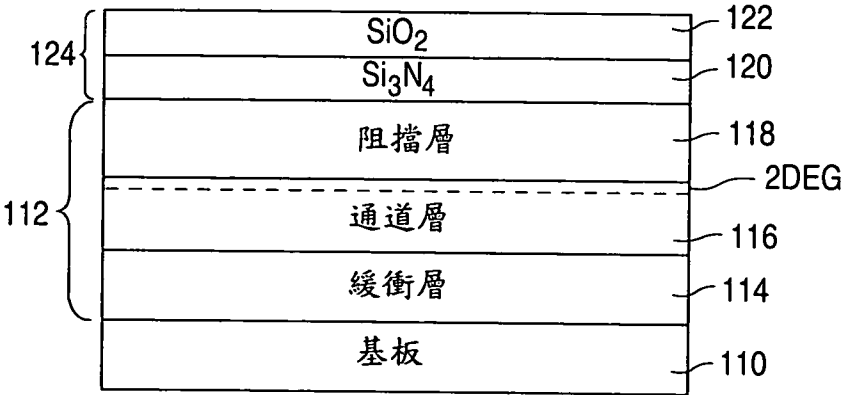


圖 3

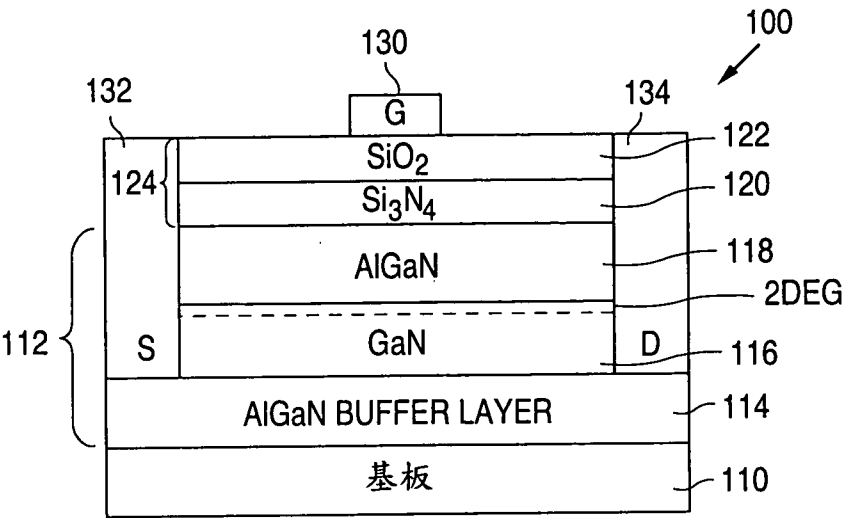


圖 4

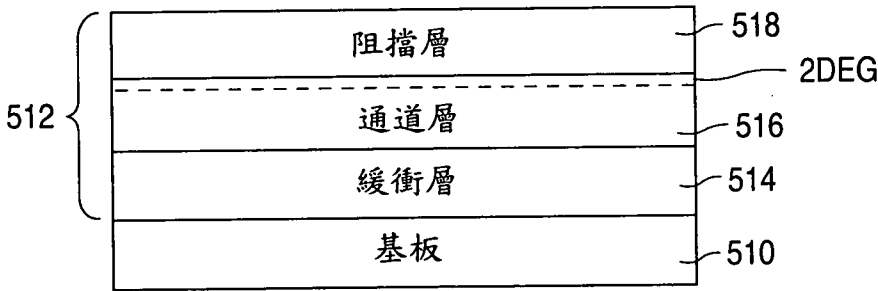


圖 5

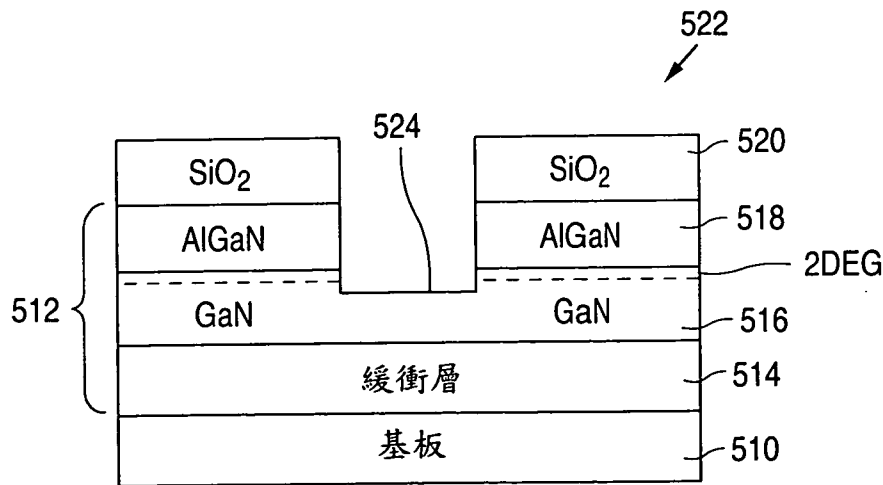


圖 6

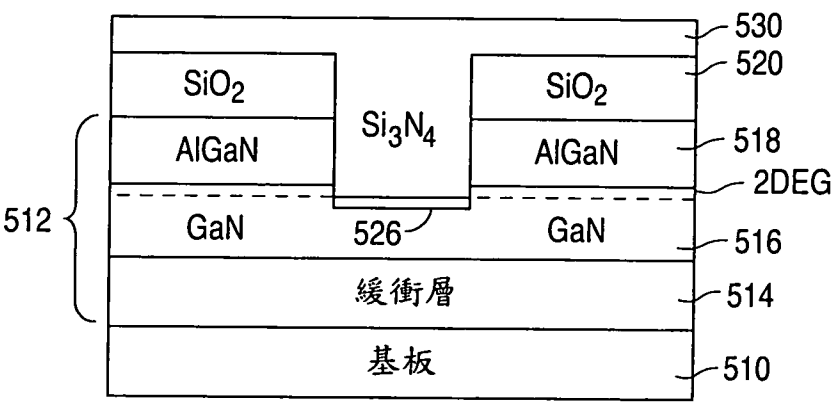


圖 7

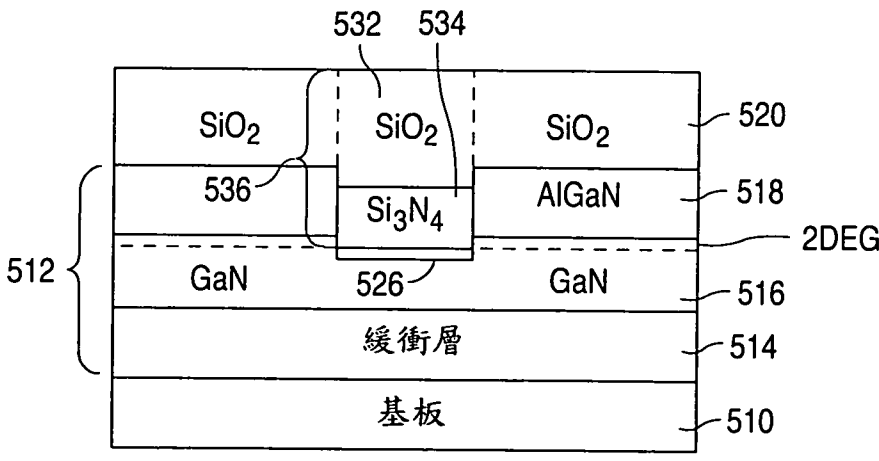


圖 8

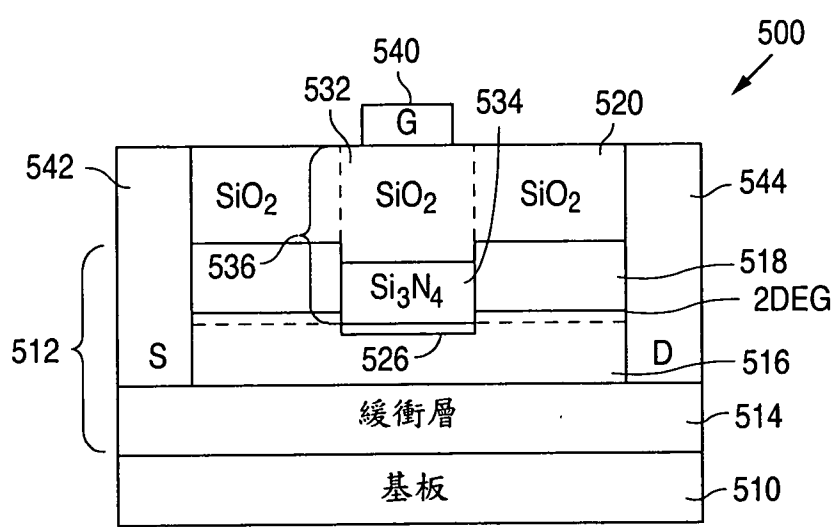


圖9

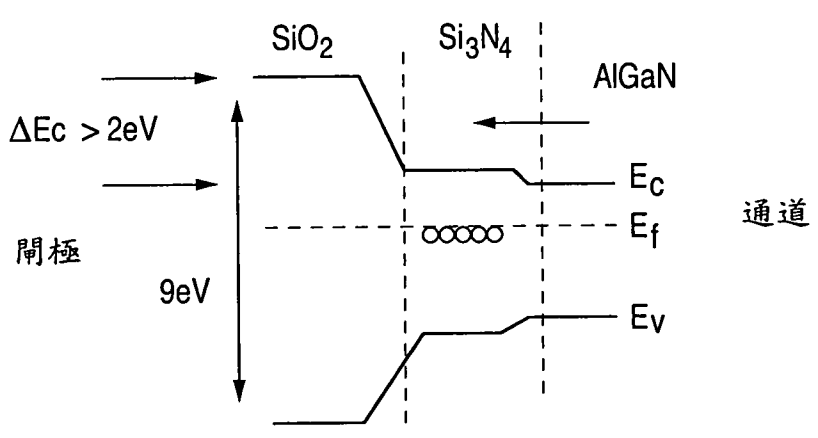


圖10