

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月2日(02.11.2017)



(10) 国際公開番号

WO 2017/187731 A1

(51) 国際特許分類:
H03K 19/0175 (2006.01) *H03K 19/01* (2006.01)

(21) 国際出願番号: PCT/JP2017/006201

(22) 国際出願日: 2017年2月20日(20.02.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-087034 2016年4月25日(25.04.2016) JP

(71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

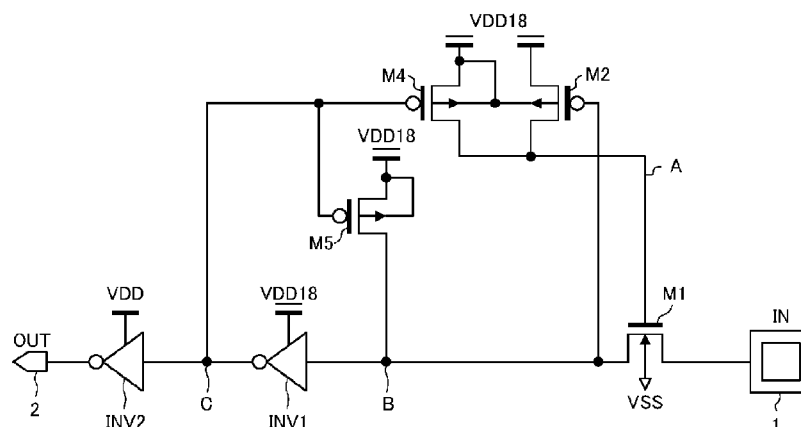
(72) 発明者: 飯田 真久(IIDA Masahisa).

(74) 代理人: 特許業務法人前田特許事務所 (MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

(54) Title: INPUT CIRCUIT

(54) 発明の名称: 入力回路



(57) **Abstract:** In order to suppress signal propagation delay at the falling edge of an input signal, an NMOS transistor (M1) is connected between an input terminal (1) that receives a 3.3 V amplitude signal and an input of an inverter (INV1), a first PMOS transistor (M2) having low drive capability and a second PMOS transistor (M4) having high drive capability are parallel-connected between a power supply terminal (VDD18) that supplies 1.8 V and a gate of the NMOS transistor (M1), a gate of the first PMOS transistor (M2) is connected to the input of the inverter (INV1), and a gate of the second

[続葉有]



ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

PMOS transistor (M4) is connected to an output of the inverter (INV1).

(57) 要約: 入力信号の立ち下がり時における信号伝搬遅延を抑制するように、3.3V振幅の信号を受ける入力端子(1)とインバータ(INV1)の入力との間にNMOSトランジスタ(M1)が接続され、1.8Vを供給する電源端子(VDD18)とNMOSトランジスタ(M1)のゲートとの間に、駆動能力の低い第1のPMOSトランジスタ(M2)と、駆動能力の高い第2のPMOSトランジスタ(M4)とが並列接続され、第1のPMOSトランジスタ(M2)のゲートがインバータ(INV1)の入力に、第2のPMOSトランジスタ(M4)のゲートがインバータ(INV1)の出力にそれぞれ接続されている。

明 細 書

発明の名称： 入力回路

技術分野

[0001] 本開示は、半導体集積回路に好適に用いられる入力回路に関するものである。

背景技術

[0002] 従来、MOS (metal-oxide-semiconductor) トランジスタからなる半導体集積回路にて、電源電圧より大きい振幅を持つ信号を入力できる入力回路が知られている。例えば、入力信号を受ける入力端子と、電源電圧を供給するための電源端子と、インバータと、一端が入力端子に、他端がインバータの入力にそれぞれ接続された信号転送トランジスタとしてのNMOS (NチャネルMOS) トランジスタと、一端が電源端子に、他端がインバータの入力に、ゲートがインバータの出力にそれぞれ接続されたフィードバックトランジスタとしてのPMOS (PチャネルMOS) トランジスタとを備えた入力回路にて、電源電圧の低下トレンドに対応しつつ入力信号の伝搬遅延を抑制できるように、電源端子と信号転送トランジスタのゲートとの間に、ダイオード接続されたNMOSトランジスタと、高抵抗素子と、ダイオード接続されたPMOSトランジスタとを並列接続してなるホールド・クランプ回路を接続したものが知られている (特許文献1 参照)。

先行技術文献

特許文献

[0003] 特許文献1：特開平11-243330号公報

発明の概要

発明が解決しようとする課題

[0004] 上記従来技術では、信号転送トランジスタのゲートの電圧が、常に高抵抗素子により電源電圧に弱くホールドされる。また、入力信号の立ち上がり時に、ダイオード接続されたNMOSトランジスタの電圧クランプ動作により

、ある時点で信号転送トランジスタのゲートの電圧上昇が止められる。入力信号の立ち下がり時には、ダイオード接続されたPMOSトランジスタの電圧クランプ動作により、ある時点で信号転送トランジスタのゲートの電圧下降が止められる。ところが、入力信号の立ち下がり時に、信号転送トランジスタのゲートの電圧が不可避免的に低下することから、入力信号の伝搬遅延が不可避であった。

課題を解決するための手段

- [0005] 本開示は、入力信号の立ち下がり時における信号伝搬遅延を抑制する。
- [0006] 本開示の入力回路は、電源電圧を供給するための電源端子と、電源電圧より大きい振幅を持つ信号が入力される入力端子と、入力と出力とを有する第1のインバータと、ゲートを有しかつ一端が入力端子に、他端が第1のインバータの入力にそれぞれ接続された第1のNMOSトランジスタと、電源端子に接続されたソースと、第1のNMOSトランジスタのゲートに接続されたドレインと、第1のインバータの入力に接続されたゲートとを有する第1のPMOSトランジスタと、電源端子に接続されたソースと、第1のNMOSトランジスタのゲートに接続されたドレインと、第1のインバータの出力に接続されたゲートとを有する第2のPMOSトランジスタとを備え、第2のPMOSトランジスタの駆動能力は、第1のPMOSトランジスタの駆動能力よりも高いことを特徴とする。

発明の効果

- [0007] 本開示によれば、入力信号の立ち上がり時には、第1のインバータの入力がLレベルであるため、駆動能力の低い第1のPMOSトランジスタがオン状態になることにより、第1のNMOSトランジスタのゲートの電圧が、電源電圧と実質的に等しい電圧に弱くホールドされる。したがって、入力信号の立ち上がり時には第1のNMOSトランジスタのゲートの電圧が一時的に高くなり得て、入力回路の高速動作が実現できる。一方、入力信号の立ち下がり時には、第1のインバータの出力がLレベルであるため、駆動能力の高い第2のPMOSトランジスタがオン状態になることにより、第1のNMO

Sトランジスタのゲートの電圧が、電源電圧と実質的に等しい電圧に強くホールドされる。したがって、入力信号の立ち下がり時には第1のNMOSトランジスタのゲートの電圧が不変となる結果、信号伝搬遅延が抑制される。

図面の簡単な説明

[0008] [図1]第1の実施形態に係る入力回路を示す回路図である。

[図2]図1の入力回路の動作を示すタイムチャートである。

[図3]図1の変形例を示す回路図である。

[図4]第2の実施形態に係る入力回路を示す回路図である。

[図5]図4の第1変形例を示す回路図である。

[図6]図4の第2変形例を示す回路図である。

発明を実施するための形態

[0009] 以下、本開示の2つの実施形態を、図面を参照しながら説明する。

[0010] 《第1の実施形態》

図1は、第1の実施形態に係る入力回路を示す回路図である。図1の入力回路は、3.3V振幅の入力信号INを受ける入力端子1と、0.9V振幅の出力信号OUTを出力するための出力端子2と、1.8V電源電圧を供給するための電源端子VDD18と、第1のNMOSトランジスタM1と、第1のPMOSトランジスタM2と、第2のPMOSトランジスタM4と、第3のPMOSトランジスタM5と、第1のインバータINV1と、第2のインバータINV2とを備えている。第1のNMOSトランジスタM1は、ソースが入力端子1に、ドレインが第1のPMOSトランジスタM2のゲート、第3のPMOSトランジスタM5のドレイン及び第1のインバータINV1の入力に、ゲートが第1及び第2のPMOSトランジスタM2、M4の各々のドレインに、バックゲートが接地電位VSSにそれぞれ接続されている。第1のPMOSトランジスタM2のソース及びバックゲートは、電源端子VDD18に接続されている。第2のPMOSトランジスタM4は、ソース及びバックゲートが電源端子VDD18に、ゲートが第3のPMOSトランジスタM5のゲート、第1のインバータINV1の出力及び第2のインバー

タ I N V 2 の入力にそれぞれ接続されている。第 3 の P M O S トランジスタ M 5 のソース及びバックゲートは、電源端子 V D D 1 8 に接続されている。第 2 のインバータ I N V 2 の出力は、出力端子 2 に接続されている。第 1 のインバータ I N V 1 は電源端子 V D D 1 8 から供給される 1. 8 V の電圧により、第 2 のインバータ I N V 2 は 0. 9 V 内部電源電圧 V D D によりそれぞれ駆動される。ここで、第 1 の N M O S トランジスタ M 1、第 1、第 2 及び第 3 の P M O S トランジスタ M 2、M 4、M 5、並びに、第 1 及び第 2 のインバータ I N V 1、I N V 2 は、いずれも 1. 8 V 耐圧 M O S トランジスタ、すなわちそのゲート酸化膜の耐圧が約 1. 8 V である M O S トランジスタで構成されている。しかも、第 2 の P M O S トランジスタ M 4 の駆動能力が第 1 の P M O S トランジスタ M 2 の駆動能力よりも高くなるように、第 2 の P M O S トランジスタ M 4 のゲート幅は、第 1 の P M O S トランジスタ M 2 のゲート幅よりも大きく設定されている。

[0011] 以下の説明では、第 1 の N M O S トランジスタ M 1 のゲートと、第 1 及び第 2 の P M O S トランジスタ M 2、M 4 の各々のドレインとの接続ノードを、ノード A という。また、第 1 の N M O S トランジスタ M 1 のドレインと、第 1 の P M O S トランジスタ M 2 のゲートと、第 3 の P M O S トランジスタ M 5 のドレインと、第 1 のインバータ I N V 1 の入力との接続ノードを、ノード B という。更に、第 2 及び第 3 の P M O S トランジスタ M 4、M 5 の各々のゲートと、第 1 のインバータ I N V 1 の出力と、第 2 のインバータ I N V 2 の入力との接続ノードを、ノード C という。

[0012] 図 2 は、図 1 の入力回路の動作を示すタイムチャートである。時刻 t 1 以前の初期状態では、入力信号 I N の電圧が 0 V、ノード A の電圧が 1. 8 V、ノード B の電圧が 0 V、ノード C の電圧が 1. 8 V、出力信号 O U T の電圧が 0 V である。このとき、第 1 の P M O S トランジスタ M 2 はオン状態、第 2 及び第 3 の P M O S トランジスタ M 4、M 5 はともにオフ状態である。

[0013] まず、入力信号 I N の立ち上がり時の動作を説明する。時刻 t 1 にて、入力信号 I N が立ち上がりを開始する。すると、オン状態の第 1 の N M O S ト

ランジスタM1のゲート酸化膜の容量及び同ランジスタのソース・ゲート間のカップリング容量の作用により、ノードAの電圧が上昇する。ここで、MOSトランジスタの閾値を V_t とすると、第1及び第2のPMOSトランジスタM2, M4の各々のドレイン・基板間に存在する寄生ダイオードの電圧クランプ動作により、ノードAの電圧上昇は $1.8V + V_t$ で止まる。また、このようにしてノードAの電圧、すなわち第1のNMOSトランジスタM1のゲートの電圧が $1.8V + V_t$ まで上がることににより、ノードBの電圧は、 $1.8V + V_t - V_t = 1.8V$ まで素早く上昇する。ノードBの電圧上昇を受けて、第1のインバータINV1の作用により、ノードCの電圧は時刻 t_2 に下降を開始して、直ちに0Vに至る。また、第1のPMOSトランジスタM2は、オン状態からオフ状態へ移行する。一方、ノードCの電圧下降を受けて、第2のインバータINV2の作用により、出力信号OUTの電圧は時刻 t_3 に上昇を開始して、直ちに0.9Vに至る。一方、第2及び第3のPMOSトランジスタM4, M5は、ともにオフ状態からオン状態へ移行する。その結果、第2のPMOSトランジスタM4によりノードAの電圧が1.8Vまで引き下げられるとともに、第3のPMOSトランジスタM5がノードBの電圧を1.8Vにホールドする。

[0014] 出力信号OUTが立ち上がった後の定常状態では、入力信号INの電圧が3.3V、ノードAの電圧が1.8V、ノードBの電圧が1.8V、ノードCの電圧が0V、出力信号OUTの電圧が0.9Vである。このとき、第1のPMOSトランジスタM2はオフ状態、第2及び第3のPMOSトランジスタM4, M5はともにオン状態である。

[0015] 次に、入力信号INの立ち下がり時の動作を説明する。時刻 t_4 にて、入力信号INが立ち下がりを開始する。すると、オフ状態の第1のNMOSトランジスタM1のソース・ゲート間のカップリング容量の作用によりノードAの電圧が下降しようとするが、第2のPMOSトランジスタM4の駆動能力が大きいため、ノードAの電圧はほぼ1.8Vを維持する。一方、第1のNMOSトランジスタM1に導電チャンネルが形成されるので、ノードBの

電圧は、入力信号 I N の立ち下がり を反映するように下降を開始して、0 V に至る。ノード B の電圧下降を受けて、第 1 のインバータ I N V 1 の作用により、ノード C の電圧は上昇を開始して、直ちに 1.8 V に至る。また、第 1 の P M O S トランジスタ M 2 は、オフ状態からオン状態へ移行するので、ノード A の電圧を 1.8 V にホールドするように作用する。一方、ノード C の電圧上昇を受けて、第 2 のインバータ I N V 2 の作用により、出力信号 O U T の電圧は時刻 t 5 に下降を開始して、直ちに 0 V に至る。一方、第 2 及び第 3 の P M O S トランジスタ M 4 , M 5 は、ともにオン状態からオフ状態へ移行する。第 2 の P M O S トランジスタ M 4 がオフ状態へ移行しても、ノード A の電圧は、第 1 の P M O S トランジスタ M 2 によって既に 1.8 V にホールドされているため不変である。

[0016] 以上のように、時刻 t 3 以前の期間と、時刻 t 5 以後の期間では、ノード C の電圧が H レベル (= 1.8 V) であって、駆動能力の高い第 2 の P M O S トランジスタ M 4 がオフ状態になる一方、ノード B の電圧が L レベル (= 0 V) であるため、駆動能力の低い第 1 の P M O S トランジスタ M 2 がオン状態になることにより、ノード A の電圧が 1.8 V に弱くホールドされる。したがって、入力信号 I N の立ち上がり時にノード A の電圧が一時的に 1.8 V よりも高くなり、入力回路の高速動作が実現できる。

[0017] 一方、時刻 t 3 から時刻 t 5 までの期間では、ノード C の電圧が L レベル (= 0 V) であって、駆動能力の高い第 2 の P M O S トランジスタ M 4 がオン状態になることにより、ノード A の電圧が 1.8 V に強くホールドされる。したがって、入力信号 I N の立ち下がり時にはノード A の電圧が 1.8 V のまま不変となる結果、信号伝搬遅延が抑制される。

[0018] なお、第 1 の P M O S トランジスタ M 2 と第 2 の P M O S トランジスタ M 4 との駆動能力の差は、前述のようにゲート幅の差で実現できるほか、第 1 の P M O S トランジスタ M 2 の駆動能力を低減するように、第 1 の P M O S トランジスタ M 2 を複数の P M O S トランジスタの直列接続に置き換えることで実現してもよい。

[0019] 図3は、図1の変形例を示す回路図である。図3では、図1中の第1のPMOSトランジスタM2が、複数のPMOSトランジスタM2a, M2b, M2cの直列接続に置き換えられている。これら複数のPMOSトランジスタM2a, M2b, M2cは、各々第2のPMOSトランジスタM4のゲート幅と実質的に同等のゲート幅を有し、かつ各々のゲートがノードBに共通接続されている。これらのPMOSトランジスタM2a, M2b, M2cもまた、1.8V耐圧MOSトランジスタである。

[0020] 《第2の実施形態》

図4は、第2の実施形態に係る入力回路を示す回路図である。図4の構成は、図1の構成に、ダイオード接続された第4のPMOSトランジスタM3を追加したものである。第4のPMOSトランジスタM3は、ソースがノードAに、ドレイン、ゲート及びバックゲートが電源端子VDD18にそれぞれ接続されている。この第4のPMOSトランジスタM3もまた、1.8V耐圧MOSトランジスタである。

[0021] 第2の実施形態によれば、入力信号INの立ち上がり時にノードAの電圧上昇を $1.8V + V_t$ までに抑える電圧クランプ動作を、ダイオード接続された第4のPMOSトランジスタM3が行う。第1の実施形態に比べて、クランプ専用素子として第4のPMOSトランジスタM3を追加したことにより、設計の自由度が増す。

[0022] 図5は、図4の第1変形例を示す回路図である。図5では、図4中の第1のPMOSトランジスタM2が、複数のPMOSトランジスタM2a, M2b, M2cの直列接続に置き換えられている。これら複数のPMOSトランジスタM2a, M2b, M2cは、各々第2のPMOSトランジスタM4のゲート幅と実質的に同等のゲート幅を有し、かつ各々のゲートがノードBに共通接続されている。これらのPMOSトランジスタM2a, M2b, M2cもまた、1.8V耐圧MOSトランジスタである。

[0023] 電圧クランプ動作は、ダイオード接続されたPMOSトランジスタで実現できるほか、ダイオード接続されたNMOSトランジスタでも実現できる。

[0024] 図6は、図4の第2変形例を示す回路図である。図6では、図4中のダイオード接続された第4のPMOSトランジスタM3が、ダイオード接続された第2のNMOSトランジスタM3aに置き換えられている。第2のNMOSトランジスタM3aは、ドレインがノードAに、ドレイン及びゲートが電源端子VDD18に、バックゲートが接地電位にそれぞれ接続されている。この第2のNMOSトランジスタM3aもまた、1.8V耐圧MOSトランジスタである。

[0025] なお、図6中の第1のPMOSトランジスタM2を、複数のPMOSトランジスタの直列接続に置き換えることも可能である。

産業上の利用可能性

[0026] 以上説明してきたように、本開示に係る入力回路は、入力信号の立ち下がり時における信号伝搬遅延を抑制できる効果を有し、半導体集積回路に好適に用いられる入力回路等として有用である。

符号の説明

- [0027] 1 入力端子
2 出力端子
A, B, C ノード
IN 入力信号 (3.3V 振幅)
INV1 第1のインバータ
INV2 第2のインバータ
M1 第1のNMOSトランジスタ
M2 第1のPMOSトランジスタ
M2a, M2b, M2c 第1のPMOSトランジスタ
M3 第4のPMOSトランジスタ
M3a 第2のNMOSトランジスタ
M4 第2のPMOSトランジスタ
M5 第3のPMOSトランジスタ
OUT 出力信号 (0.9V 振幅)

VDD 0.9 V 内部電源電圧

VDD18 1.8 V 電源電圧（電源端子）

VSS 接地電位（0 V）

請求の範囲

[請求項1]

電源電圧を供給するための電源端子と、
前記電源電圧より大きい振幅を持つ信号が入力される入力端子と、
入力と、出力とを有する第1のインバータと、
ゲートを有し、かつ一端が前記入力端子に、他端が前記第1のインバータの入力にそれぞれ接続された第1のNMOSトランジスタと、
前記電源端子に接続されたソースと、前記第1のNMOSトランジスタのゲートに接続されたドレインと、前記第1のインバータの入力に接続されたゲートとを有する第1のPMOSトランジスタと、
前記電源端子に接続されたソースと、前記第1のNMOSトランジスタのゲートに接続されたドレインと、前記第1のインバータの出力に接続されたゲートとを有する第2のPMOSトランジスタとを備え、
前記第2のPMOSトランジスタの駆動能力は、前記第1のPMOSトランジスタの駆動能力よりも高いことを特徴とする入力回路。

[請求項2]

請求項1記載の入力回路において、
前記電源端子に接続されたソースと、前記第1のインバータの入力に接続されたドレインと、前記第1のインバータの出力に接続されたゲートとを有する第3のPMOSトランジスタを更に備えたことを特徴とする入力回路。

[請求項3]

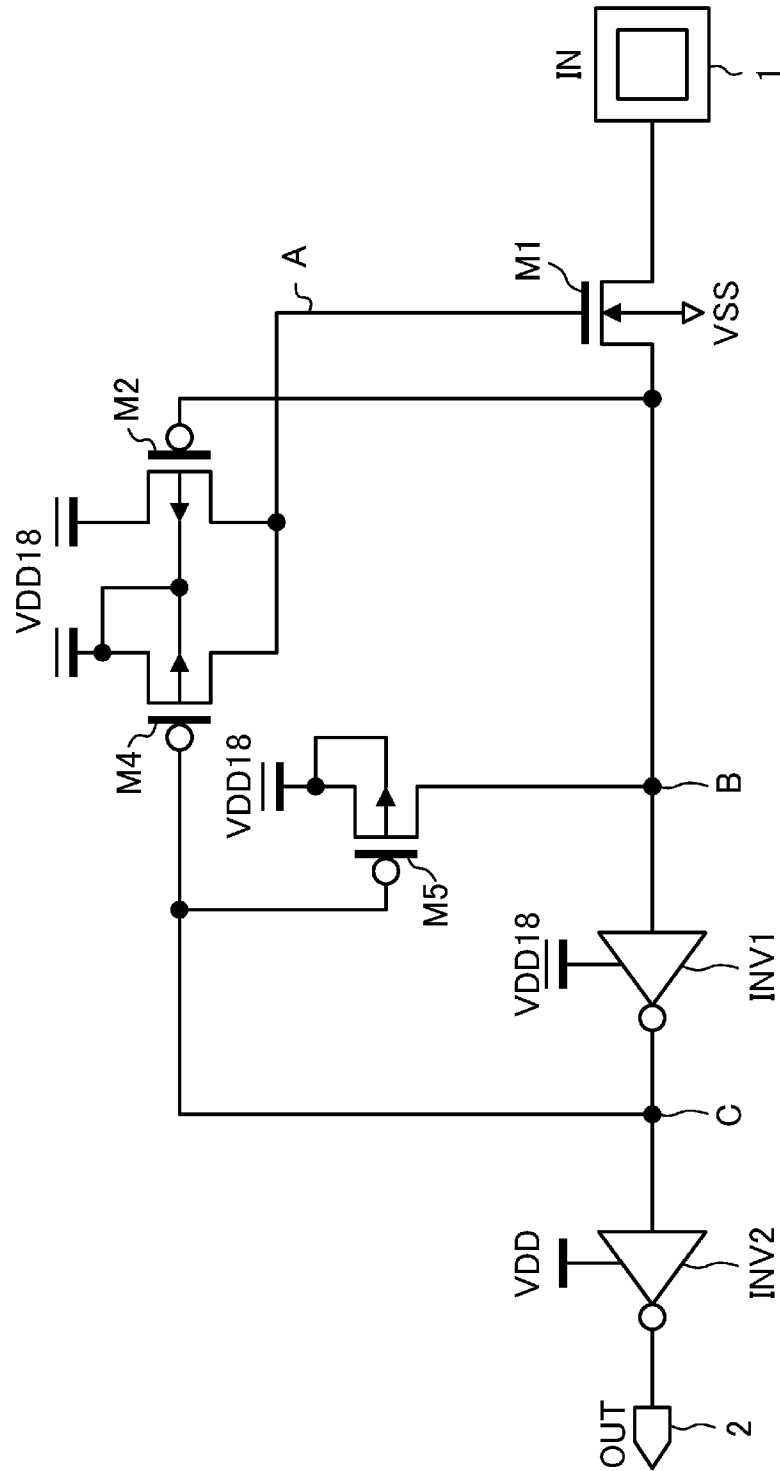
請求項1記載の入力回路において、
前記第2のPMOSトランジスタのゲート幅は、前記第1のPMOSトランジスタのゲート幅よりも大きいことを特徴とする入力回路。

[請求項4]

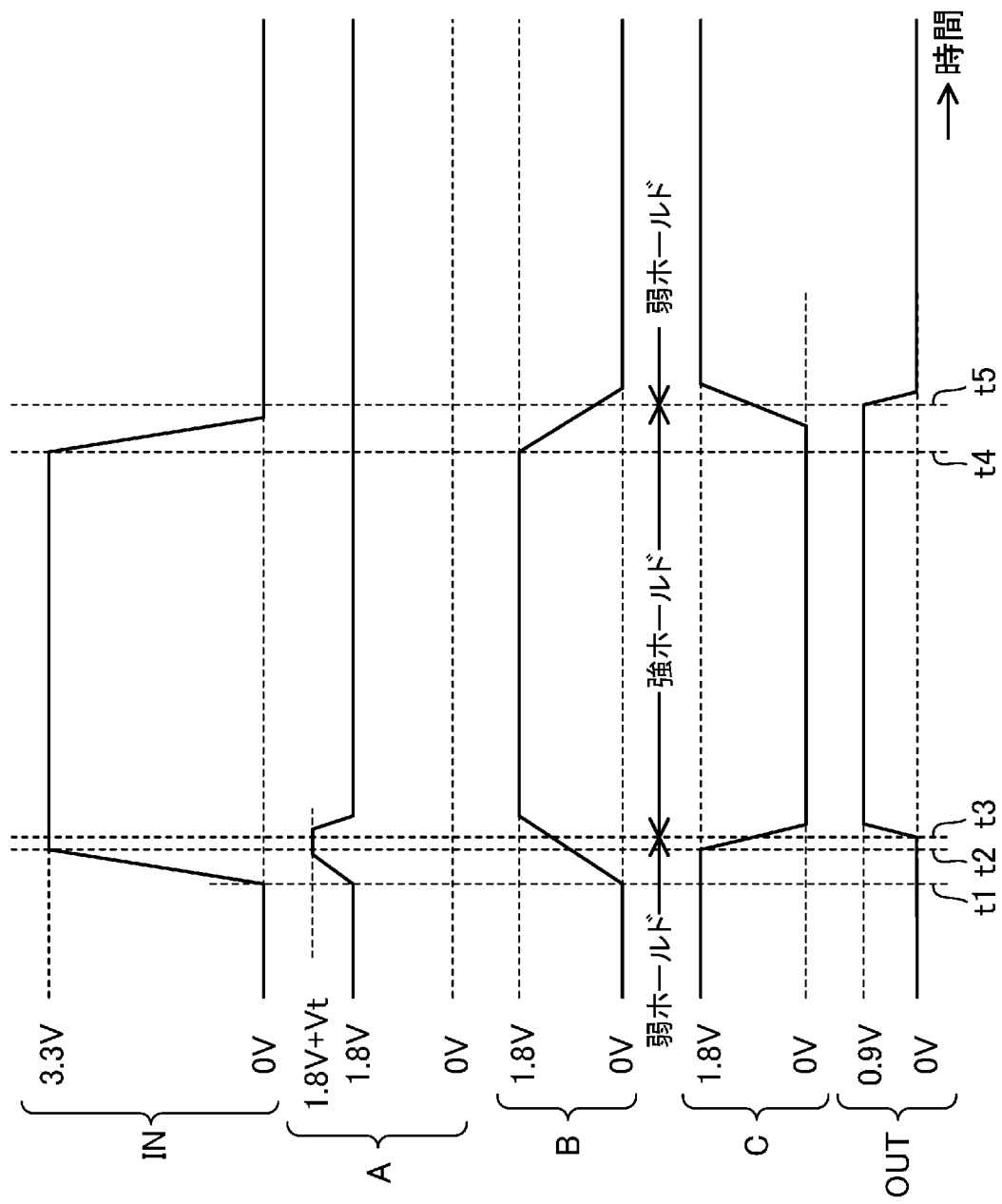
請求項1記載の入力回路において、
前記第1のPMOSトランジスタは、各々前記第2のPMOSトランジスタのゲート幅と実質的に同等のゲート幅を有し、かつ各々のゲートが前記第1のインバータの入力に接続された複数のPMOSトランジスタの直列接続からなることを特徴とする入力回路。

- [請求項5] 請求項1記載の入力回路において、
前記第1のインバータの出力に接続された入力を有し、かつ前記第1のインバータに供給される前記電源電圧よりも低い内部電源電圧で駆動される第2のインバータを更に備えたことを特徴とする入力回路。
- [請求項6] 請求項1記載の入力回路において、
前記第1のNMOSトランジスタのゲートに接続されたソースと、前記電源端子とともに接続されたドレイン及びゲートとを有する第4のPMOSトランジスタを更に備えたことを特徴とする入力回路。
- [請求項7] 請求項1記載の入力回路において、
前記電源端子に接続されたソースと、前記第1のNMOSトランジスタのゲートとともに接続されたドレイン及びゲートとを有する第2のNMOSトランジスタを更に備えたことを特徴とする入力回路。

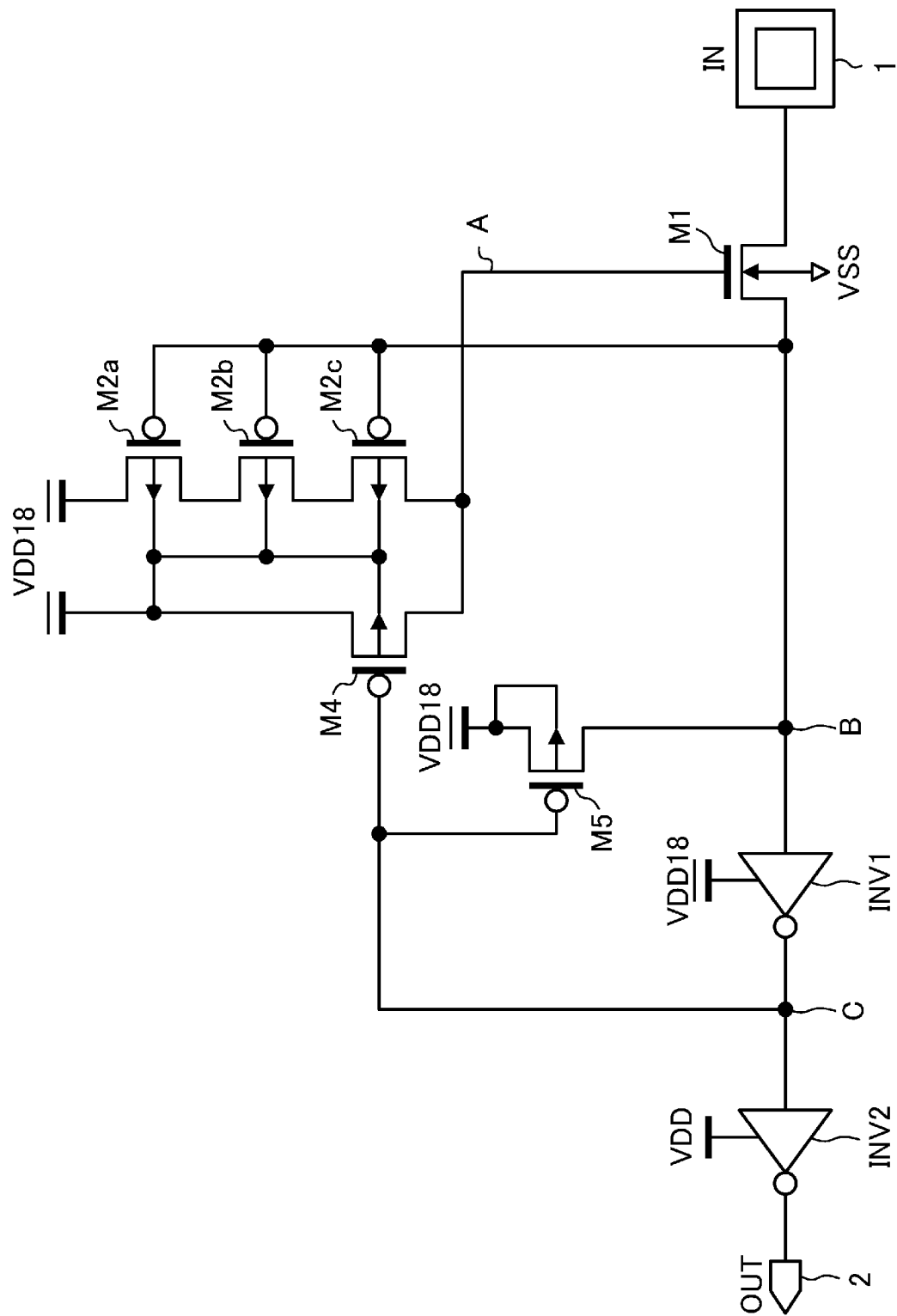
[図1]



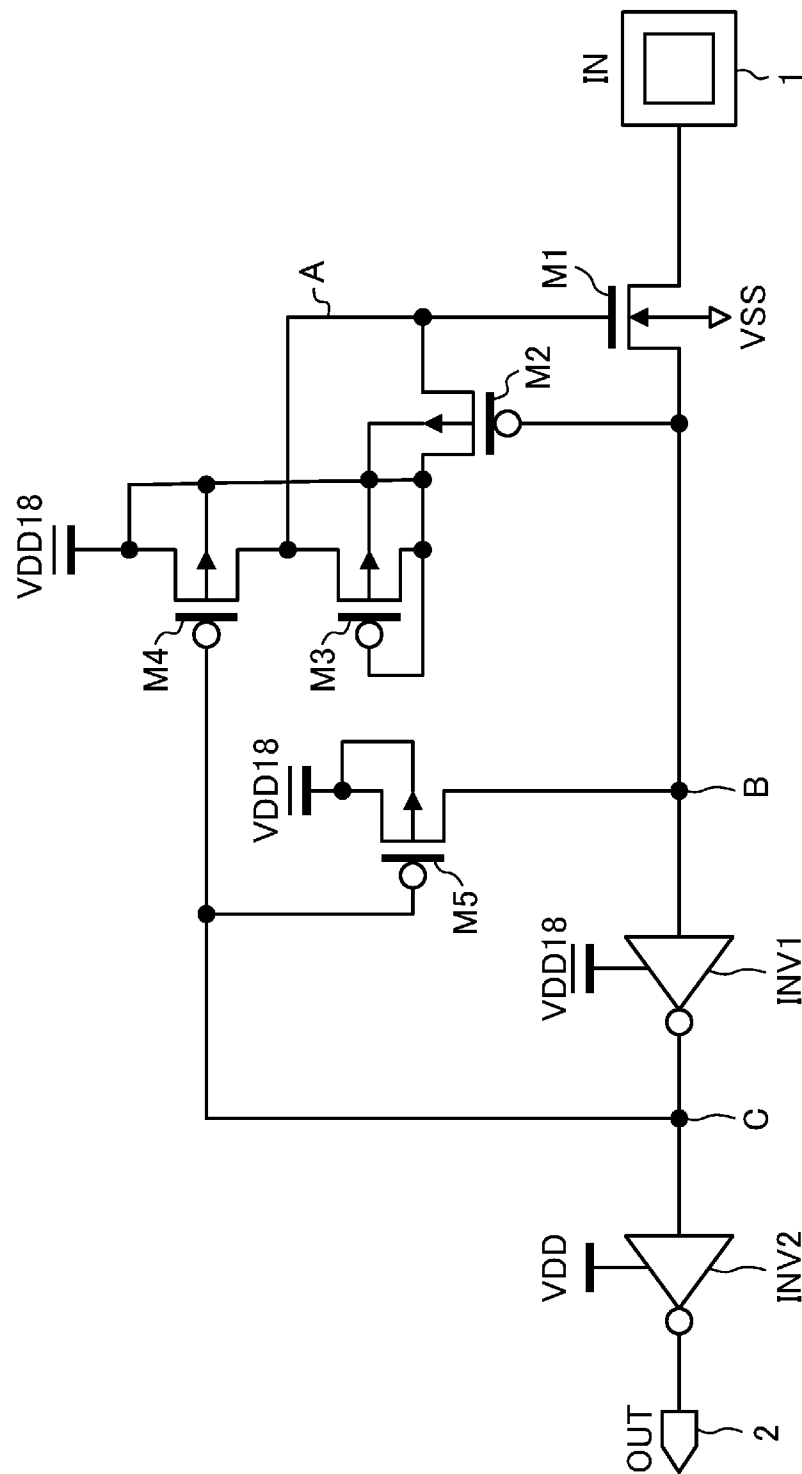
[図2]



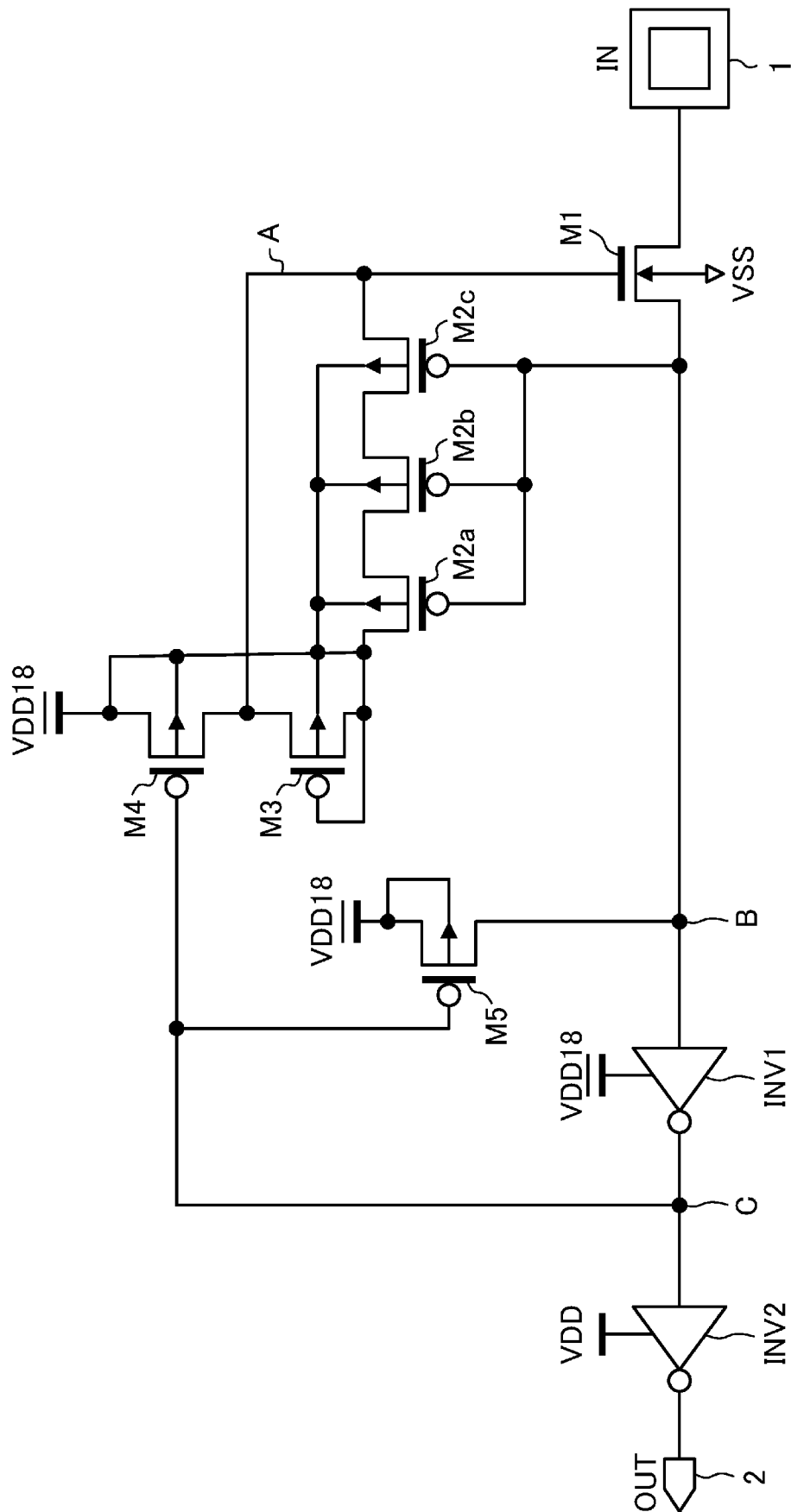
[図3]



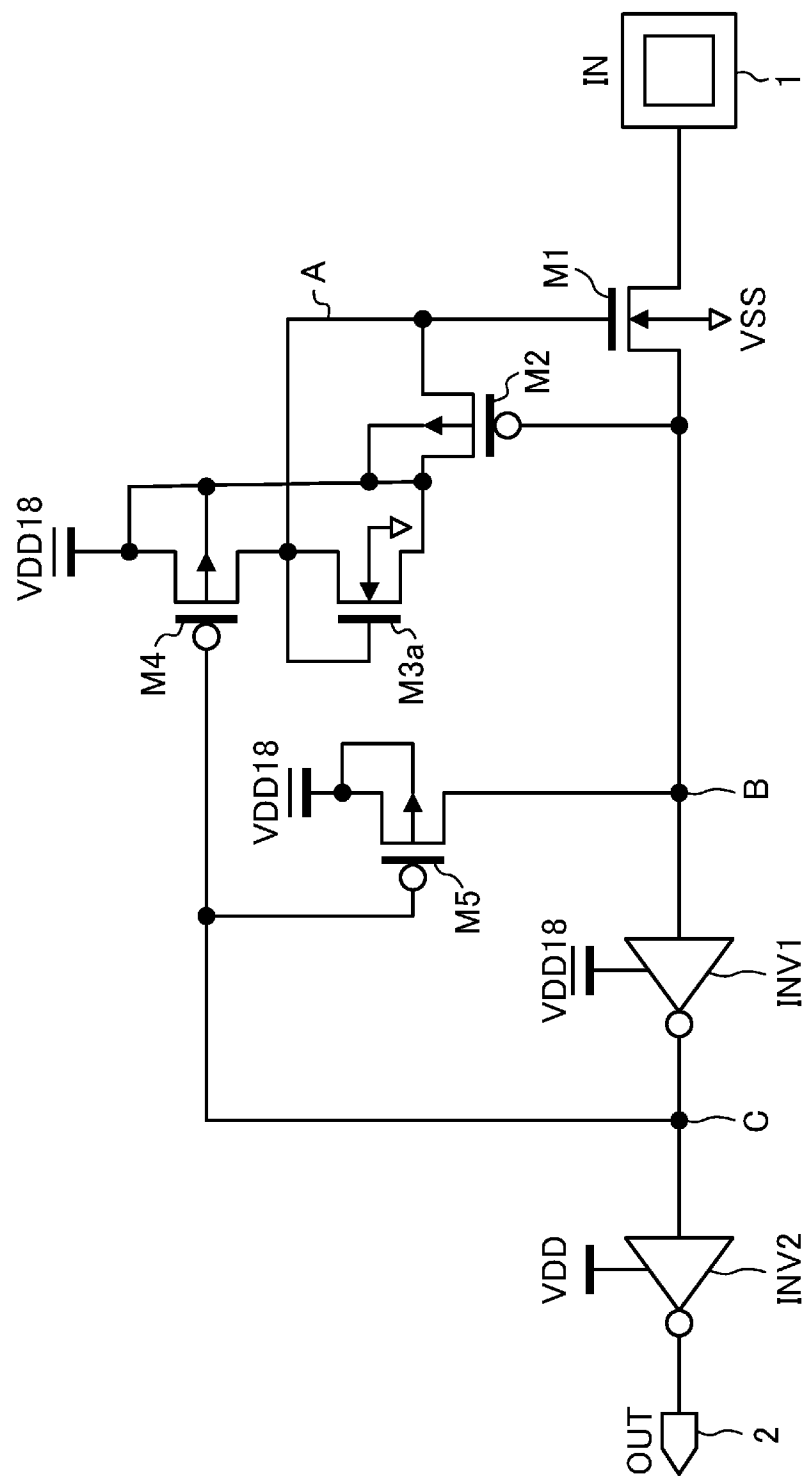
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006201

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/0175(2006.01)i, H03K19/01(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/0175, H03K19/01

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-251176 A (Matsushita Electric Industrial Co., Ltd.), 14 September 2001 (14.09.2001), (Family: none)	1-7
A	JP 11-243330 A (Matsushita Electric Industrial Co., Ltd.), 07 September 1999 (07.09.1999), & US 6194943 B1	1-7
A	JP 09-121150 A (Hewlett-Packard Co.), 06 May 1997 (06.05.1997), & US 5646809 A	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 May 2017 (02.05.17)

Date of mailing of the international search report
16 May 2017 (16.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K19/0175(2006.01)i, H03K19/01(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K19/0175, H03K19/01

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-251176 A (松下電器産業株式会社) 2001.09.14 (ファミリーなし)	1-7
A	JP 11-243330 A (松下電器産業株式会社) 1999.09.07 & US 6194943 B1	1-7
A	JP 09-121150 A (ヒューレット・パカード・カンパニー) 1997.05.06 & US 5646809 A	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

02.05.2017

国際調査報告の発送日

16.05.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 亮

5W

3363

電話番号 03-3581-1101 内線 3576