



(12) 发明专利

(10) 授权公告号 CN 101377959 B

(45) 授权公告日 2012. 01. 04

(21) 申请号 200710147207. 1

US 6388929 B1, 2002. 05. 14, 全文 .

(22) 申请日 2007. 08. 30

US 7254078 B1, 2007. 08. 07, 全文 .

(73) 专利权人 晶豪科技股份有限公司

审查员 孙薇薇

地址 中国台湾新竹市

(72) 发明人 陈宗仁

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 王志森 黄小临

(51) Int. Cl.

G11C 29/44 (2006. 01)

G11C 17/16 (2006. 01)

(56) 对比文件

CN 1076300 A, 1993. 09. 15, 全文 .

US 6920073 B2, 2005. 07. 19, 全文 .

CN 1855300 A, 2006. 11. 01, 全文 .

CN 1089747 A, 1994. 07. 20, 全文 .

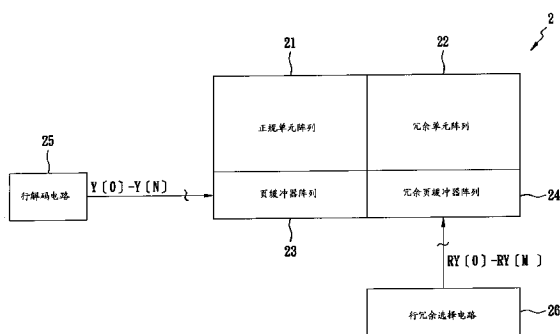
权利要求书 3 页 说明书 15 页 附图 19 页

(54) 发明名称

冗余位线修复的选择方法及其装置

(57) 摘要

本发明揭示一种冗余位线修复的选择方法, 该方法包含下列步骤: 于正规单元阵列中提供多个存储器区块的逻辑地址; 产生多个附加熔丝信号; 根据该各熔丝信号的状态产生一代码, 且该代码对应于该存储器区块的缺陷状态; 以及根据该代码于冗余单元阵列中选择出多个冗余区块取代该存储器区块。该装置包含: 一冗余修复启用电路, 用以根据该存储器区块的逻辑地址产生一冗余启用信号; 一控制熔丝电路, 用以传送一对应于该存储器区块缺陷状态的代码; 以及一冗余解码器电路, 接收该冗余启用信号以及根据该代码来使冗余区块取代该正规单元阵列中的存储器区块。



1. 一种冗余位线修复装置,于一具有多个存储器区块的正规单元阵列以及一具有多个冗余区块的冗余单元阵列中执行位线修复,该装置包含:

一冗余修复启用电路,根据该存储器区块的逻辑地址产生一冗余启用信号,该冗余修复启用电路包含:

一启用熔丝电路,用以产生一启用熔丝信号,

多个熔丝状态电路,用以产生多个熔丝状态信号,以及

一冗余启用电路,接收该启用熔丝信号、该熔丝状态信号以及该存储器区块的逻辑地址来产生该冗余启用信号;

一控制熔丝电路,用以传递一对应该存储器区块的缺陷状态的代码,其中该缺陷状态为二邻接缺陷存储器区块、三邻接缺陷存储器区块、四邻接缺陷存储器区块以及二邻接缺陷存储器区块加上另二邻接缺陷存储器区块中的任一者,该控制熔丝电路可产生多个附加熔丝信号,且该代码通过该多个附加熔丝信号的状态组合来决定;

一冗余解码电路,接收该冗余启用信号以及该代码,用以于该冗余单元阵列中选出多个冗余区块来取代该正规单元阵列中的多个存储器区块,该冗余解码电路包含:

多个第一编码电路,用以根据多个附加熔丝信号来产生多个第一信号,

多个第四编码电路,各根据该存储器区块逻辑地址的二位来产生一第二信号,

多个第五编码电路,各根据该第一信号、该第二信号以及一附加熔丝信号来产生一冗余选择信号,以及

一第八编码电路,用以根据该冗余选择信号来产生一行禁用信号。

2. 根据权利要求 1 的冗余位线修复装置,其中该存储器区块包含有将四缺陷存储器区块分成二组的存储器区块。

3. 根据权利要求 1 的冗余位线修复装置,其中各冗余区块包含有多条位线以及与该多条位线相关的多个冗余存储器单元。

4. 根据权利要求 1 的冗余位线修复装置,其中各冗余区块包含有多条字符线以及与该多条字符线相关的多个冗余存储器单元。

5. 根据权利要求 1 的冗余位线修复装置,其中该冗余启用电路可进一步接收一附加熔丝信号来产生该冗余启用信号。

6. 根据权利要求 1 的冗余位线修复装置,其中该代码通过该多个附加熔丝信号的状态组合以及该存储器区块逻辑地址的一位来决定。

7. 一种冗余位线修复的选择方法,于一具有多个存储器区块的正规单元阵列以及一具有多个冗余区块的冗余单元阵列中执行位线修复,该方法包含下列步骤:

于该正规单元阵列中提供多个存储器区块的逻辑地址;

通过一冗余修复启用电路根据该存储器区块的逻辑地址产生一冗余启用信号,该冗余修复启用电路包含:

一启用熔丝电路,用以产生一启用熔丝信号,

多个熔丝状态电路,用以产生多个熔丝状态信号,以及

一冗余启用电路,接收该启用熔丝信号、该熔丝状态信号以及该存储器区块的逻辑地址来产生该冗余启用信号;

产生多个附加熔丝信号;

根据该附加熔丝信号的状态产生一代码,且该代码对应该存储器区块的缺陷状态,其中该缺陷状态为二邻接缺陷存储器区块、三邻接缺陷存储器区块、四邻接缺陷存储器区块以及二邻接缺陷存储器区块加上另二邻接缺陷存储器区块中的任一者;以及

通过一冗余解码电路接收该冗余启用信号以及该代码,用以于该冗余单元阵列中选出多个冗余区块来取代该正规单元阵列中的多个存储器区块,该冗余解码电路包含:

多个第一编码电路,用以根据多个附加熔丝信号来产生多个第一信号,

多个第四编码电路,各根据该存储器区块逻辑地址的二位来产生一第二信号,

多个第五编码电路,各根据该第一信号、该第二信号以及一附加熔丝信号来产生一冗余选择信号,以及

一第八编码电路,用以根据该冗余选择信号来产生一行禁用信号。

8. 根据权利要求 7 的冗余位线修复的选择方法,其中该存储器区块包含有将四缺陷存储器区块分成二组的存储器区块。

9. 根据权利要求 7 的冗余位线修复的选择方法,其中各冗余区块包含有多条位线以及与该多条位线相关的多个冗余存储器单元。

10. 根据权利要求 7 的冗余位线修复的选择方法,其中各冗余区块包含有多条字符线以及与该多条字符线相关的多个冗余存储器单元。

11. 根据权利要求 7 的冗余位线修复的选择方法,其中该代码可进一步根据该多个附加熔丝信号的状态组合以及该正规单元阵列中存储器区块的逻辑地址的一位来产生。

12. 一种冗余位线修复装置,于一具有多个存储器区块的正规单元阵列以及一具有多个冗余区块的冗余单元阵列中执行位线修复,该装置包含:

一冗余修复启用电路,根据该存储器区块的逻辑地址产生一冗余启用信号,该冗余修复启用电路包含:

一启用熔丝电路,用以产生一启用熔丝信号,

多个熔丝状态电路,用以产生多个熔丝状态信号,以及

一冗余启用电路,接收该启用熔丝信号、该熔丝状态信号以及该存储器区块的逻辑地址来产生该冗余启用信号;

一指示存储器区块缺陷状态的装置,其中该缺陷状态为二邻接缺陷存储器区块、三邻接缺陷存储器区块、四邻接缺陷存储器区块以及二邻接缺陷存储器区块加上另二邻接缺陷存储器区块中的任一者;

一用以传送一对应该缺陷状态的代码的装置,该代码通过多个附加熔丝信号的状态组合来决定;以及

一冗余解码电路,接收该冗余启用信号以及该代码,用以于该冗余单元阵列中选出多个冗余区块来取代该正规单元阵列中的多个存储器区块,其中,该冗余解码电路包含:

多个第一编码电路,用以根据多个附加熔丝信号来产生多个第一信号,

多个第四编码电路,各根据该存储器区块逻辑地址的二位来产生一第二信号,

多个第五编码电路,各根据该第一信号、该第二信号以及一附加熔丝信号来产生一冗余选择信号,以及

一第八编码电路,用以根据该冗余选择信号来产生一行禁用信号。

13. 根据权利要求 12 的冗余位线修复装置,其中该存储器区块包含有将四缺陷存储器

区块分成二组的存储器区块。

14. 根据权利要求 12 的冗余位线修复装置,其中各冗余区块包含有多条位线以及与该多条位线相关的多个冗余存储器单元。

15. 根据权利要求 12 的冗余位线修复装置,其中各冗余区块包含有多条字符线以及与该多条字符线相关的多个冗余存储器单元。

冗余位线修复的选择方法及其装置

技术领域

[0001] 本发明关于一种冗余位线修复的选择方法及其装置,尤其指一种具有灵活性修复能力的冗余位线修复的选择方法及其装置。

背景技术

[0002] 于制造出半导体存储器装置后,会进行多种的测试来判断其上的电路操作起来是否符合预期的规格,而每一测试中均会用到若干参数来检查电路的特性以及工作。当半导体存储器内某部份的正规存储器单元被发现存在缺陷,则此部分的存储器单元会被冗余存储器单元取代,使半导体存储器装置能够继续正常地运作。换句话说,为修复缺陷,包含有可通过高能光(如激光等)而熔断的多个熔丝的冗余电路于制造时与半导体存储器装置的存储器单元以及其电路装置形成为一体。

[0003] 如图 1 所示,美国专利公开第 2005/0207244 号专利(后称'244 号专利)公开一种具有冗余修复功能的半导体存储器装置 1。该半导体存储器装置 1 包含有一正规单元阵列 11、一冗余单元阵列 12、一单元漏极选择电路 13、一行解码器电路 14、一缺陷单元区块的行冗余选择电路 15、一邻接单元区块的行冗余选择电路 16 以及一列解码电路 18。图 2 为图 1 中正规以及冗余单元阵列的电路图,如图所示:正规单元阵列 11 具有 16*8 个存储器单元晶体管,而其中的 16 个(ML0, MR0, ML1, MR1...ML7, MR7)接收字符线选择信号 WL1。电流经由存储器漏极选择晶体管 MDSL0, MDSL1...MDSL7 而提供给正规单元 11,数据信号经由行开关晶体管 MBL0, MBL1...MBL7 而被读出。在正规单元阵列 11 中,正规单元 ML2, MR2, ML3, MR3 以及其他位于同一行的正规单元组成一单元区块 110。同样的,正规单元 ML0, MR0, ML1, MR1 以及其他位于同一行的正规单元组成另一单元区块;正规单元 ML4, MR4, ML5, MR5 以及其他位于同一行的正规单元组成又一单元区块;正规单元 ML6, MR6, ML7, MR7 以及其他位于同一行的正规单元组成再一单元区块(图未示出包含单元 ML5, MR5, ML6, MR6, 以及 ML7 的行)。冗余单元阵列 12 内具有 8*8 个冗余单元,即冗余存储器单元晶体管(冗余单元),且其中的 8 个(RML0, RMR0, RML1, RMR1...RML3, RMR3)接收字符线选择信号 WL1。电流经由存储器漏极选择晶体管 RMDSL0, RMDSL1...RMDSL4 而提供给冗余单元阵列 12,数据信号经由冗余行开关晶体管 RMBL0, RMBL1...RMBL3 而被读出。在冗余单元阵列 12 中,冗余单元 RML0, RMR0, RML1, RMR1 以及其他位于同一冗余行的冗余单元组成一第一冗余单元区块 120,用以取代正规单元阵列 11 中的缺陷单元区块(如单元区块 110)。冗余单元 RML2, RMR2, RML3, RMR3 以及其他位于同一冗余行的冗余单元组成一第二冗余单元区块 121,用以取代与缺陷单元区块邻接的无缺陷单元区块。举例来说,若单元区块 110 有缺陷,则冗余单元区块 121 中的存储器单元会被用来取代与其邻接的半个区块 111(位于单元区块 110 的左侧)、与其邻接的半个区块 112(位于单元区块 110 的右侧)或与其邻接的半个区块 111、112。

[0004] 图 3 为图 1 中行冗余选择电路 15 的电路图,如图所示:该行冗余选择电路 15 产生行选择信号 RY0 以及 RY1 并提供给该第一冗余单元区块 120。缺陷单元区块的行冗余选择电路 15 包含三组可编程熔丝电路 150-152、二组地址选择电路 153、154 以及一地址解码

电路 155。可编程熔丝电路 150 会产生一冗余启用信号 FMAIN, 当需要进行冗余修复时, 其会被编程为高逻辑电平, 而不需要进行冗余修复时, 其会被编程为低逻辑电平。当需要进行冗余修复时, 可编程熔丝电路 151、152 会记录缺陷单元区块的地址。可编程熔丝电路 151、152 具有相同的电路结构, 均包含有一电阻以及一熔丝。在可编程熔丝电路 150 中, 举例来说, 电阻 R50 的一端与电源端 Vcc 连接, 另一端与熔丝 F50 的一端连接, 而熔丝 F50 的另一端则接地。冗余启用信号 FMAIN 自电阻 R50 与熔丝 F50 的连接端点而输出。可编程熔丝地址信号 FY2 自可编程熔丝电路 151 的电阻 (图未示出) 与熔丝 (图未示出) 的连接端点而输出; 而另一可编程熔丝地址信号 FY3 自可编程熔丝电路 152 的电阻 (图未示出) 与熔丝 (图未示出) 的连接端点而输出。地址选择电路 153、154 为相同的电路结构, 即异或非门 (EXNOR), 均包含有一对反相器 I50、I51 以及一对 MOS 开关 M50、M51。各地址选择电路 153(154) 将一地址位 AY2(AY3) 以及一可编程熔丝地址信号 FY2(FY3) 进行比较, 并产生一冗余行地址信号 FA2(FA3)。若地址位 AY2(AY3) 以及可编程熔丝地址信号 FY2(FY3) 为相同的逻辑电平时, 则冗余行地址信号 FA2(FA3) 为高电平; 反之, 则为低电平。因此, 只有在地址位 AY2(AY3) 以及可编程熔丝地址信号 FY2(FY3) 为相同的逻辑电平时, 行选择信号 RY0 或 RY1 会被致动到高电平, 以开始进行位线冗余修复。而冗余启用信号 FMAIN 根据图 3 的缺陷单元区块的行冗余选择电路 15 而成为高逻辑电平。

[0005] 图 4(a) 为图 3 缺陷单元区块的行冗余选择电路 15 的电路方块图, 图 4(b) 为图 1 邻接单元区块的行冗余选择电路 16 的电路概要图, 如图所示: 邻接单元区块的行冗余选择电路 16 包含有可编程熔丝电路 156、157、邻接地址产生电路 160、161、162、163、164、165、地址选择电路 166、167、168、169、170、171 以及地址解码电路 172、173。可编程熔丝电路 156、邻接地址产生电路 160、161、162、地址选择电路 166、167、168、以及地址解码电路 172 组成一上部行冗余选择电路 174; 可编程熔丝电路 157、邻接地址产生电路 163、164、165、地址选择电路 169、170、171、以及地址解码电路 173 组成一下部行冗余选择电路 175。上部与下部行冗余选择电路 174、175 产生一上部冗余行选择信号 RYU 以及一下部冗余行选择信号 RYD, 分别用以选择冗余单元区块的左半部或右半部来取代正规邻接半区块 112、111。

[0006] 为达到取代缺陷单元区块 110 及其相邻二半区块 111、112 的目的, 缺陷单元区块的行冗余选择电路 15 及邻接单元区块的行冗余选择电路 16 就是必要的。即, 9 条熔丝 (缺陷单元区块的行冗余选择电路 15、上部行冗余选择电路 174 以及下部行冗余选择电路 175 中各有 3 条) 被用来实现位线冗余修复。故于半导体装置中, 熔丝会占据很大的面积, 尤其是 NAND (与非) 型的闪速存储器, 需要更多的冗余电路 (大约 1% -2% 的冗余位线) 来维持存储器的良率。

[0007] 有鉴于上述缺憾, 本发明人有感其未至臻完善, 遂竭尽心智, 悉心研究克服, 凭从事该项产业多年的经验累积, 进而研发出一种冗余位线修复的选择方法及其装置, 以达到减少熔丝占用面积以及激光修复操作时间的功效者。

发明内容

[0008] 于是, 本发明的一目的, 即在于提供一种冗余位线修复的选择方法及其装置, 利用数量较少的熔丝来产生一代码, 用以选择多个冗余区块来取代其对应的存储器区块, 以达到减少熔丝占用面积以及激光修复操作时间的功效者。

[0009] 本发明的一目的,即在于提供一种冗余位线修复的选择方法及其装置,利用一由存储器区块的多个熔丝状态以及逻辑地址所产生的代码来完成有灵活性的位线冗余修复。

[0010] 为达上述目的,本发明的技术实现如下:

[0011] 一种冗余位线修复装置,于一具有多个存储器区块的正规单元阵列以及一具有多个冗余区块的冗余单元阵列中执行位线修复,该装置包含:一冗余修复启用电路,根据该存储器区块的逻辑地址产生一冗余启用信号;一控制熔丝电路,用以传递一对应该存储器区块的缺陷状态的代码,其中该缺陷状态为二邻接缺陷存储器区块、三邻接缺陷存储器区块、四邻接缺陷存储器区块以及二邻接缺陷存储器区块加上另二邻接缺陷存储器区块中的任一者,该控制熔丝电路可产生多个附加熔丝信号,且该代码通过该多个附加熔丝信号的状态组合来决定;一冗余解码电路,接收该冗余启用信号以及该代码,用以于该冗余单元阵列中选出多个冗余区块来取代该正规单元阵列中的多个存储器区块。其中,该冗余修复启用电路包含:一启用熔丝电路,用以产生一启用熔丝信号;多个熔丝状态电路,用以产生多个熔丝状态信号;以及一冗余启用电路,接收该启用熔丝信号、该熔丝状态信号以及该存储器区块的逻辑地址来产生该冗余启用信号。其中,该冗余解码电路包含:多个第一编码电路,用以根据多个附加熔丝信号来产生多个第一信号;多个第四编码电路,各根据该存储器区块逻辑地址的二位来产生一第二信号;多个第五编码电路,各根据该第一信号、该第二信号以及一附加熔丝信号来产生一冗余选择信号;以及一第八编码电路,用以根据该冗余选择信号来产生一行禁用信号。

[0012] 本发明还公开一种冗余位线修复的选择方法,于一具有多个存储器区块的正规单元阵列以及一具有多个冗余区块的冗余单元阵列中执行位线修复,该方法包含下列步骤:于该正规单元阵列中提供多个存储器区块的逻辑地址;通过一冗余修复启用电路根据该存储器区块的逻辑地址产生一冗余启用信号,该冗余修复启用电路包含:一启用熔丝电路,用以产生一启用熔丝信号,多个熔丝状态电路,用以产生多个熔丝状态信号,以及一冗余启用电路,接收该启用熔丝信号、该熔丝状态信号以及该存储器区块的逻辑地址来产生该冗余启用信号;产生多个附加熔丝信号;根据该附加熔丝信号的状态产生一代码,且该代码对应该存储器区块的缺陷状态,其中该缺陷状态为二邻接缺陷存储器区块、三邻接缺陷存储器区块、四邻接缺陷存储器区块以及二邻接缺陷存储器区块加上另二邻接缺陷存储器区块中的任一者;通过一冗余解码电路接收该冗余启用信号以及该代码,用以于该冗余单元阵列中选出多个冗余区块来取代该正规单元阵列中的多个存储器区块,该冗余解码电路包含:多个第一编码电路,用以根据多个附加熔丝信号来产生多个第一信号,多个第四编码电路,各根据该存储器区块逻辑地址的二位来产生一第二信号,多个第五编码电路,各根据该第一信号、该第二信号以及一附加熔丝信号来产生一冗余选择信号,以及一第八编码电路,用以根据该冗余选择信号来产生一行禁用信号。

[0013] 本发明还公开一种冗余位线修复装置,于一具有多个存储器区块的正规单元阵列以及一具有多个冗余区块的冗余单元阵列中执行位线修复,该装置包含:一冗余修复启用电路,根据该存储器区块的逻辑地址产生一冗余启用信号;一指示存储器区块缺陷状态的装置,其中该缺陷状态为二邻接缺陷存储器区块、三邻接缺陷存储器区块、四邻接缺陷存储器区块以及二邻接缺陷存储器区块加上另二邻接缺陷存储器区块中的任一者;一用以传送

一对应该缺陷状态的代码的装置,该代码通过多个附加熔丝信号的状态组合来决定;以及一冗余解码电路,接收该冗余启用信号以及该代码,用以于该冗余单元阵列中选出多个冗余区块来取代该正规单元阵列中的多个存储器区块。其中,该冗余修复启用电路包含:一启用熔丝电路,用以产生一启用熔丝信号;多个熔丝状态电路,用以产生多个熔丝状态信号;以及一冗余启用电路,接收该启用熔丝信号、该熔丝状态信号以及该存储器区块的逻辑地址来产生该冗余启用信号。其中,该冗余解码电路包含:多个第一编码电路,用以根据多个附加熔丝信号来产生多个第一信号;多个第四编码电路,各根据该存储器区块逻辑地址的二位来产生一第二信号;多个第五编码电路,各根据该第一信号、该第二信号以及一附加熔丝信号来产生一冗余选择信号;以及一第八编码电路,用以根据该冗余选择信号来产生一行禁用信号。

[0014] 存储器区块的实际地址以及逻辑地址互为不相同。在位线冗余修复期间,被取代的存储器区块为正常的或是有缺陷的。

[0015] 为了让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合附图,详细说明如下。

[0016] 附图说明

[0017] 图 1 为公知具有冗余修复半导体存储器装置的电路方块图。

[0018] 图 2 为图 1 中正规单元阵列与冗余单元阵列的电路图。

[0019] 图 3 为图 1 中缺陷单元区块行冗余选择电路的电路图。

[0020] 图 4(a) 为图 3 中缺陷单元区块的行冗余选择电路的电路方块图。

[0021] 图 4(b) 为图 3 中邻接单元区块的行冗余选择电路的电路方块图。

[0022] 图 5(a) 为本发明半导体存储器装置执行冗余位线修复的功能方块图。

[0023] 图 5(b) 为图 5(a) 中半导体存储器装置的另一实施例图。

[0024] 图 5(c) 为图 5(a) 中半导体存储器装置的又一实施例图。

[0025] 图 6 为本发明第一实施例与第二实施例的行冗余选择电路的电路方块图。

[0026] 图 7(a) 为本发明冗余启用电路的实施例图。

[0027] 图 7(b) 为本发明启用熔丝电路的实施例图。

[0028] 图 7(c) 为本发明熔丝状态电路的实施例图。

[0029] 图 8 为本发明熔丝指示电路的实施例图。

[0030] 图 9(a) 为本发明 6 组第一编码电路的实施例图。

[0031] 图 9(b) 为本发明反相器电路的实施例图。

[0032] 图 9(c) 为本发明 4 组第二编码电路的实施例图。

[0033] 图 9(d) 为本发明第三编码电路的实施例图。

[0034] 图 10 为本发明另一冗余启用电路的实施例图。

[0035] 图 11 为本发明另一反相器电路的实施例图。

[0036] 图 12 为本发明 4 组第四编码电路的实施例图。

[0037] 图 13(a)-13(d) 为本发明 4 组第五编码电路的实施例图。

[0038] 主要元件符号说明

[0039] 1 半导体存储器装置

[0040] 11 正规单元阵列

- [0041] 110-112 单元区块
- [0042] 12 冗余单元阵列
- [0043] 120-121 冗余区块
- [0044] 13 单元漏极选择电路
- [0045] 14 行解码器电路
- [0046] 15 缺陷单元区块行冗余选择电路
- [0047] 150-152 可编程熔丝电路
- [0048] 153-154 地址选择电路
- [0049] 155 地址解码电路
- [0050] 156-157 可编程熔丝电路
- [0051] 16 邻接单元区块行冗余选择电路
- [0052] 160-165 邻接地址产生电路
- [0053] 166-171 地址选择电路
- [0054] 172-173 地址解码电路
- [0055] 2 半导体存储器装置
- [0056] 2' 半导体存储器装置
- [0057] 21 正规单元阵列
- [0058] 21' 正规单元阵列
- [0059] 211-214 存储器区块
- [0060] 211' -218' 存储器区块
- [0061] 22 冗余单元阵列
- [0062] 22' 冗余单元阵列
- [0063] 221-224 冗余区块
- [0064] 221' -224' 冗余区块
- [0065] 23 页缓冲器阵列
- [0066] 24 冗余页缓冲器阵列
- [0067] 25 行解码器电路
- [0068] 26 行冗余选择电路
- [0069] 261 冗余修复启用电路
- [0070] 261' 冗余修复启用电路
- [0071] 261a 冗余启用电路
- [0072] 261a' 冗余启用电路
- [0073] 261b 熔丝启用电路
- [0074] 261b' 熔丝启用电路
- [0075] 261c 熔丝状态电路
- [0076] 261c' 熔丝状态电路
- [0077] 262 控制熔丝电路
- [0078] 262' 控制熔丝电路
- [0079] 262" 熔丝指示电路

- [0080] 263 冗余解码电路
- [0081] 263' 冗余解码电路
- [0082] 263a-263i 编码电路
- [0083] 263a' 编码电路
- [0084] 263b' 反相器电路
- [0085] 具体实施方式

[0086] 图 5(a) 为本发明半导体存储器装置 2 执行冗余位线修复的功能方块图, 图 5(b) 为图 5(a) 中半导体存储器装置 2 的另一实施例图。半导体存储器装置 2 (于本实施例中为一 NAND (与非) 闪速存储器装置) 包含有一正规单元阵列 21、一冗余单元阵列 22、一页缓冲器阵列 23、一冗余页缓冲器阵列 24、一行解码电路 25 以及一行冗余选择电路 26。页缓冲器阵列 23 包含有多个页缓冲器 PB, 用以作为正规单元阵列 21 中存储器区块 211-214 的读取 / 写入接口, 而存储器区块 211-214 内含有与正规单元阵列 21 中存储器单元 (图未示出) 相关联的存储器单元。冗余页缓冲器阵列 24 包含有多个冗余页缓冲器 RPB, 用以作为冗余单元阵列 22 中存储器区块 221-224 的读取 / 写入接口, 而存储器区块 221-224 内含有冗余单元 (图未示出)。行解码电路 25 会产生多个行选择信号 $Y[0]-Y[N]$, 即非常类似图 2 中的行选择信号 $RY0$ 以及 $RY1$ 。各行选择信号 $Y[0]-Y[N]$ 会分别被对应传送到多个位开关晶体管 BST 的控制极端, 即非常类似图 2 中的行开关晶体管 $MBL0, MBL1 \cdots MBL7$, 用以在冗余单元阵列 22 中选出对应的冗余区块来取代存储器区块 211-214。行冗余选择电路 26 会产生多个冗余选择信号 $RY[0]-RY[M]$, 即非常类似图 2 中的行选择信号 $RY0$ 以及 $RY1$, 并产生上部 / 下部冗余行选择信号 RYU, RYD , 使的与冗余位开关晶体管的控制极端连接, 以开始进行位线冗余修复。一数据线 DL 以及一冗余数据线 RDL 分别与位开关晶体管 BST 以及冗余位开关晶体管 RBST 相连接, 用以于位线冗余修复期间传递数据。图 5(b) 中仅仅公开 4 组存储器区块 211-214、4 组冗余区块 221-224、及其分别对应的页缓冲器 PB 与冗余页缓冲器 RPB。在目前的实施例中, 各存储器区块包含有 2 条位线 BL (在 NAND 闪速存储器装置中, 一条为遮蔽位线, 用以提供遮蔽的目的)。所有的位线均具有从 $BL[0]$ 到 $BL[7]$ 的实际地址以及 2, 0, 1, 3 的逻辑地址, 其中一逻辑地址即代表一存储器区块中的 2 条位线。此外, 冗余区块 221-224 还具有与存储器区块 211-214 相同的特征。图 5(c) 为图 5(a) 中半导体存储器装置 2 的又一实施例图, 该半导体存储器装置 2' 非常类似半导体存储器装置 2。半导体存储器装置 2' 包含有一正规单元阵列 21'、一冗余单元阵列 22'、一页缓冲器阵列 (图未示出) 以及一冗余页缓冲器阵列 24 (图未示出)。正规单元阵列 21' 接收行选择信号 $Y[0]-Y[7]$, 用以于存储器区块 211' -218' 中选出部分来被取代。该冗余单元阵列 22' 接收冗余选择信号 $RY[0]-RY[3]$, 用以于冗余单元阵列 22' 中选出部分的冗余存储器区块 221' -224' 来取代其对应的正规单元阵列 21' 中的存储器区块。图 5(c) 中仅仅公开 8 组存储器区块 211' -218' 以及 4 组冗余区块 221' -224', 此外, 图 5(c) 中的半导体存储器装置 2' 可被认定为图 5(b) 中半导体存储器装置 2 的延伸。

[0087] 图 6 为图 5(b) 应用于本发明半导体存储器装置 2 的行冗余选择电路 26 的第一实施例图, 如图所示: 行冗余选择电路 26 包含有一冗余修复启用电路 261, 跟据存储器区块的逻辑地址 ADD1 来产生一冗余启用信号 RED; 一控制熔丝电路 262, 传递一对应存储器区块的缺陷状态的代码; 以及一冗余解码电路 263, 接收该冗余启用信号 RED、逻辑地址 ADD2 以

及该代码来产生多个冗余选择信号 RY, 用以于冗余单元阵列 22 中选出多个冗余区块来取代正规单元阵列 21 中的多个存储器区块。于本实施例中, 冗余修复启用电路 261 包含有一冗余启用电路 261a(参阅图 7(a))、一启用熔丝电路 261b(参阅图 7(b)) 以及 3 组熔丝状态电路 261c(参阅图 7(c))。启用熔丝电路 261b 包含有串接的电阻 R1 与熔丝 F1, 且电阻 R1 与熔丝 F1 配置于电源供电端 Vcc 与接地端之间, 以产生一启用熔丝信号 EN。熔丝状态电路 261c 包含有串接的电阻 R 与熔丝 F, 且电阻 R 与熔丝 F 配置于电源供电端 Vcc 与接地端之间, 以产生一熔丝状态信号 FA。因此, 3 组熔丝状态电路 261c 产生 3 组熔丝状态信号 FA[2]-FA[4]。冗余启用电路 261a 接收启用熔丝信号 EN、3 组熔丝状态信号 FA[2]-FA[4] 以及存储器区块中逻辑地址(如图 6 中的 ADD1) 的 3 个位 A[2]-A[4]。当位 A[2] 等于熔丝状态信号 A[2]、位 A[3] 等于熔丝状态信号 A[3] 且位 A[4] 等于熔丝状态信号 A[4] 时, 逻辑门 EQ1、EQ2 与 EQ3 均会输出为逻辑 1 的信号。此时若启用熔丝信号 EN 启动, 则冗余启用信号也会因此被产生出来。控制熔丝电路 262 包含有如图 8 所示的 3 组熔丝指示电路 262', 熔丝指示电路 262' 包含有串接的电阻 FSR 与熔丝 FSF, 且电阻 FSR 与熔丝 FSF 配置于电源供电端 Vcc 与接地端之间, 以产生一附加熔丝信号 FS。因此, 3 组熔丝指示电路 262' 产生 3 组附加熔丝信号 FS[0]-FS[2]。冗余解码电路 263 包含 6 组第一编码电路 263a(如图 9(a) 所示)、4 组第二编码电路 263c(如图 9(c) 所示) 以及一第三编码电路(如图 9(d) 所示)。该 6 组第一编码电路 263a 根据 3 组附加熔丝信号 FS[0]-FS[2] 以及由图 9(b) 中反相器电路 263b 产生的 3 组反相附加熔丝信号 FS[0]N-FS[2]N 来产生 6 组第一信号 F[0]-F[5]。该 4 组第二编码电路 263c 根据 3 组附加熔丝信号 FS[0]-FS[2]、冗余启用信号 RED 以及存储器区块逻辑地址的二位 A[0]、A[1] 来产生冗余选择信号 RY[0]-RY[3]。该第三编码电路 263d 根据冗余选择信号 RY[0]-RY[3] 来产生一行禁用信号 DISY。该冗余解码电路 263 更包含 5 组反相器 IN8-IN9 以及 IN21-IN23, 用以将 3 组附加熔丝信号 FS[0]-FS[2] 以及图 9(b) 中存储器区块逻辑地址的二位 A[0]、A[1] 反相。

[0088] 下方的表 1 公开存储器区块的 6 种缺陷状态 DT1-DT6 及其对应的附加熔丝信号 FS[0]-FS[2] (本发明第一实施例中行选择电路 26 的操作过程)。参阅图 5(b) 以及表 1, 以 DT1 的例子来说, 邻接存储器区块 211、212 (即表 1 中被框起来的部份, 其逻辑地址分别为 2 与 0, 其实际地址分别为 BL[0] 与 BL[2]) 会被其对应的冗余区块 221、222 所取代。于 NAND 闪速存储器的应用中, 存储器区块 (如存储器区块 211) 中的一条位线通常被用来作为遮蔽位线, 且由其对应的页缓冲器所选出, 本发明实施例中的位线 BL[1]、BL[3] 即为遮蔽位线。然, 于其他半导体存储器的应用中, 一个存储器区块内可能仅含有一条位线, 故于本发明的实施例中, 存储器区块 211 与 212 可被视为互相邻接。以 DT2 的例子来说, 邻接存储器区块 213、214 会被取代; 以 DT4 的例子来说, 邻接存储器区块 211、213 会被取代; 以 DT6 的例子来说, 邻接存储器区块 211-214 会被取代。行 FS[n] 代表第一信号 F[0]-F[5], 其各显示为高逻辑电平, 且经由图 9(a) 中 6 组第一编码电路 263a 的 3 组附加熔丝信号 FS[0]-FS[2] 来产生。

[0089] 表 1

[0090]

| 缺陷 狀態 | 實際地址 A[1:0] | | | | 附加熔絲信號 | | | FS[n] |
|----------|------------------|------------------|------------------|------------------|--------|-------|-------|-------|
| | A[1]=1 A[0]=0 | A[1]=0 A[0]=0 | A[1]=0 A[0]=1 | A[1]=1 A[0]=1 | FS[2] | FS[1] | FS[0] | |
| | DT1 | 2 | 0 | 1 | 3 | 0 | 0 | |
| DT 2 | 2 | 0 | 1 | 3 | 0 | 0 | 1 | F[1] |
| DT 3 | 2 | 0 | 1 | 3 | 0 | 1 | 0 | F[2] |
| DT 4 | 2 | 0 | 1 | 3 | 0 | 1 | 1 | F[3] |
| DT 5 | 2 | 0 | 1 | 3 | 1 | 0 | 0 | F[4] |
| DT 6 | 2 | 0 | 1 | 3 | 1 | 0 | 1 | F[5] |

[0091] 本发明第一实施例中的冗余位线修复的选择方法, 将于下方伴随着图 5(b)、第 7(a)-7(c) 图以及表 1 中的 DT4 加以详加描述, 即存储器区块 211-213 会被取代。首先, 于正规单元阵列 21 中提供存储器区块 211-213 的 3 组逻辑地址 (2, 0, 1), 存储器区块 211 的逻辑地址 (即 2) 会提供 $A[0] = 0$ 与 $A[1] = 1$ 的位值, 存储器区块 212 的逻辑地址 (即 0) 会提供 $A[0] = 0$ 与 $A[1] = 0$ 的位值, 而存储器区块 213 的逻辑地址 (即 1) 会提供 $A[0] = 1$ 与 $A[1] = 0$ 的位值。其中, $A[0]$ 与 $A[1]$ 为任一存储器区块中逻辑地址的至少 2 个位。其次, 3 组附加熔丝信号 $FS[0]$ - $FS[2]$ 通过图 8 中的 3 组熔丝指示电路 262' 所产生; 其中, 3 组附加熔丝信号 $FS[0]$ 、 $FS[1]$ 以及 $FS[2]$ 分别为 1 (高电平)、1 (高电平) 以及 0 (低电平)。再者, 根据 3 组附加熔丝信号 $FS[0]$ - $FS[2]$ 产生一代码 (明显的, 表 1 中 3 组附加熔丝信号 $FS[0]$ - $FS[2]$ 的组合会对应于一特定的代码来区分缺陷状态), 且该代码会对应于存储器区块 211-213 的缺陷状态 (DT4)。最后, 冗余单元阵列 22 中的 3 组冗余区块 221-223 会根据该代码被选择出来, 用以取代正规单元阵列 21 中的存储器区块 211-213。此选择冗余区块 221-223 的过程将于下详述。若图 7(b) 中的启用熔丝信号 EN 被设定为高逻辑电平且位值 $A[2]$ - $A[4]$ 的逻辑状态又分别与 3 组熔丝状态信号 $FA[2]$ - $FA[4]$ 相同时, 则图 7(a) 中的冗余启用信号 RED 为高逻辑电平。存储器区块 211 具有“2”的逻辑地址以及 $A[0] = 0$ 与 $A[1] = 1$ 的位值。参阅图 9(c) 中具有冗余选择信号 $RY[2]$ 输出的第二编码电路 263c, NOR (或非) 门 NOR4 的输出会因为第一信号 $F[3]$ (参阅表 1 与图 9(a)) 为高逻辑电平的关系而成为低逻辑电平, 且反相器 IN14 的输出为高逻辑电平, 更会令信号 $RED = 1$ (高逻辑电平)、 $A[1] = 1$ (高逻辑电平) 以及 $A[0]N = 1$ (高逻辑电平)。据此, 冗余选择信号 $RY[2]$ 会成为高逻辑电平, 因此, 冗余区块 221 会被冗余选择信号 $RY[2]$ 选择出来, 用以取代存储器区块 211。存储器区块 212 具有“0”的逻辑地址以及 $A[0] = 0$ 与 $A[1] = 0$ 的位值。具有冗余选择信号 $RY[0]$ 输出的第二编码电路 263c, NOR (或非) 门 NOR2 的输出会因为第一信号 $F[3]$ (参阅表 1 与图 9(a)) 为高逻辑电平的关系而成为低逻辑电平, 且反相器 IN10 的输

出为高逻辑电平,更会令信号 $RED = 1$ (高逻辑电平)、 $A[1]N = 1$ (高逻辑电平) 以及 $A[0]N = 1$ (高逻辑电平)。据此,冗余选择信号 $RY[0]$ 会成为高逻辑电平,因此,冗余区块 222 会被冗余选择信号 $RY[0]$ 选择出来,用以取代存储器区块 212。存储器区块 213 具有“1”的逻辑地址以及 $A[0] = 1$ 与 $A[1] = 0$ 的位值。具有冗余选择信号 $RY[0]$ 输出的第二编码电路 263c, NOR(或非)门 NOR3 的输出会因为第一信号 $F[3]$ (参阅表 1 与图 9(a)) 为高逻辑电平与反相器 IN12 的输出为高逻辑电平的而成为低逻辑电平,更会令信号 $RED = 1$ (高逻辑电平)、 $A[1]N = 1$ (高逻辑电平) 以及 $A[0] = 1$ (高逻辑电平)。据此,冗余选择信号 $RY[1]$ 会成为高逻辑电平,因此,冗余区块 223 会被冗余选择信号 $RY[1]$ 选择出来,用以取代存储器区块 213。然,存储器区块 214 具有“3”的逻辑地址以及 $A[0] = 1$ 与 $A[1] = 1$ 的位值。具有冗余选择信号 $RY[3]$ 输出的第二编码电路 263c, NOR(或非)门 NOR5 的输出会因为第一信号 $F[1]$ 、 $F[4]$ 、 $F[5]$ (参阅表 1 与图 9(a)) 为低逻辑电平的而成为高逻辑电平,且反相器 IN16 的输出为低逻辑电平。据此,冗余选择信号 $RY[3]$ 会成为低逻辑电平且冗余区块 224 将不会被冗余选择信号 $RY[3]$ 选择出来取代存储器区块 214。

[0092] 表 1 中 DT6 (存储器区块 211-214 被取代) 的操作过程将于下详述。首先,于正规单元阵列中提供存储器区块 211-214 的 4 组逻辑地址 (2,0,1,3),存储器区块 211 的逻辑地址 (即 2) 会提供 $A[0] = 0$ 与 $A[1] = 1$ 的位值,存储器区块 212 的逻辑地址 (即 0) 会提供 $A[0] = 0$ 与 $A[1] = 0$ 的位值,存储器区块 213 的逻辑地址 (即 1) 会提供 $A[0] = 1$ 与 $A[1] = 0$ 的位值,且存储器区块 214 的逻辑地址 (即 3) 会提供 $A[0] = 1$ 与 $A[1] = 1$ 的位值。其次,3 组附加熔丝信号 $FS[0]$ - $FS[2]$ 通过图 8 中的 3 组熔丝指示电路 262' 所产生;其中,3 组附加熔丝信号 $FS[0]$ 、 $FS[1]$ 以及 $FS[2]$ 分别为 1 (高电平)、0 (低电平) 以及 1 (高电平)。再者,根据 3 组附加熔丝信号 $FS[0]$ - $FS[2]$ 产生一代码,且该代码会对应于存储器区块 211-214 的缺陷状态 (DT6)。最后,冗余单元阵列 22 中的 3 组冗余区块 221-224 会根据该代码被选择出来,用以取代正规单元阵列 21 中的存储器区块 211-214。此选择冗余区块 221-223 的过程将于下详述。若图 7(b) 中的启用熔丝信号 EN 被设定为高逻辑电平且位值 $A[2]$ - $A[4]$ 的逻辑状态又分别与 3 组熔丝状态信号 $FA[2]$ - $FA[4]$ 相同时,则图 7(a) 中的冗余启用信号 RED 为高逻辑电平。存储器区块 211 具有“2”的逻辑地址以及 $A[0] = 0$ 与 $A[1] = 1$ 的位值。参阅图 9(c) 中具有冗余选择信号 $RY[2]$ 输出的第二编码电路 263c, NOR(或非)门 NOR4 的输出会因为第一信号 $F[5]$ (参阅表 1 与图 9(a)) 为高逻辑电平的而成为低逻辑电平,且反相器 IN14 的输出为高逻辑电平,更会令信号 $RED = 1$ (高逻辑电平)、 $A[1] = 1$ (高逻辑电平) 以及 $A[0]N = 1$ (高逻辑电平)。据此,冗余选择信号 $RY[2]$ 会成为高逻辑电平,因此,冗余区块 221 会被冗余选择信号 $RY[2]$ 选择出来,用以取代存储器区块 211。存储器区块 212 具有“0”的逻辑地址以及 $A[0] = 0$ 与 $A[1] = 0$ 的位值。参阅图 9(c) 中具有冗余选择信号 $RY[0]$ 输出的第二编码电路 263c, NOR(或非)门 NOR2 的输出会因为第一信号 $F[5]$ (参阅表 1 与图 9(a)) 为高逻辑电平的而成为低逻辑电平,且反相器 IN10 的输出为高逻辑电平,更会令信号 $RED = 1$ (高逻辑电平)、 $A[1]N = 1$ (高逻辑电平) 以及 $A[0]N = 1$ (高逻辑电平)。据此,冗余选择信号 $RY[0]$ 会成为高逻辑电平,因此,冗余区块 222 会被冗余选择信号 $RY[0]$ 选择出来,用以取代存储器区块 212。存储器区块 213 具有“1”的逻辑地址以及 $A[0] = 1$ 与 $A[1] = 0$ 的位值。参阅图 9(c) 中具有冗余选择信号 $RY[1]$ 输出的第二编码电路 263c, NOR(或非)门 NOR3 的输出会因为第一信号

F[5] (参阅表 1 与图 9(a)) 为高逻辑电平的关系而成为低逻辑电平, 且反相器 IN12 的输出为高逻辑电平, 更会令信号 $RED = 1$ (高逻辑电平)、 $A[1]N = 1$ (高逻辑电平) 以及 $A[0] = 1$ (高逻辑电平)。据此, 冗余选择信号 RY[1] 会成为高逻辑电平, 因此, 冗余区块 223 会被冗余选择信号 RY[2] 选择出来, 用以取代存储器区块 213。存储器区块 214 具有“3”的逻辑地址以及 $A[0] = 1$ 与 $A[1] = 1$ 的位值。参阅图 9(c) 中具有冗余选择信号 RY[3] 输出的第二编码电路 263c, NOR (或非) 门 NOR5 的输出会因为第一信号 F[5] (参阅表 1 与图 9(a)) 为高逻辑电平的关系而成为低逻辑电平, 且反相器 IN16 的输出为高逻辑电平, 更会令信号 $RED = 1$ (高逻辑电平)、 $A[1] = 1$ (高逻辑电平) 以及 $A[0] = 1$ (高逻辑电平)。据此, 冗余选择信号 RY[3] 会成为高逻辑电平, 因此, 冗余区块 224 会被冗余选择信号 RY[3] 选择出来, 用以取代存储器区块 214。对于表 1 中的其它例子 (DT1-DT3 与 DT5) 来说, 其操作过程均非常类似上述 DT4 与 DT6 的操作, 故不再重复赘述。

[0093] 根据表 1 以及图 5(b) 所示, 存储器区块存在着 2 个邻接缺陷存储器区块 (如 DT1-DT3)、3 个邻接缺陷存储器区块 (如 DT4-DT5) 或 4 个邻接缺陷存储器区块 (如 DT6) 时, 都可以通过本发明第一实施例中具有少量熔丝的行冗余选择电路 26 来取代的。参阅图 7(a), 若 EQ1、EQ2 以及 EQ3 必须被使用到, 则冗余会利用不同的 A[2:4] 来修复多条位线。因此, 仅有 7 组熔丝会被使用到 (图 7(b) 中的 4 组熔丝以及图 8 中的 3 组熔丝), 但' 244 号专利 (参阅其第 6A 图以及第 6B 图) 却需要用到 9 组熔丝。据此, 本发明于修复表 1 中的 6 种缺陷状态将非常的具有灵活性。

[0094] 图 6 中的行冗余选择电路 26' 为本发明的第二实施例, 其可应用于图 5(c) 中的半导体存储器装置 2'。冗余修复启用电路 261' 包含有 261 包含有一冗余启用电路 261a' (参阅图 10)、一启用熔丝电路 261b' (参阅图 7(b)) 以及 3 组熔丝状态电路 261c' (参阅图 7(c))。冗余启用电路 261a' 接收启用熔丝信号 EN、3 组熔丝状态信号 FA[2]-FA[4]、附加熔丝信号 FS[3] 以及存储器区块中逻辑地址 (如图 6 中的 ADD1) 的 3 个位 A[2]-A[4]。与第 7(a) 类似, 当位 A[2] 等于熔丝状态信号 A[2]、位 A[3] 等于熔丝状态信号 A[3] 且位 A[4] 等于熔丝状态信号 A[4] 时, 逻辑门 EQ6、EQ8 与 EQ9 均会输出为逻辑 1 的信号。然而, 对照图 7(a), 尽管 EQ6 门的输出为逻辑 0 时, 加到 NA15 门一输入的 FS[3] 会启动 NA15 门 (图 6 中并未显示附加熔丝信号 FS[3] 的产生过程)。若启用熔丝信号 EN 还同时被启动, 冗余启用信号 RED 则因此被产生出来。控制熔丝电路 262' 包含有如图 8 所示的 4 组熔丝指示电路 262'', 用以产生 4 组附加熔丝信号 FS[0]-FS[3]。冗余解码电路 263' 包含 6 组第一编码电路 263a' (如图 9(a) 所示)、4 组第四编码电路 263e (如图 12 所示) 以及 4 组第五编码电路 263f-263i (如图 13(a)-13(d) 所示)。该 6 组第一编码电路 263a' 根据 3 组附加熔丝信号 FS[0]-FS[2] 以及由图 11 中反相器电路 263b' 产生的 3 组反相附加熔丝信号 FS[0]N-FS[2]N 来产生 6 组第一信号 F[0]-F[5]。该 4 组第四编码电路 263e 根据存储器区块逻辑地址的二位 A[0]、A[1] 来产生第二信号 B[n]N。该第五编码电路 263f-263i 根据 6 组第一信号 F[0]-F[5] 以及 4 组第二信号 B[0]N-B[3]N 来产生冗余选择信号 RY[0]-RY[3]。该冗余解码电路 263' 更包含一第八编码电路 263d' (参阅图 9(d)), 用以根据冗余选择信号 RY[0]-RY[3] 来产生行禁用信号 DISY。此外, 冗余解码电路 263' 更包含 7 个反相器 IN21-IN27, 用以将 4 组附加熔丝信号 F[0]-F[3] 以及存储器区块 (参阅图 11) 逻辑地址的位值 A[0]-A[2] 反相。

[0095] 下方的表 2 揭示存储器区块的 16 种缺陷状态 DT11-DT26 以及其对应的附加熔丝信号 FS[0]-FS[3] (本发明第二实施例中行选择电路 26' 的操作过程)。参阅图 5(c) 以及表 2, 以 DT11 的例子来说, 邻接存储器区块 215'、216' (即表 2 中被框起来的部份, 其逻辑地址分别为 2 与 0, 其实际地址分别为 BL[4] 与 BL[5]) 会被其对应的冗余区块 221'、222' 所取代。以 DT16 的例子来说, 邻接存储器区块 215' -218' 会被取代; 以 DT23 的例子来说, 二组分隔的邻接存储器区块 211'、212' 与 215'、216' 会被取代; 以 DT24 的例子来说, 二组分隔的邻接存储器区块 213'、214' 与 217'、218' 会被取代; 以 DT25 的例子来说, 二组分隔的邻接存储器区块 211'、212' 与 217'、218' 会被取代; 以 DT26 的例子来说, 四组邻接存储器区块 213' -216' (横跨 $A[2] = 1$ 与 $A[2] = 0$ 的二存储器区域) 会被取代。行 FS[n] 代表第一信号 F[0]-F[5], 其各显示为高逻辑电平, 且经由图 9(a) 中 6 组第一编码电路 263a 的附加熔丝信号 FS[0]-FS[2] 来产生。

[0096] 表 2

[0097]

| 缺陷状态 | 实际地址 A[2:0] | | | | | | | | 附加熔丝信号 | | | | F[n] |
|--------|-------------|--------|--------|--------|--------|--------|--------|--------|--------|-------|-------|-------|------|
| | A[2]=1 | | | | A[2]=0 | | | | FS[3] | FS[2] | FS[1] | FS[0] | |
| | A[1]=1 | A[1]=0 | A[1]=0 | A[1]=1 | A[1]=1 | A[1]=0 | A[1]=0 | A[1]=1 | | | | | |
| A[0]=0 | A[0]=0 | A[0]=1 | A[0]=1 | A[0]=0 | A[0]=0 | A[0]=1 | A[0]=1 | | | | | | |
| DT11 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 0 | 0 | 0 | F[0] |
| DT12 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 0 | 0 | 1 | F[1] |
| DT13 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 0 | 1 | 0 | F[2] |
| DT14 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 0 | 1 | 1 | F[3] |
| DT15 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 1 | 0 | 0 | F[4] |
| DT16 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 1 | 0 | 1 | F[5] |
| DT17 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 0 | 0 | 0 | F[0] |
| DT18 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 0 | 0 | 1 | F[1] |
| DT19 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 0 | 1 | 0 | F[2] |
| DT20 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 0 | 1 | 1 | F[3] |
| DT21 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 1 | 0 | 0 | F[4] |
| DT22 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 0 | 1 | 0 | 1 | F[5] |
| DT23 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 1 | 0 | 0 | 0 | F[0] |
| DT24 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 1 | 0 | 0 | 1 | F[1] |
| DT25 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 1 | 0 | 1 | 0 | F[2] |
| DT26 | 6 | 4 | 5 | 7 | 2 | 0 | 1 | 3 | 1 | 0 | 1 | 1 | F[3] |

[0098] 本发明第二实施例中的冗余位线修复的选择方法,于 A[2] 为低逻辑电平时修复 DT11-DT16 的缺陷状态以及于 A[2] 为高逻辑电平时修复 DT17-DT22 的缺陷状态。因此,熔丝状态信号 FA[2] 就需要决定是要根据低逻辑电平或高逻辑电平的 A[2] 来进行修复(参阅图 10)。本发明的第二实施例可于 FS[3] 为高逻辑电平时修复 DT23-DT26 的缺陷状态,此外,DT23 的状态 RY[2]、RY[0]、RY[1] 以及 RY[3] 被派定为 (6,4,2,0),DT24 的状态会被派定为 (5,7,1,3),DT25 的状态会被派定为 (6,4,1,3),DT26 的状态会被派定为 (5,7,2,0),而对 DT23-DT26 来说,其对应的各状态 RY[2]、RY[0]、RY[1] 以及 RY[3] 对应于表 2 中控起来的逻辑地址。本发明第二实施例中的冗余位线修复的选择方法,将于下方伴随着图 5(c)、图 7(a)-7(c)、图 8、图 9(a)、图 10-12、图 13(a)-13(d) 以及表 2 中的 DT16 加以详加描述,即存储器区块 215'-218' 会被取代。首先,于正规单元阵列 21' 中提供存储器区块 215'-218' 的 4 组逻辑地址 (2,0,1,3),存储器区块 215' 的逻辑地址(即 2) 会提供 A[0] = 0、A[1] = 1 与 A[2] = 0 的位值,存储器区块 216' 的逻辑地址(即 0) 会提供 A[0] = 0、A[1] = 0

与 $A[2] = 0$ 的位值, 存储器区块 217' 的逻辑地址 (即 1) 会提供 $A[0] = 1$ 、 $A[1] = 0$ 与 $A[2] = 0$ 的位值, 存储器区块 218' 的逻辑地址 (即 3) 会提供 $A[0] = 1$ 、 $A[1] = 1$ 与 $A[2] = 0$ 的位值。其中, $A[0]$ - $A[2]$ 为任一存储器区块中逻辑地址的至少 3 个位。其次, 4 组附加熔丝信号 $FS[0]$ - $FS[3]$ 通过图 8 中的 4 组熔丝指示电路 262" 所产生; 其中, 4 组附加熔丝信号 $FS[0]$ 、 $FS[1]$ 、 $FS[2]$ 以及 $FS[3]$ 分别为 1 (高电平)、0 (低电平)、1 (高电平) 以及 0 (低电平)。再者, 根据 4 组附加熔丝信号 $FS[0]$ - $FS[3]$ 以及存储器区块 211' -218' 逻辑地址的位 $A[2]$ 产生一代码 (明显的, 表 2 中 4 组附加熔丝信号 $FS[0]$ - $FS[3]$ 与位 $A[2]$ 的组合会对应于一特定的代码来区分缺陷状态), 且该代码会对应于存储器区块 211' -218' 的缺陷状态 (DT16)。最后, 冗余单元阵列 22' 中的 4 组冗余区块 221' -224' 会根据该代码被选择出来, 用以取代正规单元阵列 21' 中的存储器区块 215' -218'。此选择冗余区块 221' -224' 的过程将于下详述。若图 7 (b) 中的启用熔丝信号 EN 被设定为高逻辑电平、逻辑门 EQ6 (参阅图 10) 的输出为高逻辑电平且位值 $A[2]$ - $A[4]$ 的逻辑状态又分别与 3 组熔丝状态信号 $FA[2]$ - $FA[4]$ 相同时, 则图 10 中的冗余启用信号 RED 为高逻辑电平。存储器区块 215' 具有“2”的逻辑地址以及 $A[0] = 0$ 、 $A[1] = 1$ 与 $A[2] = 0$ 的位值。参阅第五编码电路 263h, NOR (或非) 门 NOR25 的输出会因为第一信号 $F[5]$ (参阅表 2 与图 9 (a)) 为高逻辑电平、反相器 IN34 的输出为高逻辑电平与 $FS[3] = 0$ 的关系而成为低逻辑电平, 更会令反相器 IN35 的输出为低逻辑电平、第二信号 $B[2]N$ 为低逻辑电平 (参阅图 12) 以及 NOR (或非) 门 NOR27 的输出为高逻辑电平。据此, 冗余选择信号 $RY[2]$ 会成为高逻辑电平。存储器区块 216' 具有“0”的逻辑地址以及 $A[0] = 0$ 、 $A[1] = 0$ 与 $A[2] = 0$ 的位值。参阅第五编码电路 263f, NOR (或非) 门 NOR9 的输出会因为第一信号 $F[5]$ (参阅表 2 与图 9 (a)) 为高逻辑电平、反相器 IN28 的输出为低逻辑电平与 $FS[3] = 0$ 的关系而成为低逻辑电平, 更会令反相器 IN29 的输出为低逻辑电平、第二信号 $B[0]N$ 为低逻辑电平 (参阅图 12) 以及 NOR (或非) 门 NOR11 的输出为高逻辑电平。据此, 冗余选择信号 $RY[0]$ 会成为高逻辑电平。存储器区块 217' 具有“1”的逻辑地址以及 $A[0] = 1$ 、 $A[1] = 0$ 与 $A[2] = 0$ 的位值。参阅第五编码电路 263g, NOR (或非) 门 NOR17 的输出会因为第一信号 $F[5]$ (参阅表 2 与图 9 (a)) 为高逻辑电平、反相器 IN31 的输出为低逻辑电平与 $FS[3] = 0$ 的关系而成为低逻辑电平, 更会令反相器 IN32 的输出为低逻辑电平、第二信号 $B[1]N$ 为低逻辑电平 (参阅图 12) 以及 NOR (或非) 门 NOR19 的输出为高逻辑电平。据此, 冗余选择信号 $RY[1]$ 会成为高逻辑电平。存储器区块 218' 具有“3”的逻辑地址以及 $A[0] = 1$ 、 $A[1] = 1$ 与 $A[2] = 0$ 的位值。参阅第五编码电路 263i, NOR (或非) 门 NOR33 的输出会因为第一信号 $F[5]$ (参阅表 2 与图 9 (a)) 为高逻辑电平、反相器 IN37 的输出为低逻辑电平与 $FS[3] = 0$ 的关系而成为低逻辑电平, 更会令反相器 IN38 的输出为低逻辑电平、第二信号 $B[3]N$ 为低逻辑电平 (参阅图 12) 以及 NOR (或非) 门 NOR35 的输出为高逻辑电平。据此, 冗余选择信号 $RY[3]$ 会成为高逻辑电平。故冗余选择信号 $RY[0]$ - $RY[3]$ 会通过 DT16 的缺陷状态对应的代码而被触发至高逻辑电平, 而该代码根据 4 组附加熔丝信号 $FS[0]$ - $FS[3]$ 与位 $A[2]$ 来产生。因此, 冗余区块 221' -224' 会被选出来取代存储器区块 215' -218'。DT11-DT15m3DT17-DT22 的操作状态均与 DT16 的非常类似, 故不再赘述。

[0099] 表 2 中 DT24 取代存储器区块 213' -214' 与 217' -218' 的操作实施例将于下详述的。首先, 于正规单元阵列 21' 中提供存储器区块 213' -214' 与 217' -218' 的 4 组逻

辑地址 (5, 7, 1, 3), 存储器区块 213' 的逻辑地址 (即 5) 会提供 $A[0] = 0, A[1] = 0$ 与 $A[2] = 1$ 的位值, 存储器区块 214' 的逻辑地址 (即 7) 会提供 $A[0] = 1, A[1] = 1$ 与 $A[2] = 1$ 的位值, 存储器区块 217' 的逻辑地址 (即 1) 会提供 $A[0] = 1, A[1] = 0$ 与 $A[2] = 0$ 的位值, 存储器区块 218' 的逻辑地址 (即 3) 会提供 $A[0] = 1, A[1] = 1$ 与 $A[2] = 0$ 的位值。其次, 4 组附加熔丝信号 $FS[0]-FS[3]$ 通过图 8 中的 4 组熔丝指示电路 262" 所产生; 其中, 4 组附加熔丝信号 $FS[0], FS[1], FS[2]$ 以及 $FS[3]$ 分别为 1 (高电平)、0 (低电平)、0 (低电平) 以及 1 (高电平)。再者, 根据 4 组附加熔丝信号 $FS[0]-FS[3]$ 以及存储器区块 213' -214' 与 217' -218' 逻辑地址的位 $A[2]$ 产生一代码 (明显的, 表 2 中 4 组附加熔丝信号 $FS[0]-FS[3]$ 的组合会对应于一特定的代码来区分缺陷状态), 且该代码会对应于存储器区块 213' -214' 与 217' -218' 的缺陷状态 (DT24)。最后, 冗余单元阵列 22' 中的 4 组冗余区块 221' -224' 会根据该代码被选择出来, 用以取代正规单元阵列 21' 中的存储器区块 213' -214' 与 217' -218'。此选择冗余区块 221' -224' 的过程将于下详述。若图 7(b) 中的启用熔丝信号 EN 被设定为高逻辑电平、逻辑门 NOR8' (参阅图 10) 的输出为低逻辑电平 (当 $FS[3]$ 为高逻辑电平) 且位值 $A[3]-A[4]$ 的逻辑状态又分别与 3 组熔丝状态信号 $FA[2]-FA[4]$ 相同时, 则图 10 中的冗余启用信号 RED 为高逻辑电平。存储器区块 213' 具有 "5" 的逻辑地址以及 $A[0] = 0, A[1] = 0$ 与 $A[2] = 1$ 的位值。参阅第五编码电路 263h, NOR (或非) 门 NOR31 的输出会因为信号 $FS[3]N, A[2]N, B[1]N$ 以及 NOR (或非) 门 NOR30 的输出为低逻辑电平的关而成为高逻辑电平, 更会令冗余选择信号 $RY[2]$ 会成为高逻辑电平。存储器区块 214' 具有 "7" 的逻辑地址以及 $A[0] = 1, A[1] = 1$ 与 $A[2] = 1$ 的位值。参阅第五编码电路 263f, NOR (或非) 门 NOR15 的输出会因为信号 $FS[3]N, A[2]N, B[3]N$ 以及 NOR (或非) 门 NOR14 的输出为低逻辑电平的关而成为高逻辑电平, 更会令冗余选择信号 $RY[0]$ 会成为高逻辑电平。存储器区块 217' 具有 "1" 的逻辑地址以及 $A[0] = 1, A[1] = 0$ 与 $A[2] = 0$ 的位值。参阅第五编码电路 263g, NOR (或非) 门 NOR23 的输出会因为信号 $FS[3]N, A[2]N, B[3]N$ 以及 NOR (或非) 门 NOR22 的输出为低逻辑电平的关而成为高逻辑电平, 更会令冗余选择信号 $RY[1]$ 会成为高逻辑电平。存储器区块 218' 具有 "3" 的逻辑地址以及 $A[0] = 1, A[1] = 1$ 与 $A[2] = 0$ 的位值。参阅第五编码电路 263i, NOR (或非) 门 NOR39 的输出会因为信号 $FS[3]N, A[2], B[3]N$ 以及 NOR (或非) 门 NOR38 的输出为低逻辑电平的关而成为高逻辑电平, 更会令冗余选择信号 $RY[3]$ 会成为高逻辑电平。故冗余选择信号 $RY[0]-RY[3]$ 会通过 DT24 的缺陷状态对应的代码而被触发至高逻辑电平, 而该代码根据 4 组附加熔丝信号 $FS[0]-FS[3]$ 与位 $A[2]$ 来产生。因此, 冗余区块 221' -224' 会被选出来取代存储器区块 213' -214' 与 217' -218'。DT23、DT25 与 DT26 的操作状态均与 DT24 的非常类似, 故不再赘述。

[0100] 根据表 2 以及图 5(c), 具有二邻接缺陷存储器区块 (如 DT11-DT13、DT17-DT19)、三邻接缺陷存储器区块 (如 DT14-DT15、DT20-DT21)、四邻接缺陷存储器区块 (如 DT16、DT22 与 DT26) 或将四缺陷存储器区块全部分成二组 (或二邻接缺陷存储器区块加上另二邻接缺陷存储器区块) (如 T23-T25) 的存储器区块可通过本发明第二实施例中具有少量熔丝的行冗余选择电路 26' 所取代。因此, 仅有 8 组熔丝会被使用到 (图 7(b) 中的 1 组熔丝、图 7(c) 中的 3 组熔丝以及图 8 中的 4 组熔丝), 较' 244 号专利需要用到 9 组熔丝少很多。此外, 本发明可以执行灵活性化的位线冗余修复, 即通过本发明, 要被取代 (修复) 的存储

器区块的排列方式可以有多种的类型,包含位值 $A[2] = 1$ 与 $A[2] = 0$ 的二邻接存储器区块、三邻接存储器区块、四邻接存储器区块以及分成二组的四存储器区块。甚者,本发明还可被应用于字符线冗余修复,只要将图 5(b) 以及 5(c) 图中的存储器区块与冗余区块修分别改为包含 2 条字符线与 2 条冗余字符线即可。尽管本发明实施例描述各存储器区块与冗余区块中具有 2 条字符线或位线,但还可为 2 条以上,其根据存储器装置的应用而定。

[0101] 虽然本发明已以较佳实施例公开如上,然其并非用以限定本发明。任何所属技术领域中的普通技术人员,在不脱离本发明的精神和范围的情况下,可进行各种更动与修改。因此,本发明的保护范围以所提出的权利要求的范围为准。

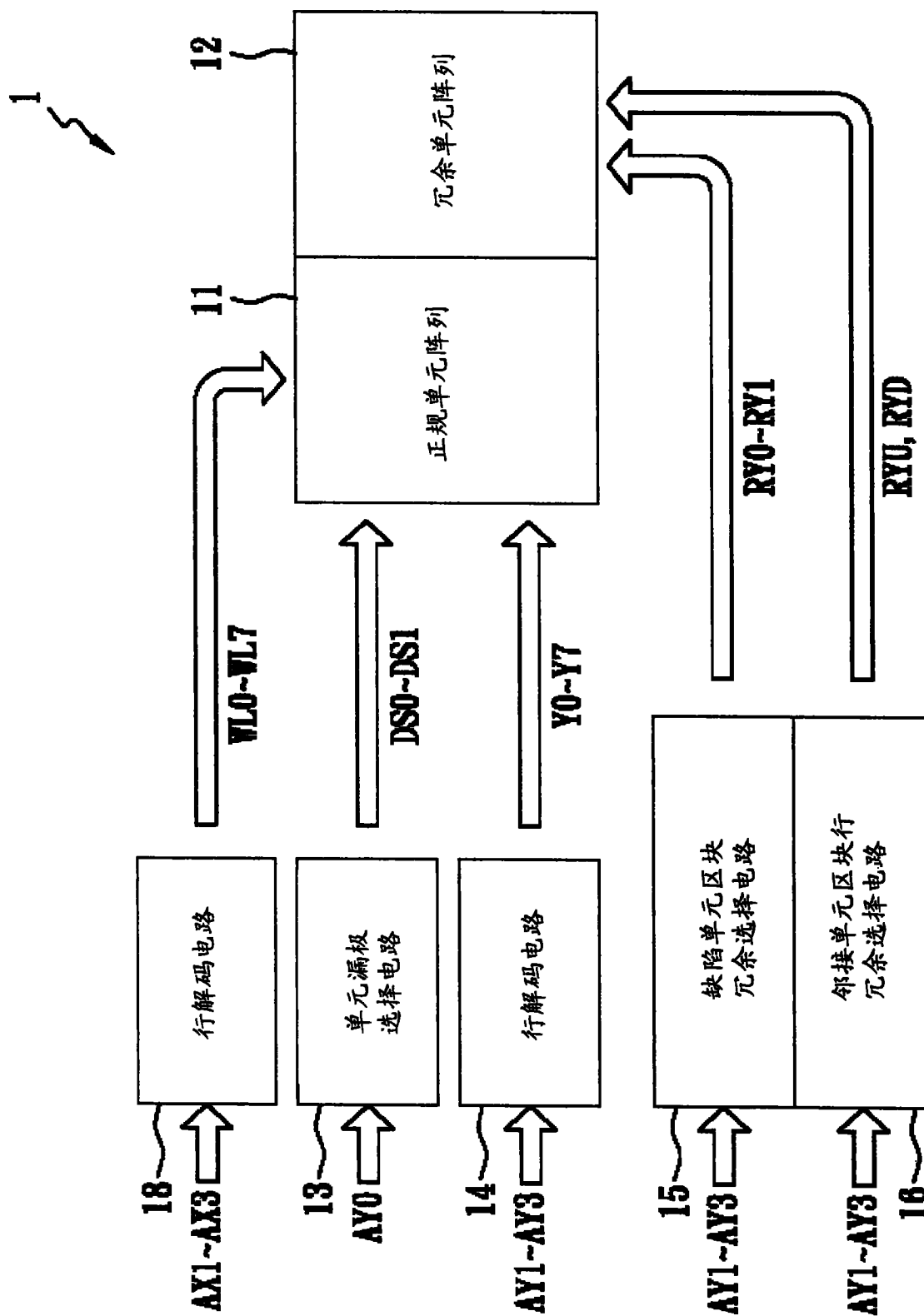


图 1

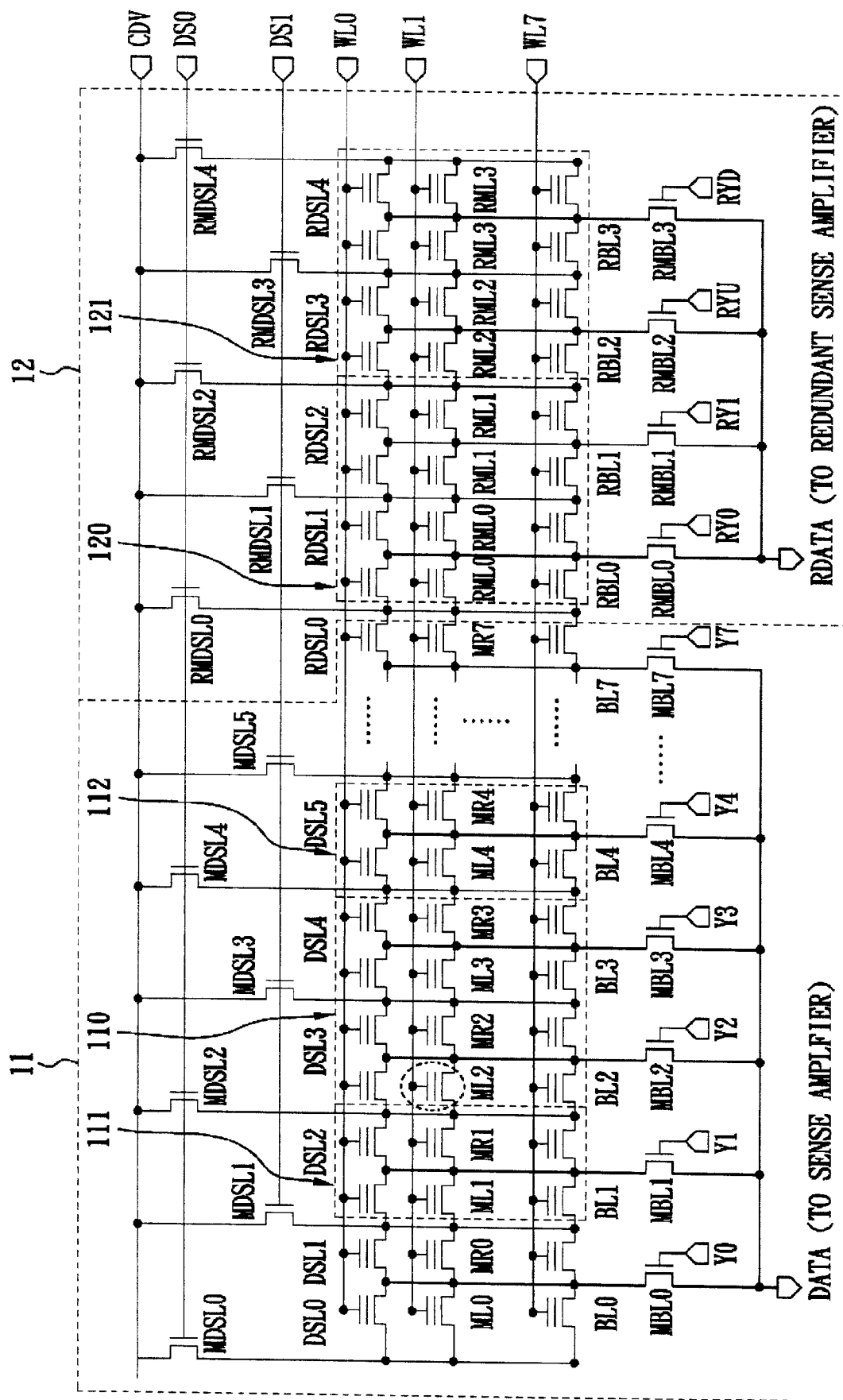


图 2

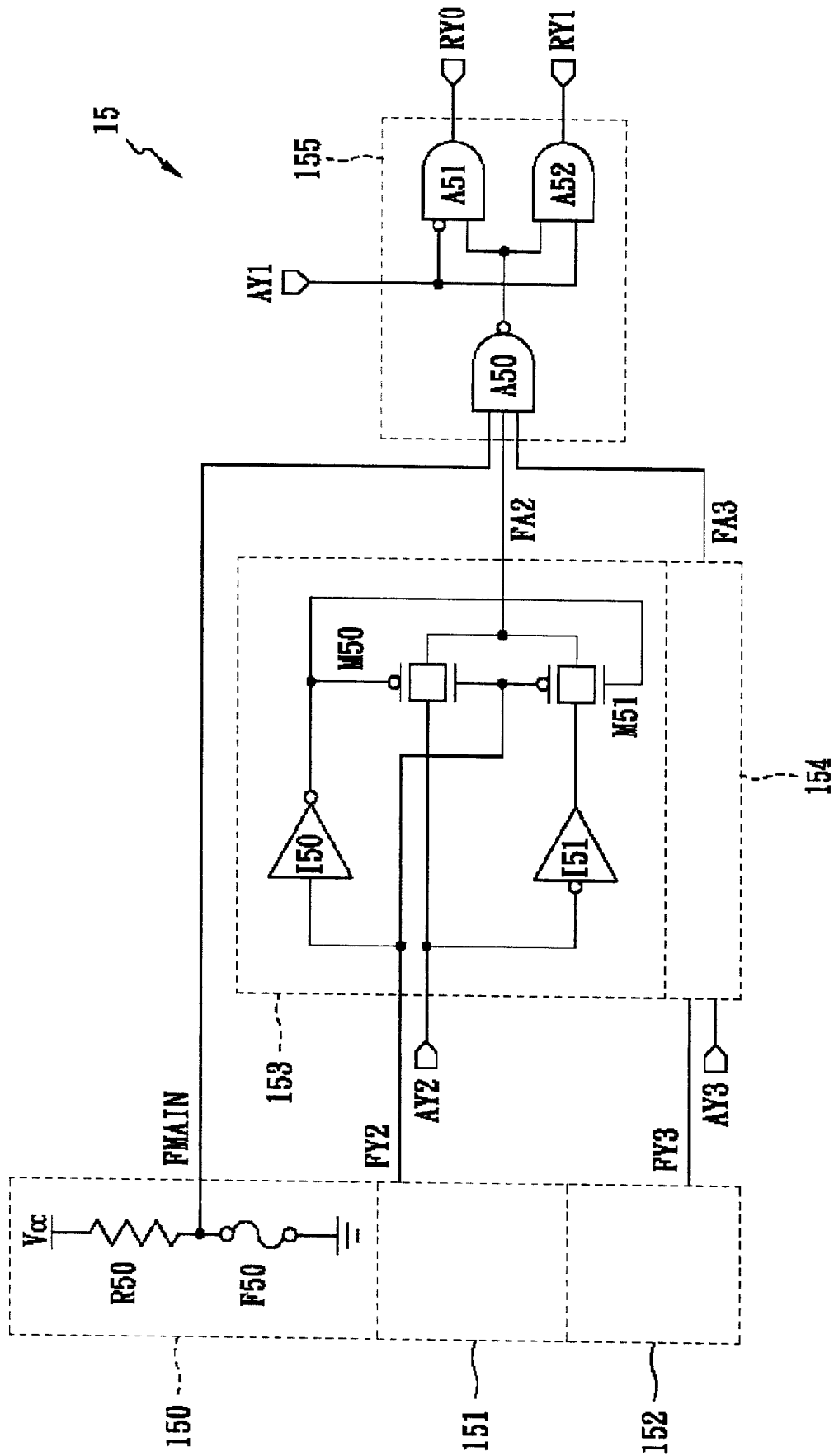


图 3

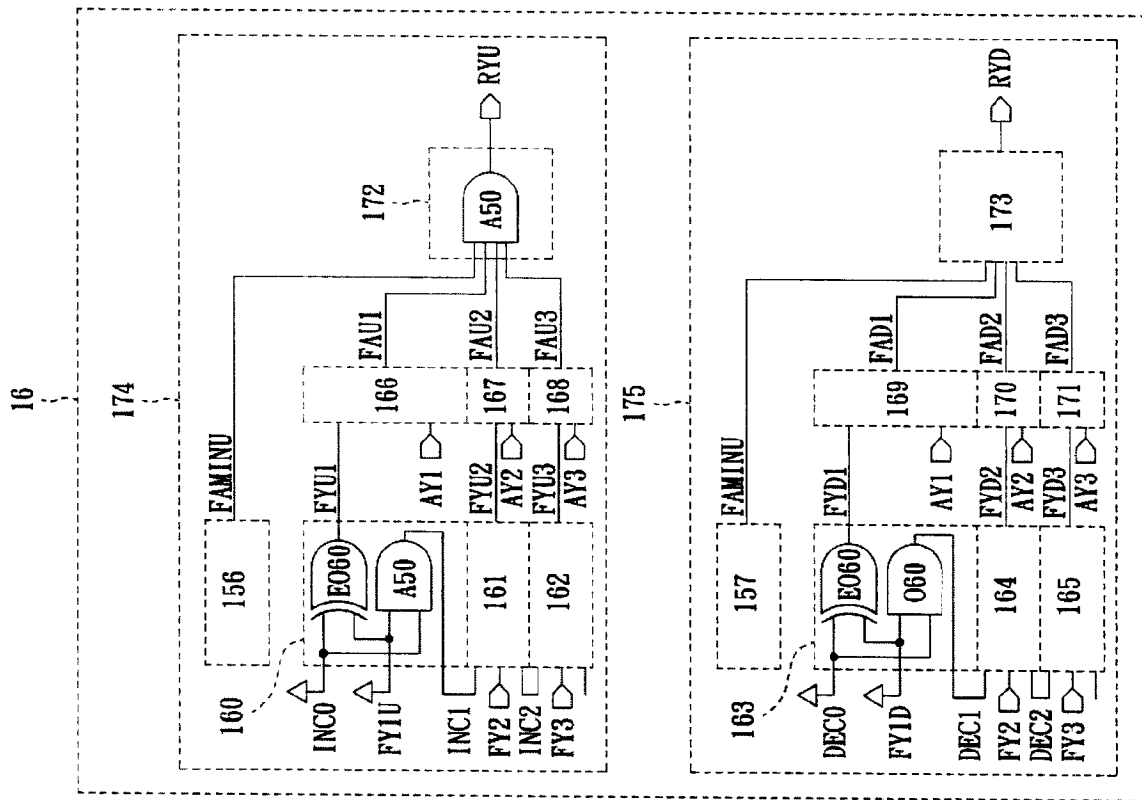


图 4b

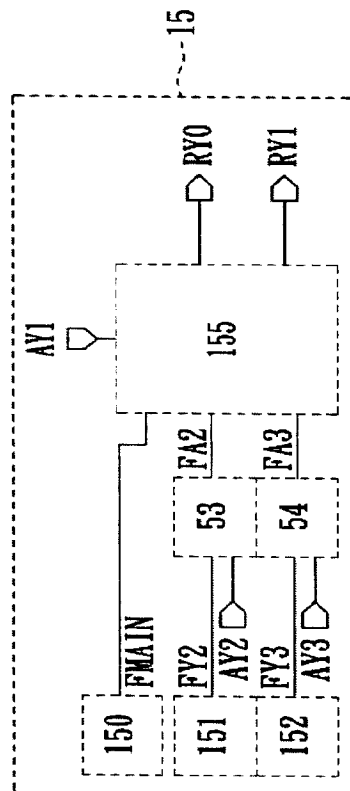


图 4a

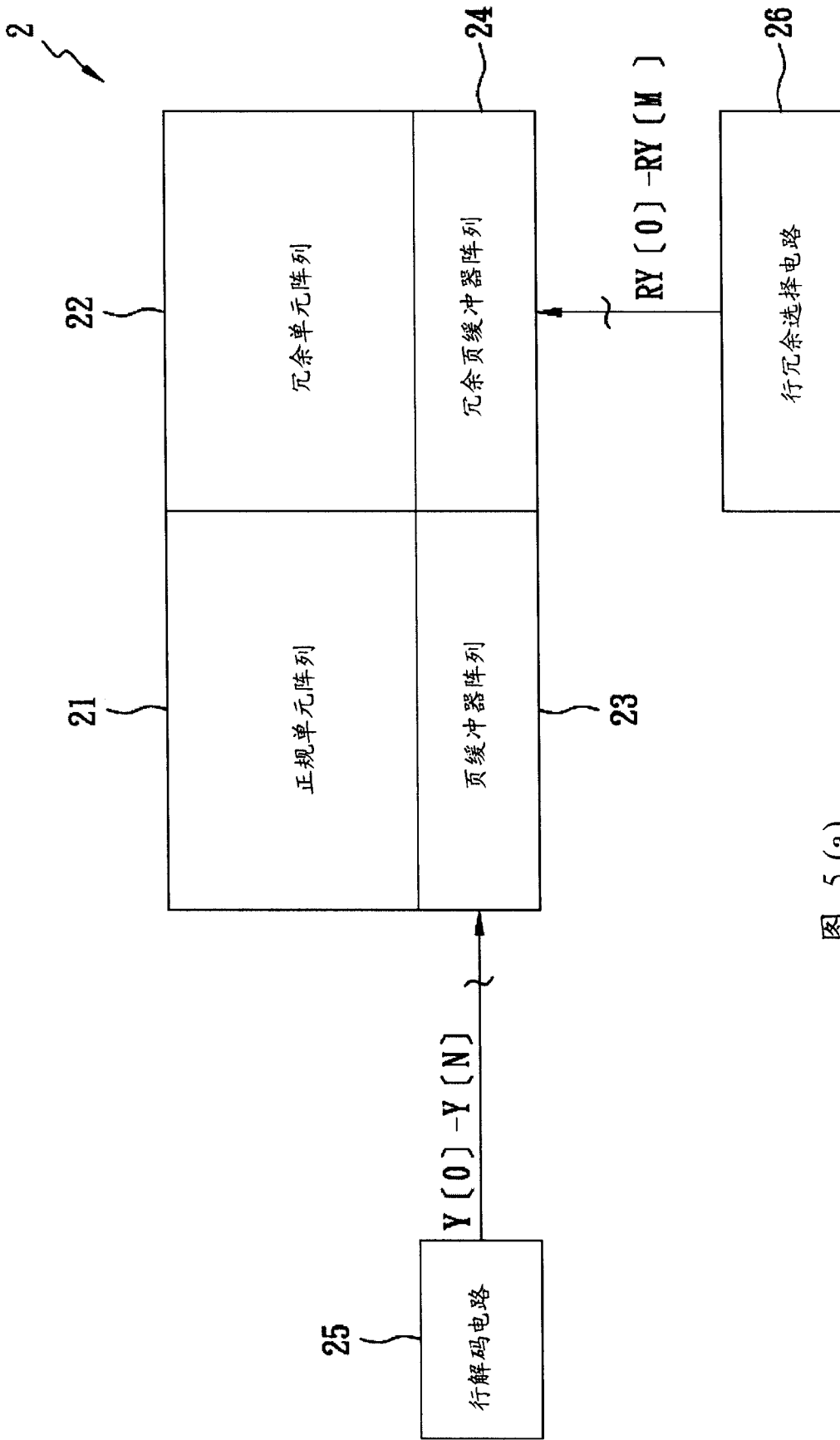


图 5 (a)

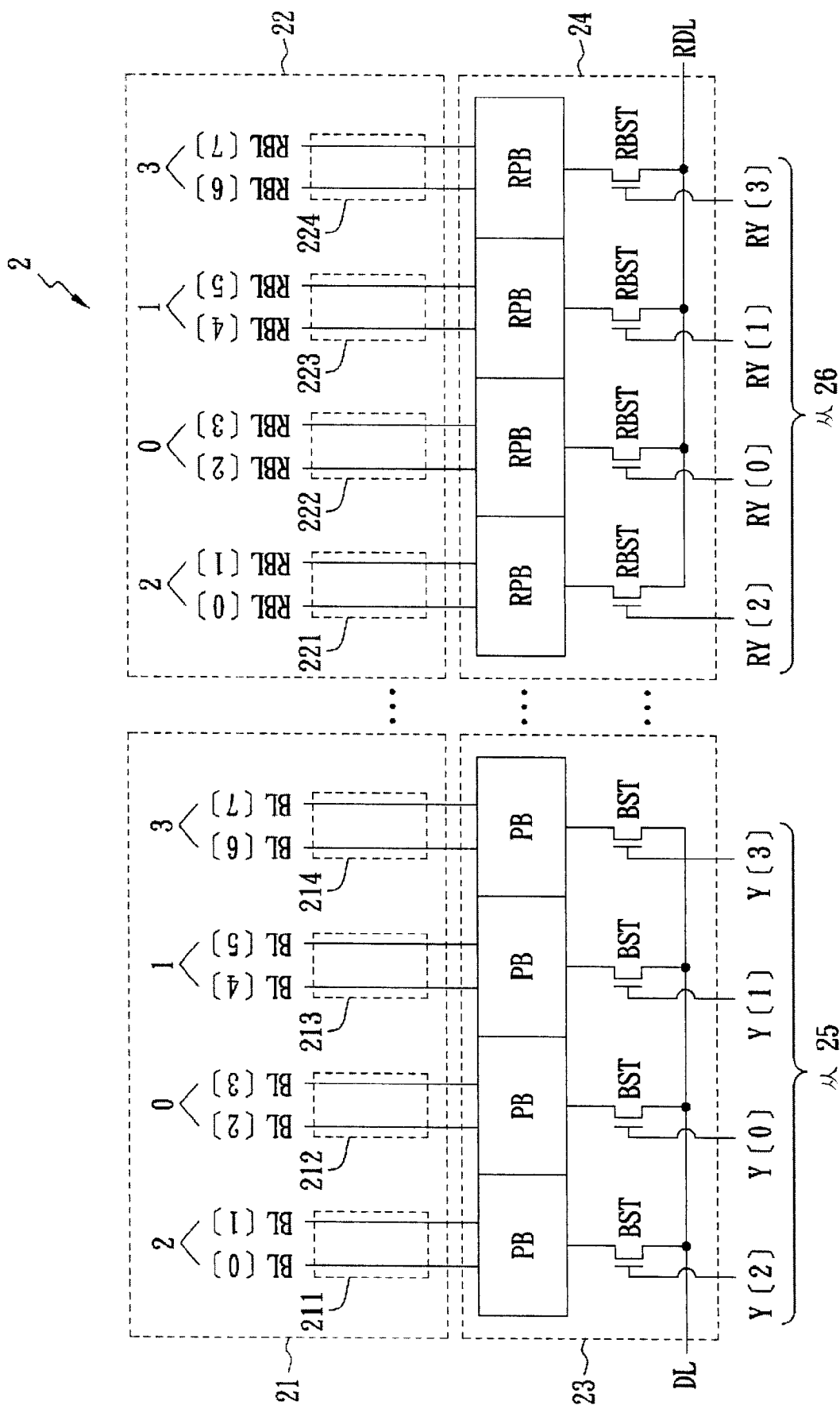


图 5 (b)

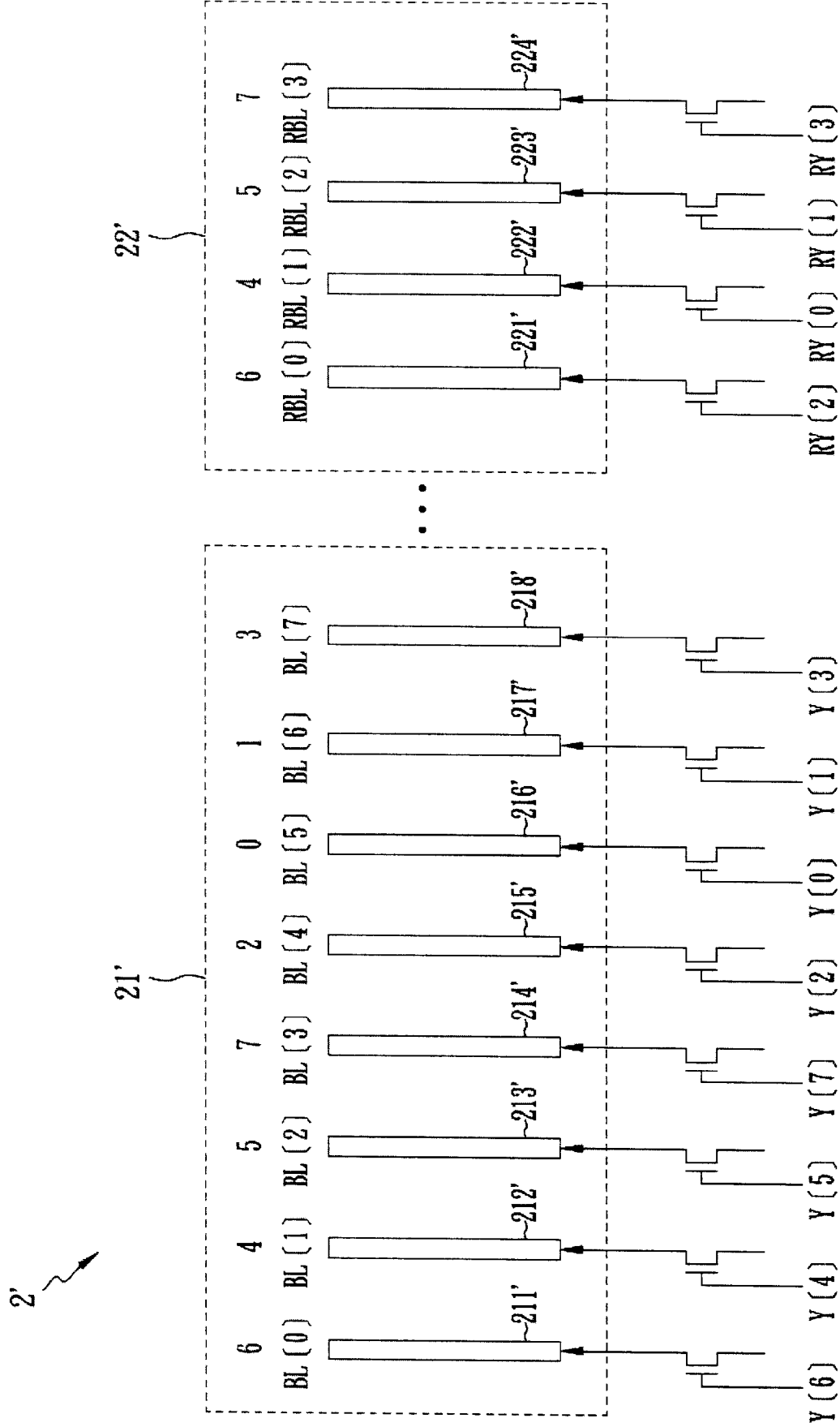


图 5 (c)

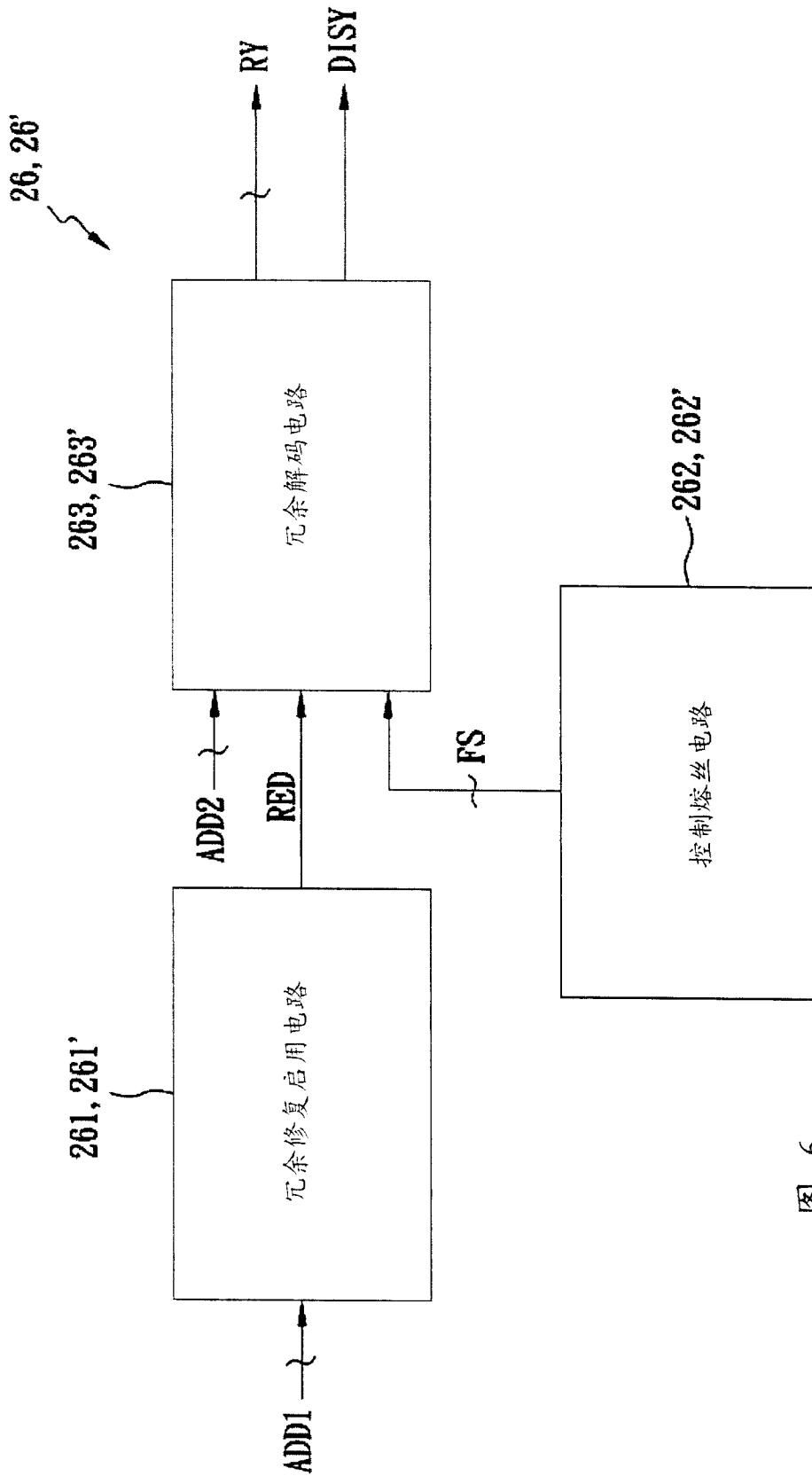


图 6

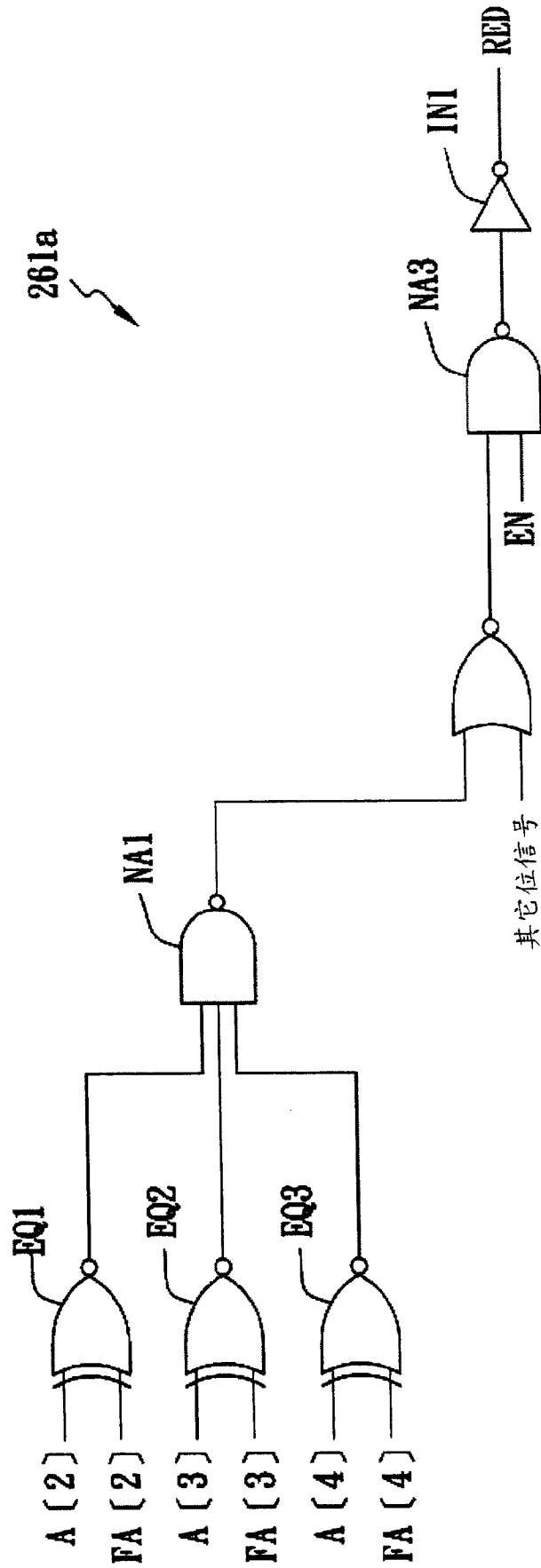


图 7 (a)

261b, 261b'
⚡

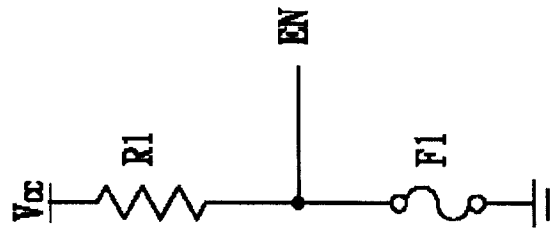


图 7 (b)

261c, 261c'
⚡

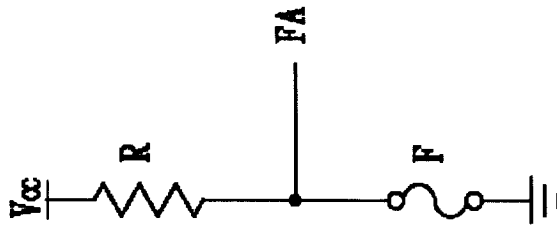


图 7 (c)

262', 262''
⚡

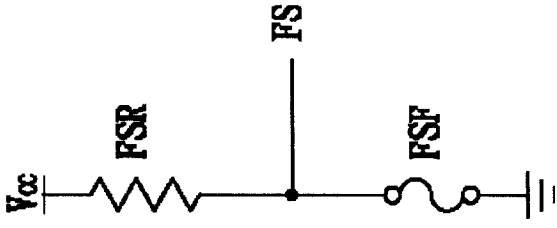


图 8

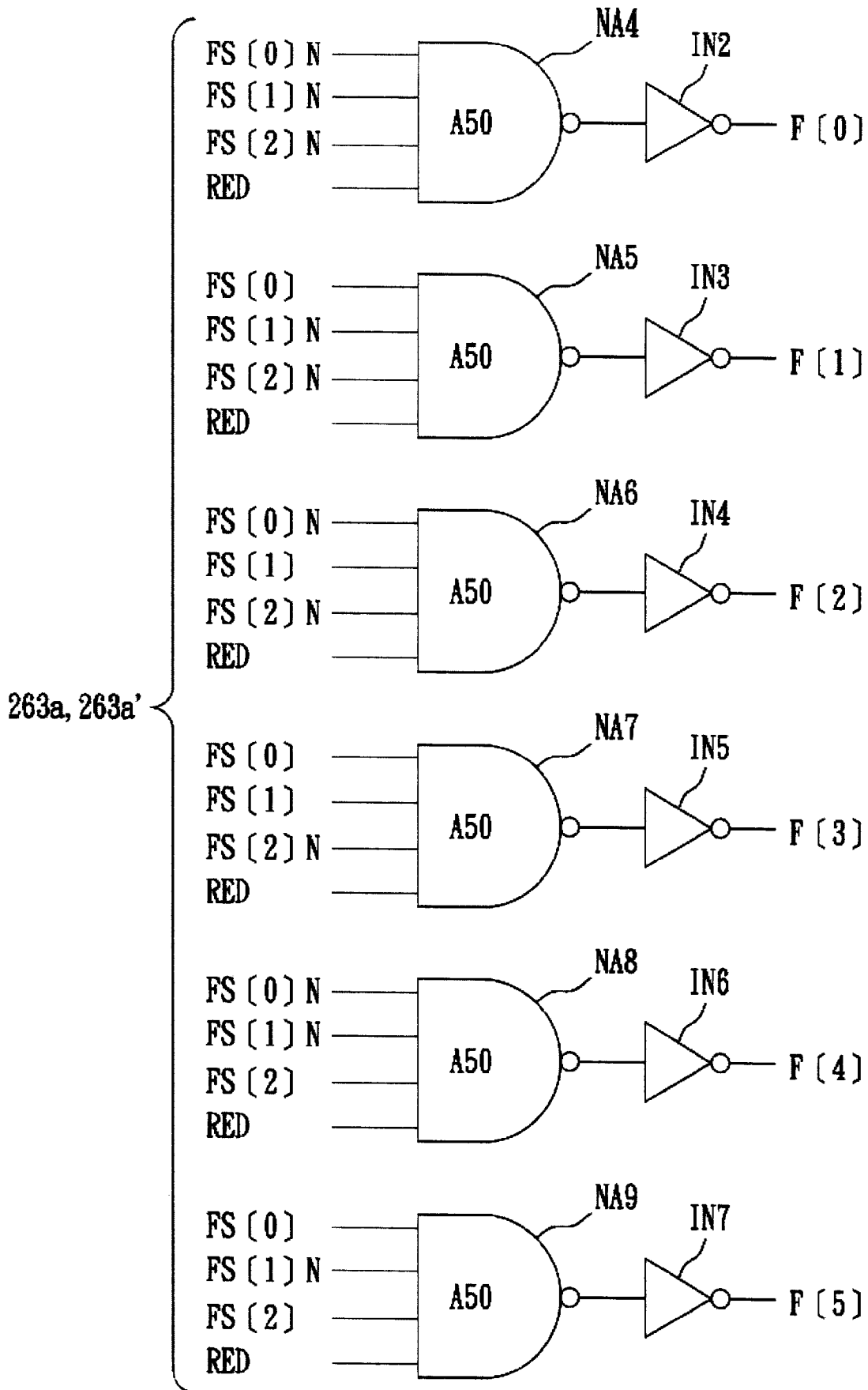


图 9(a)

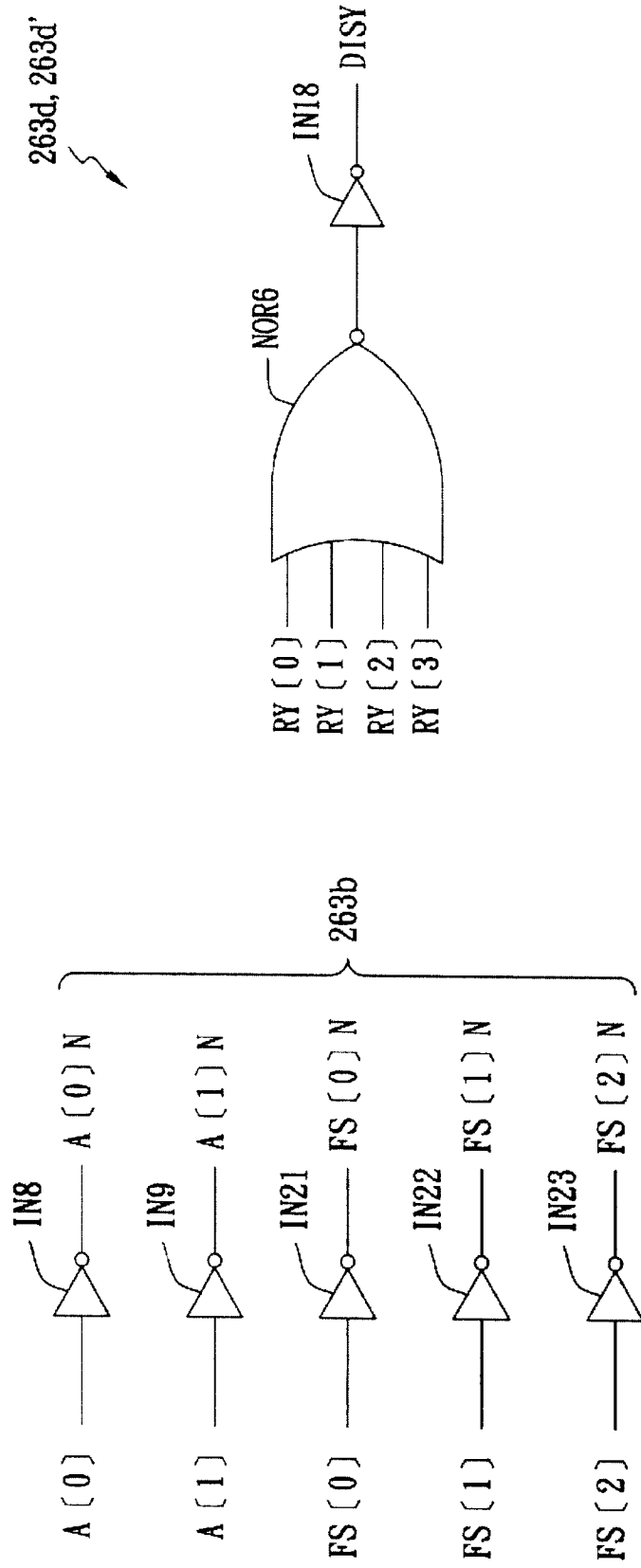


图 9 (d)

图 9 (b)

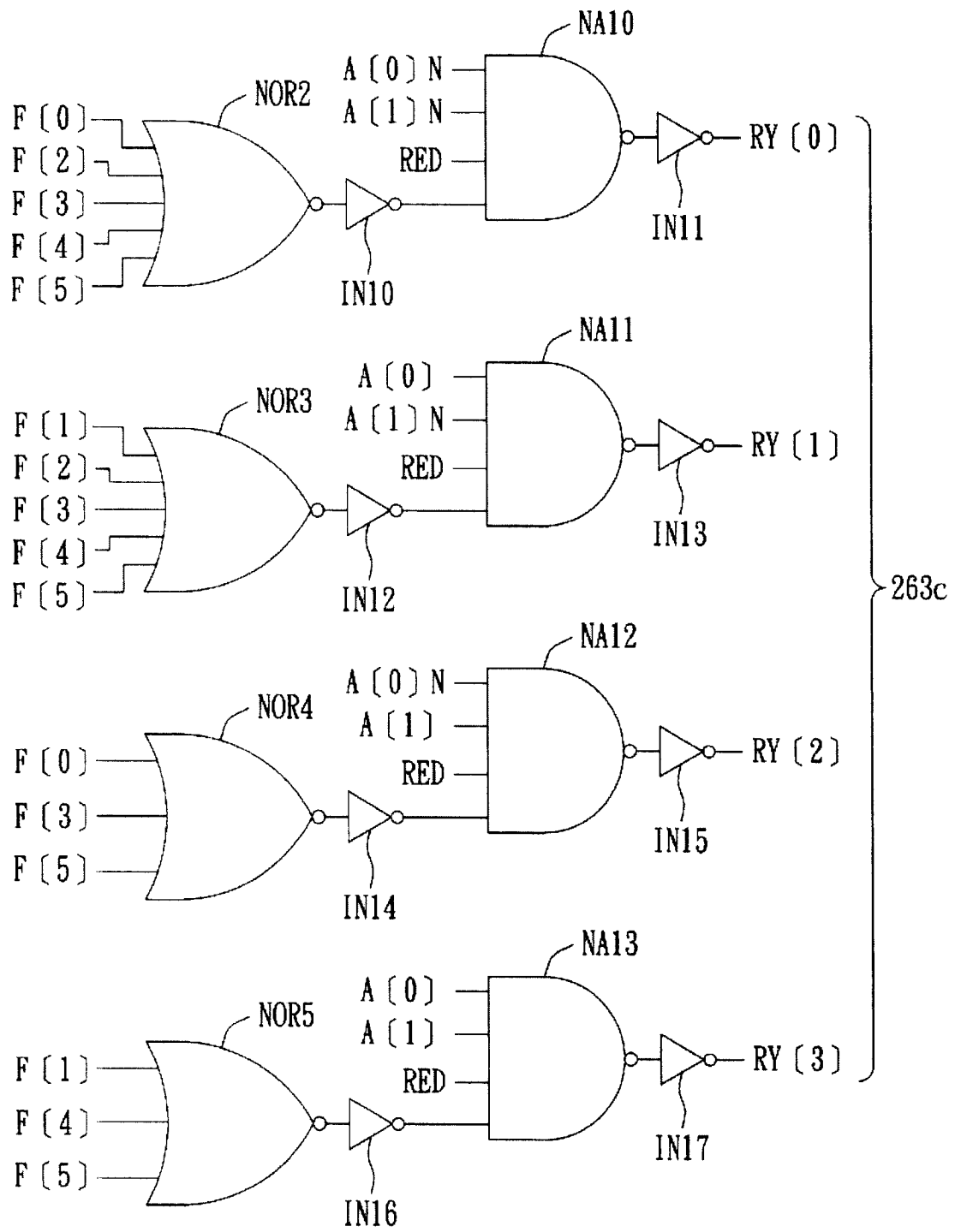


图 9(c)

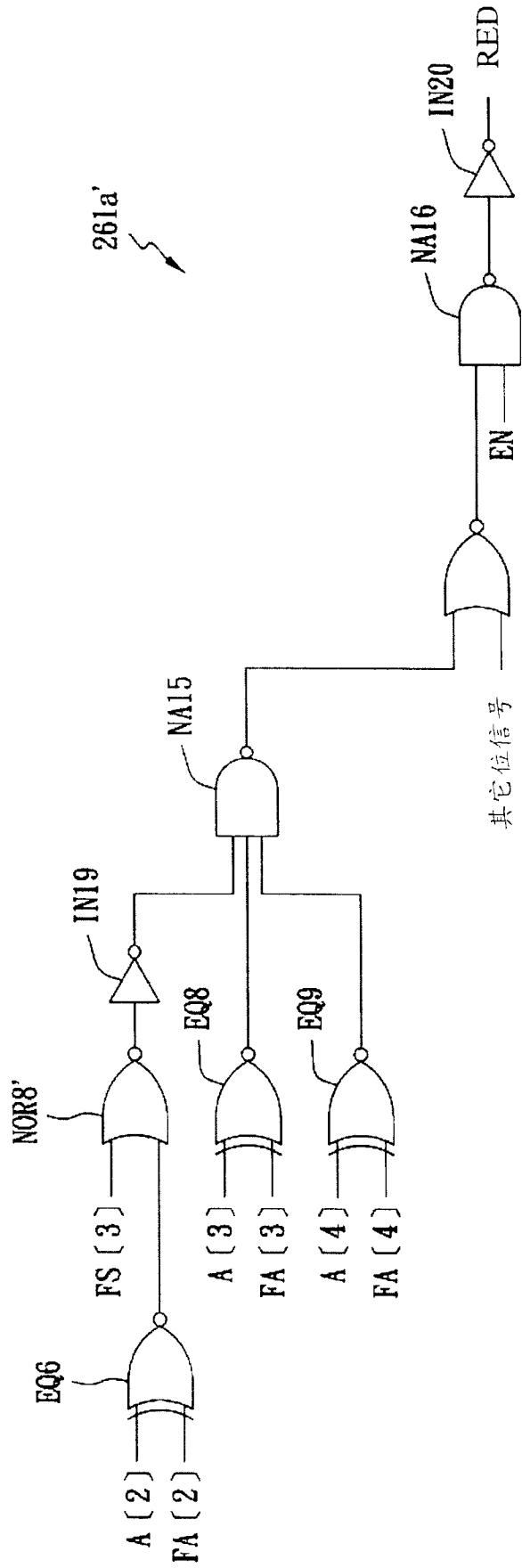


图 10

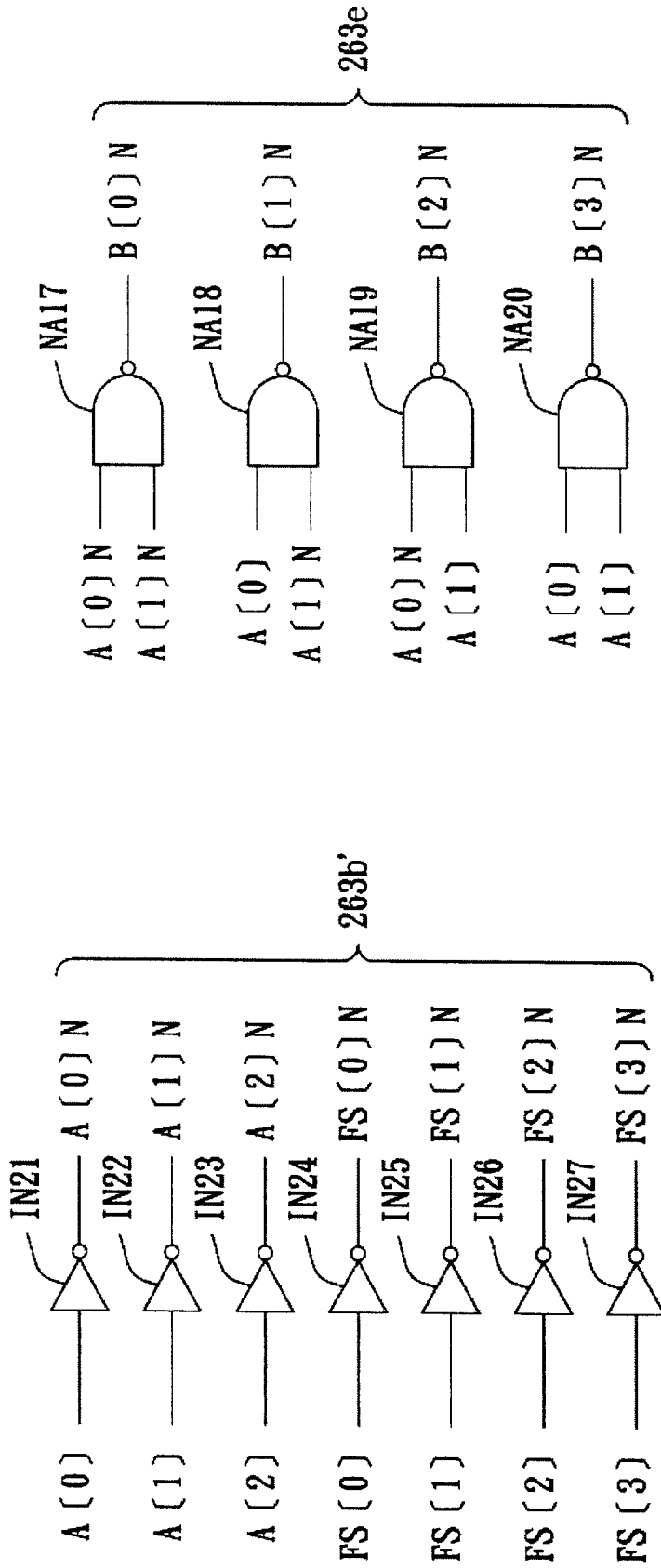


图 11

图 12

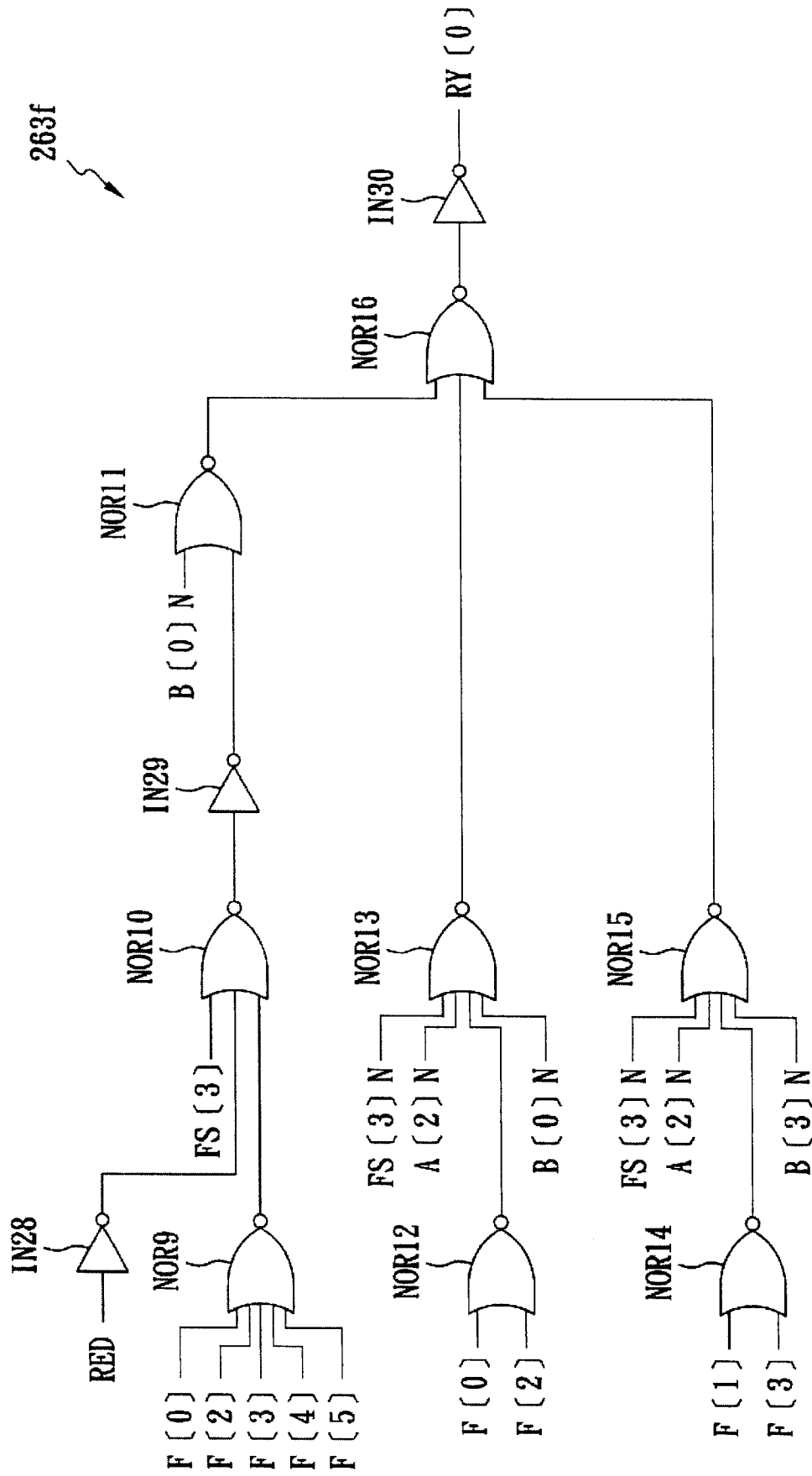


图 13 (a)

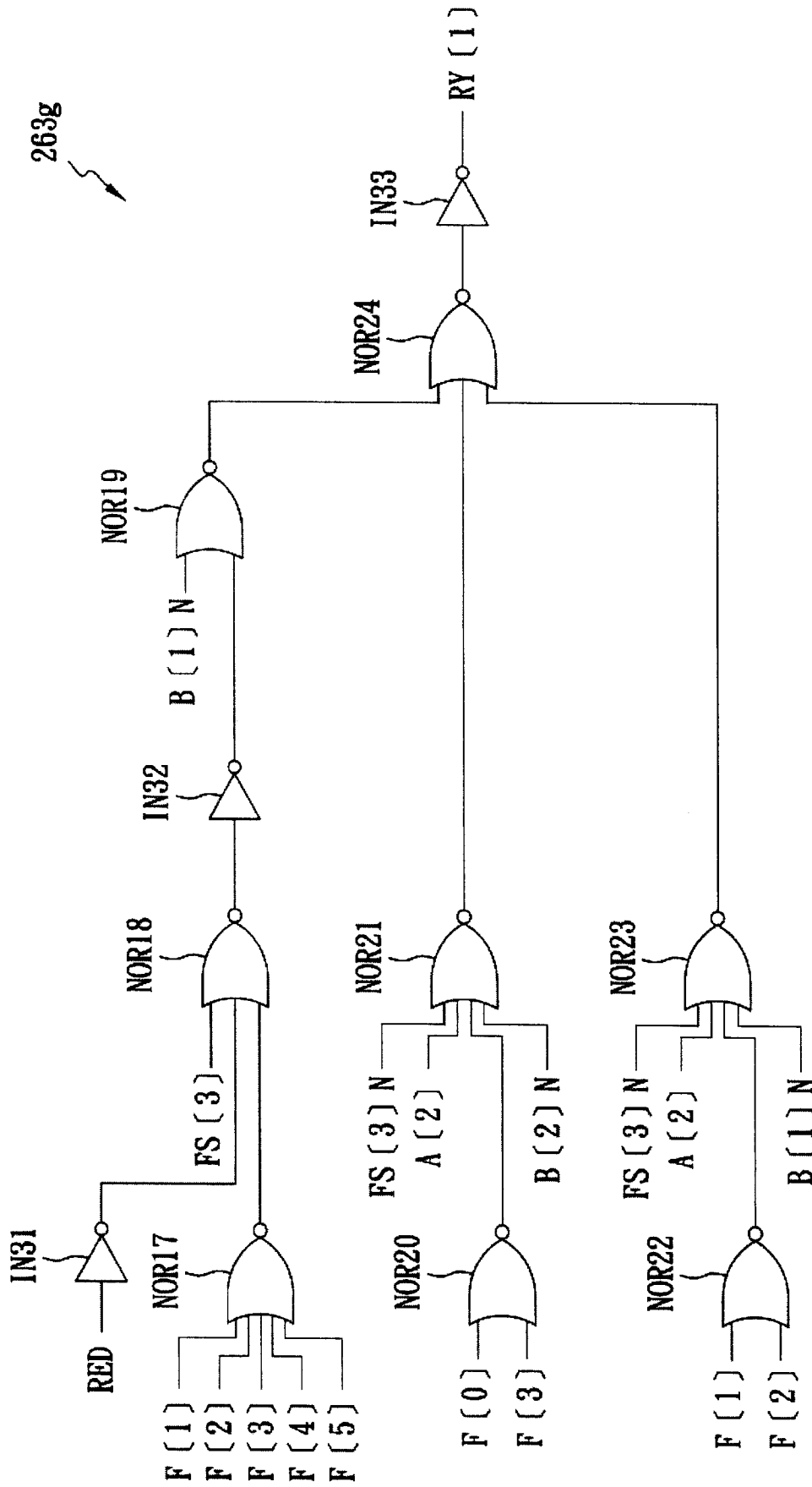


图 13 (b)

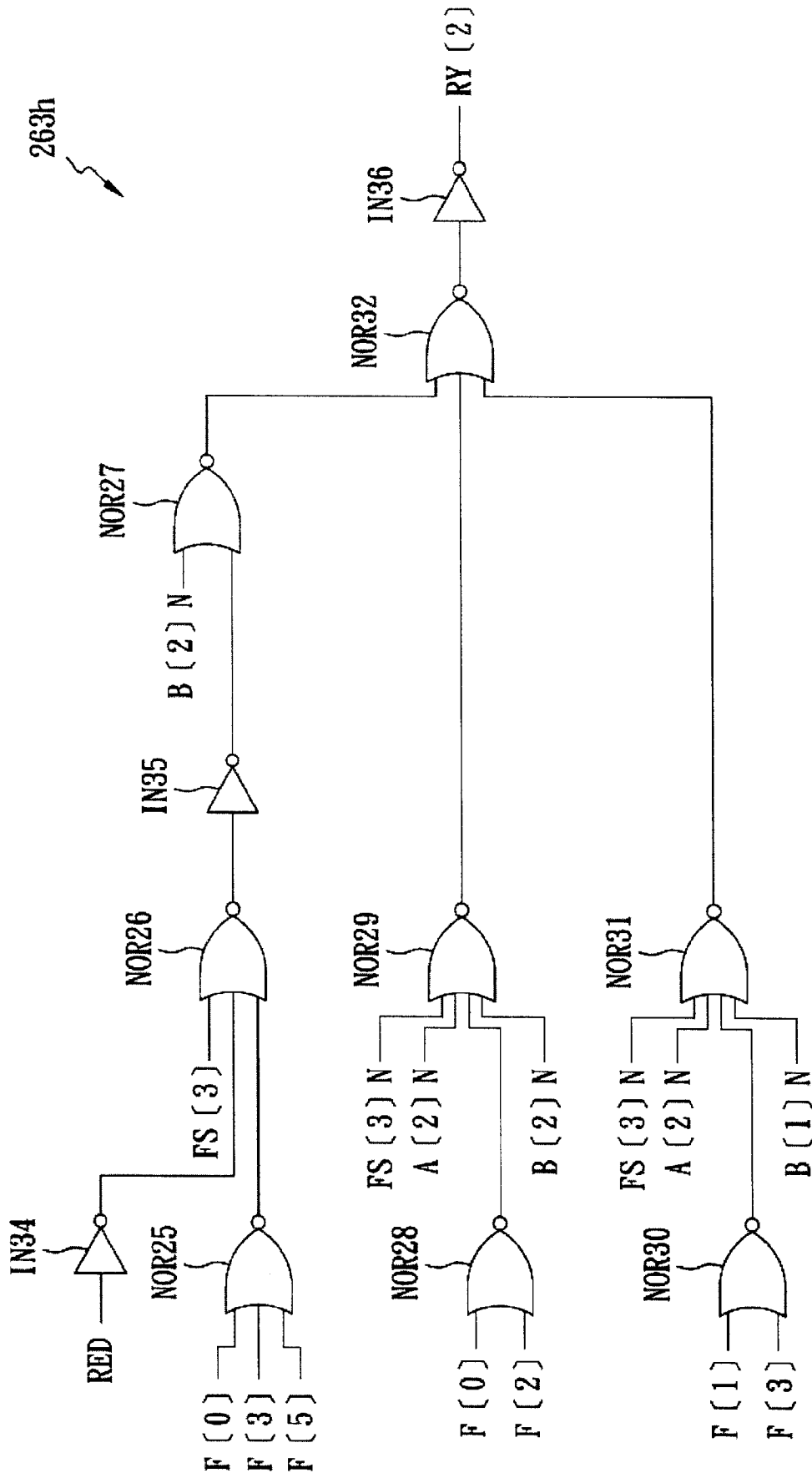


图 13(c)

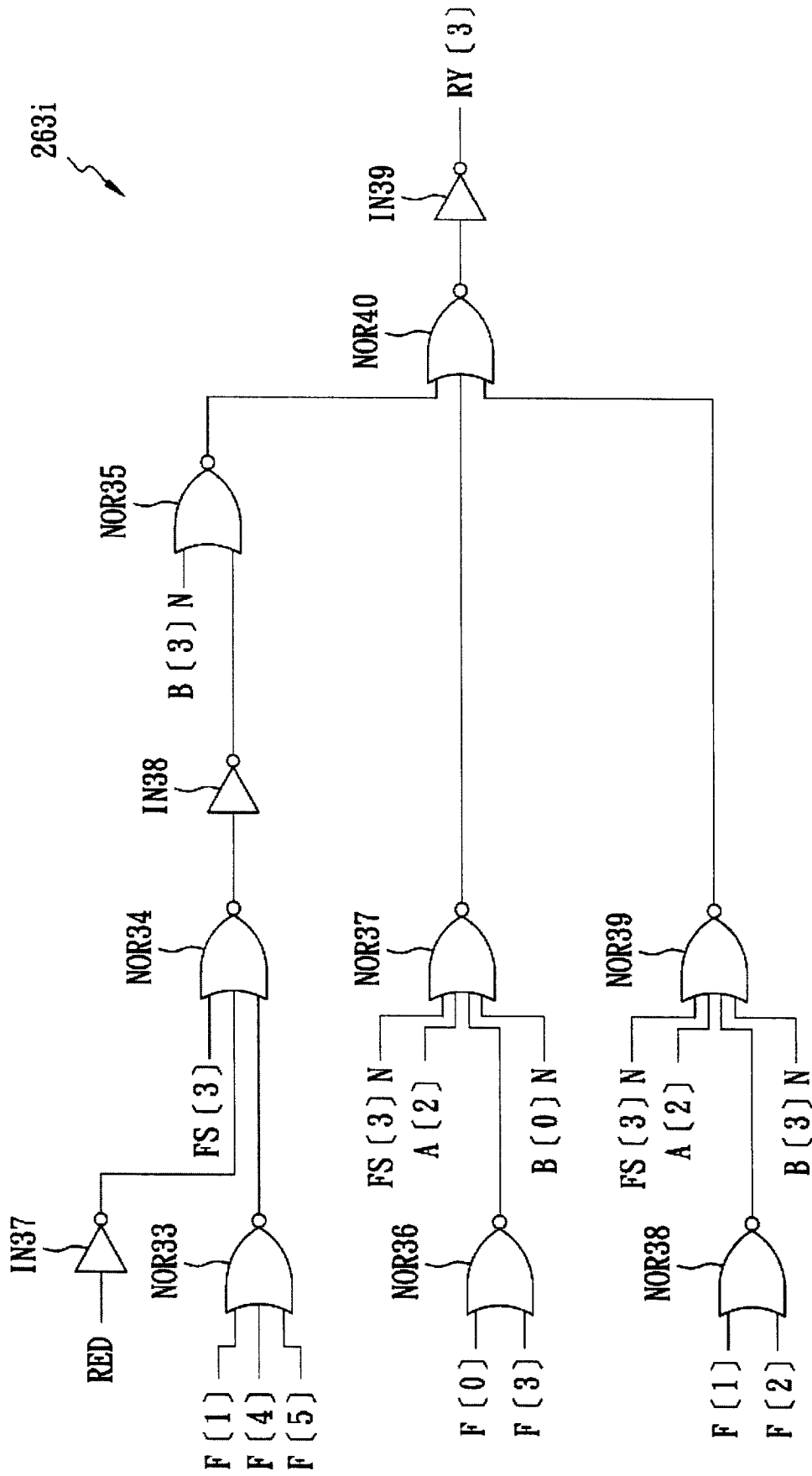


图 13 (d)