



323397

申請日期	85.10.-2
案 號	85112050
類 別	17212 / 8246

A4
C4

(以上各欄由本局填註)

323397

發 明 專 利 說 明 書
新 型

一、發明 名稱	中 文	多階式唯讀記憶體結構及其製造方法
	英 文	
二、發明 人 創 作	姓 名	溫榮茂
	國 籍	中華民國
	住、居所	新竹市高峰路二巷 86-4 號 5 樓
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區工業東三路三號
	代 表 人 姓 名	曹興誠

裝

訂

線

五、發明說明 (|)

本發明是有關於一種多階式唯讀記憶體結構及其製造方法，且特別是有關於一種利用具不同起始電壓及不同阻值之記憶單元，來產生多階邏輯的多階式唯讀記憶體結構及其製造方法。

唯讀記憶體已廣泛應用於迷你電腦，微處理器系統等一類的數位設備中，其可用來儲存一些系統資料，例如 BIOS 等常駐程式。由於唯讀記憶體(簡稱 ROM)的製程非常複雜，而且需要很多耗費時間的步驟及材料的處理，因此，客戶通常是先將程式資料交給記憶體製造工廠，再由工廠將其編碼在 ROM 中以製成成品。

大部分的 ROM 元件除了在程式化階段所存入的資料不同之外，其餘的結構均相同，因此，唯讀記憶體可先製作到程式化之前的步驟，並將此未程式化的半成品庫存起來，待客戶送來特定程式的訂單之後，即可迅速製作光罩以進行程式化，再出貨給客戶，故上述的後程式化光罩式唯讀記憶體已成為業界慣用的方法。

一般常用的唯讀記憶體係利用通道電晶體當作記憶單元(memory cell)，並於程式化階段，選擇性地植入雜質到指定通道區，以藉改變起始電壓(threshold voltage)而達到控制記憶單元導通(ON)或關閉(OFF)的目的。如第 1 圖所示，其顯示唯讀記憶體的記憶單元 100，101，102 在積體電路佈局的上視示意圖，其中，複晶矽字元線 WL(Word Line)跨過位元線 BL，記憶單元如 100 的通道 10 則形成於字元線 WL 所覆蓋的下方，及位元線 BL 之間的區域。而唯讀記憶體即以通道 10 的離子植入與否，來儲存二階式位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (>)

元數據 " 0 " , " 1 " 。

至於目前之多階式唯讀記憶體，則是利用雙重編碼植入(Double Code Implant)方法來使不同之記憶單元產生不同之起始電壓，而具有多階之邏輯狀態，如第 2 圖所示，經由對指定通道區之離子植入使不同記憶單元分別產生起始電壓 V_T , V_{T1} , V_{T2} 。

上述習知的唯讀記憶體，其僅使用植入雜質到指定通道區，以藉改變起始電壓(threshold voltage)來控制記憶單元之邏輯狀態，其中，採用二階製程者記憶容量受限，故在製程縮小化不易之下，唯有採用多階式製程來提高記憶容量。

有鑑於此，本發明之主要目的即在於，提供一種多階式唯讀記憶體結構及其製造方法，其利用具不同起始電壓及不同阻值之記憶單元，來產生多階邏輯以充分利用晶片空間，並在不縮小元件尺寸的條件下提高密度，而於單位面積內製造更多的記憶單元。

而本發明之一種多階式唯讀記憶體的製造方法，包括：

- (a)形成複數個具接觸窗之源/汲極、位於該源/汲極間之通道、及該通道上方之閘極的金氧半導體結構，其以該源/汲極為位元線，且以該閘極為字元線；
- (b)於上述各金氧半導體結構表面分別形成一藉該接觸窗連接該源/汲極之電阻；
- (c)將上述金氧半導體結構分成第一類記憶單元、第二類記憶單元、第三類記憶單元、及第四類記憶單元；

五、發明說明(3)

- (d)進行第一次編碼程序，其選擇該第三類記憶單元、第四類記憶單元來切斷其連接上述源/汲極之電阻，以形成斷路；及
- (e)進行第二次編碼程序，其選擇該第二類記憶單元、第三類記憶單元來進行離子植入以調整該第二類記憶單元、第三類記憶單元通道之起始電壓，完成多階式唯讀記憶體的製造。

而本發明之一種多階式唯讀記憶體結構，由複數個金氧半導體結構構成，其包括：

複數個源/汲極，用以作為位元線；

位於該源/汲極間之通道，其分別具有一起始電壓；

位於該通道上方之閘極，用以作為字元線；及

複數個電阻，分別與上述源/汲極並聯。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖係顯示唯讀記憶體的記憶單元在積體電路佈局的上視示意圖；

第2圖係顯示不同記憶單元經由對指定通道區之離子植入使分別產生之起始電壓 V_T ， V_{T1} ， V_{T2} 對汲極電流之曲線圖；

第3A圖至第3G圖係顯示本發明之較佳實施例中製作記憶單元的流程；

第4A圖至第4E圖係顯示本發明之較佳實施例中，以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

兩次編碼程序形成具不同電阻及起始電壓之記憶單元的流程；

第 5A 圖至第 5D 圖係顯示對應前述第 4E 圖之記憶單元的電路圖；及

第 6 圖係顯示對應前述第 5A 圖至第 5D 圖之電路的起始電壓 V_{T1} ， V_{T2} ， V_{T3} 對汲極電流之曲線圖。

實施例

請參閱第 3A 圖至第 3G 圖，其為製作用於記憶單元之金氧半導體(MOS)結構的流程。如第 3A 圖，首先在一基底上，如一矽基底 30 上定義主動區(active area)，並以局部氧化法(LOCOS)進行隔離製程，形成場氧化層 31a、31b，同時適度植入離子以調整起始電壓(Threshold Voltage Adjustment) V_T ，隨後於矽基底 30 表面形成一閘極氧化層 31c。

接著如第 3B、3C 圖，其為製作金氧半導體(MOS)結構的部份。例如首先沈積一導體層，如複晶矽層 40，其次以微影製程(lithography)定義閘極圖案，經蝕刻程序形成閘極結構 41 及其下方之通道 34，如第 3C 圖，此時再施以離子佈值程序，如以閘極結構 41 為罩幕，將雜質植入該基底以形成源/汲極 32a、32b，如此可與該源/汲極間之通道 34、及該通道上方之閘極 41 構成金氧半導體(MOS)結構，另在本實施例之應用中，係以該源/汲極為位元線，且以該閘極為字元線。

如第 3D、3E 圖，為開設接觸窗的部份。首先覆蓋一絕緣層於該 MOS 結構上，如以 CVD 法沈積硼磷矽玻璃

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (5)

(BPSG)，形成一介電層 50，經平坦化後以微影製程定義接觸窗圖案，經蝕刻該介電層 50 以在該源/汲極處形成接觸窗 51a，51b。

其次如第 3F、3G 圖，其為製作連接該源/汲極之電阻部份。如首先以薄膜沈積(TFT Active Layer Deposition)或複晶矽層沈積形成一電阻層 60，經離子摻雜以調整阻值，接著定義該電阻層之形狀，以作為連接該源/汲極之電阻，其阻值為 R_1 ，而此時通道之起始電壓為 V_{T1} 。

請參閱第 4A 圖至第 4E 圖，其為以兩次編碼程序形成具不同電阻及起始電壓之記憶單元的流程。如第 4A 圖，在本實施例之多階式唯讀記憶體中，係將上述複數個 MOS 結構依設計需要分成第一類記憶單元 110、第二類記憶單元 120、第三類記憶單元 130、及第四類記憶單元 140。

接著進行第一次編碼程序，其選擇該第三類記憶單元 130、第四類記憶單元 140 來切斷其連接上述源/汲極之電阻，以形成斷路。如第 4B、4C 圖所示，其以光阻 70 塗佈上述各類記憶單元，經曝光顯影步驟移轉欲形成斷路區域之圖案，露出該第三類記憶單元 130、第四類記憶單元 140 之通道 34 上方的電阻層 60a、60b，並利用蝕刻程序去除該位於通道 34 上方之電阻層 60a、60b，以形成斷路，此時第一類記憶單元 110、第二類記憶單元 120 之電阻阻值仍為 R_1 ，通道之起始電壓為 V_{T1} ；第三類記憶單元 130、及第四類記憶單元 140 為斷路，通道之起始電壓為 V_{T1} 。

其次，進行第二次編碼程序，其選擇該第二類記憶單元 120、第三類記憶單元 130 來進行離子植入以調整該第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

二類記憶單元 120、第三類記憶單元 130 通道之起始電壓，以完成多階式唯讀記憶體之製造。如第 4D、4E 圖所示，其以光阻 80 塗佈上述各類記憶單元，經曝光顯影步驟移轉欲調整電阻及通道起始電壓區域之圖案，露出該第二類記憶單元 120、第三類記憶單元 130，接著以摻雜程序植入離子以調整通道起始電壓，其中，第一類記憶單元 110、第四類記憶單元 140 因以光阻 80 為罩幕，故該第一類記憶單元 110、第四類記憶單元 140 之電阻阻值及通道起始電壓分別為 (R_1, V_{T1}) 、 (∞, V_{T1}) ；第二類記憶單元 120、第三類記憶單元 130 則因受植入離子之影響而調整通道之起始電壓，其中第二類記憶單元 120 之通道起始電壓因藉著電阻層 60 之屏蔽而為 V_{T2} ，第三類記憶單元 130 因係斷路，故通道之起始電壓為 V_{T3} ，故該第二類記憶單元 120、第三類記憶單元 130 之電阻阻值及通道起始電壓分別為 (R_1, V_{T2}) 、 (∞, V_{T3}) 。如第 5A~5D 圖所示，係顯示對應前述第 4E 圖之記憶單元的電路圖。

由於上述各記憶單元分別具有不同之電阻及通道起始電壓，因此可產生多階邏輯狀態，如第 6 圖所示，其顯示對應前述第 5A 圖至第 5D 圖之電路的閘極電壓 V_{34} 對汲極電流 I_d 之曲線圖。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

四、中文發明摘要(發明之名稱：

多階式唯讀記憶體結構及其製造方法)

一種多階式唯讀記憶體的製造方法，為將複數個具接觸窗之源/汲極、位於該源/汲極間之通道、及該通道上方之閘極的金氧半導體結構表面，分別形成一藉該接觸窗連接該源/汲極之電阻；其次將上述金氧半導體結構分成第一類記憶單元、第二類記憶單元、第三類記憶單元、及第四類記憶單元；同時先進行第一次編碼程序，其選擇該第三類記憶單元、第四類記憶單元來切斷其連接上述源/汲極之電阻，以形成斷路；及進行第二次編碼程序，其選擇該第二類記憶單元、第三類記憶單元來進行離子植入以調整該第二類記憶單元、第三類記憶單元通道之起始電壓，完成多階式唯讀記憶體的製造。

英文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種多階式唯讀記憶體的製造方法，包括：
 - (a) 提供一基底；
 - (b) 在該基底上形成複數個具源/汲極、該源/汲極間之通道、及該通道上方之閘極的金氧半導體(MOS)結構，其以該源/汲極為位元線，且以該閘極為字元線；
 - (c) 覆蓋一絕緣層於該 MOS 結構上；
 - (d) 蝕刻該絕緣層以在該源/汲極處形成接觸窗；
 - (e) 形成一電阻層於該絕緣層及接觸窗上；
 - (f) 定義該電阻層之形狀以作為連接該源/汲極之電阻；
 - (g) 將上述複數 MOS 結構分成第一類記憶單元、第二類記憶單元、第三類記憶單元、及第四類記憶單元；
 - (h) 進行第一次編碼程序，其選擇該第三類記憶單元、第四類記憶單元來切斷其連接上述源/汲極間之電阻，以形成斷路；及
 - (i) 進行第二次編碼程序，其選擇該第二類記憶單元、第三類記憶單元來進行離子植入以調整該第二類記憶單元、第三類記憶單元通道之起始電壓，完成多階式唯讀記憶體的製造。

2. 如申請專利範圍第 1 項所述之方法，其中，步驟(c)為以 CVD 法沈積硼磷矽玻璃(BPSG)，以形成一介電層。

3. 如申請專利範圍第 1 項所述之方法，其中，步驟(e)係以薄膜沈積形成一電阻層於該絕緣層及接觸窗上。

4. 如申請專利範圍第 1 項所述之方法，其中，步驟(e)係以複晶矽層沈積形成一電阻層於該絕緣層及接觸窗上。

六、申請專利範圍

5.如申請專利範圍第1項所述之方法，其中，步驟(h)係以一光阻塗佈上述各類記憶單元，經曝光顯影步驟移轉欲形成斷路區域之圖案，以露出該第三類記憶單元、第四類記憶單元之通道上方的電阻層，並利用蝕刻程序去除該位於通道上方之電阻層，以形成斷路。

6.如申請專利範圍第1項所述之方法，其中，步驟(i)係以一光阻塗佈上述各類記憶單元，經曝光顯影步驟移轉欲調整電阻及通道起始電壓區域之圖案，以露出該第二類記憶單元、第三類記憶單元，接著以摻雜程序植入離子以調整通道起始電壓。

7.一種多階式唯讀記憶體的製造方法，包括：

- (a)形成複數個具接觸窗之源/汲極、位於該源/汲極間之通道、及該通道上方之閘極的金氧半導體結構，其以該源/汲極為位元線，且以該閘極為字元線；
- (b)於上述各金氧半導體結構表面以絕緣方式分別形成一藉該接觸窗連接該源/汲極之電阻；
- (c)將上述金氧半導體結構分成第一類記憶單元、第二類記憶單元、第三類記憶單元、及第四類記憶單元；
- (d)進行第一次編碼程序，其選擇該第三類記憶單元、第四類記憶單元來切斷其連接上述源/汲極間之電阻，以形成斷路；及
- (e)進行第二次編碼程序，其選擇該第二類記憶單元、第三類記憶單元來進行離子植入以調整該第二類記憶單元、第三類記憶單元通道之起始電壓，完成多階式唯讀記憶體的製造。

六、申請專利範圍

8. 一種多階式唯讀記憶體結構，由複數個金氧半導體結構構成，其包括：

複數個源/汲極，用以作為位元線；

位於該源/汲極間之通道，分別具有不同之起始電壓；

位於該通道上方之閘極，用以作為字元線；及

複數個電阻，分別與上述源/汲極並聯。

9. 如申請專利範圍第 8 項所述之結構，其中，該電阻層由一導電材料構成。

10. 如申請專利範圍第 8 項所述之結構，其中，該電阻層，分別具有不同之阻值。

11. 如申請專利範圍第 8 項所述之結構，其中，該電阻層更包括一斷路電阻。

12. 一種多階式唯讀記憶體結構，由複數個金氧半導體結構構成，其包括：

複數個源/汲極，用以作為位元線；

位於該源/汲極間之通道，其具有一起始電壓；

位於該通道上方之閘極，用以作為字元線；及

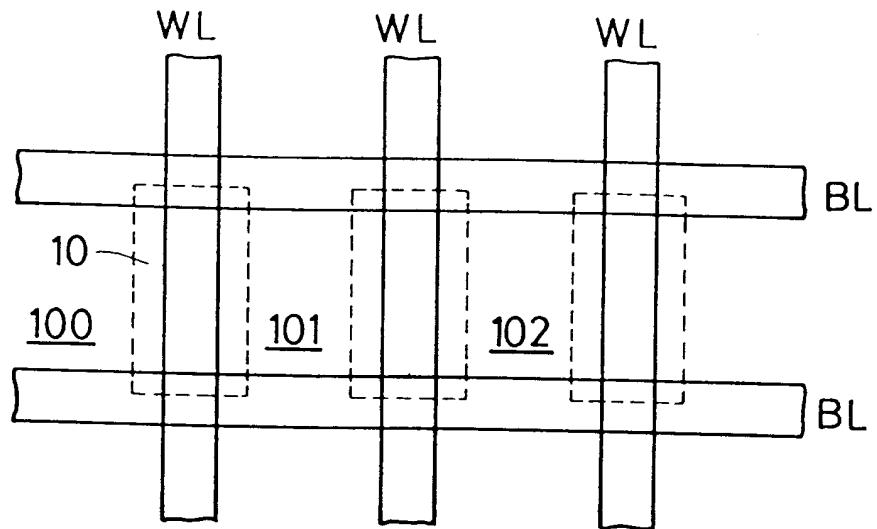
複數個具不同阻值之電阻，分別與上述源/汲極並聯。

(請先閱讀背面之注意事項再填寫本頁)

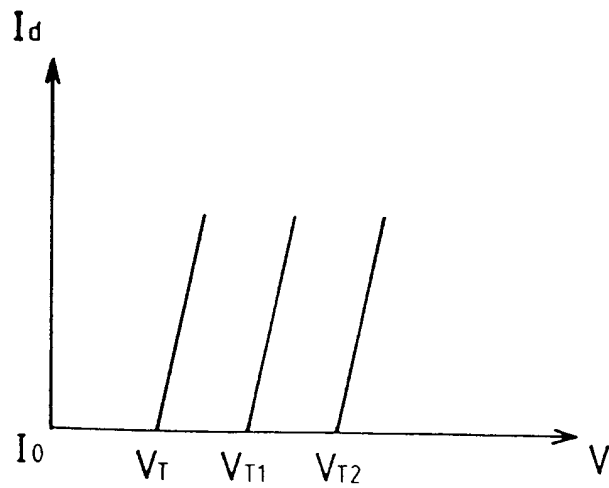
裝

訂

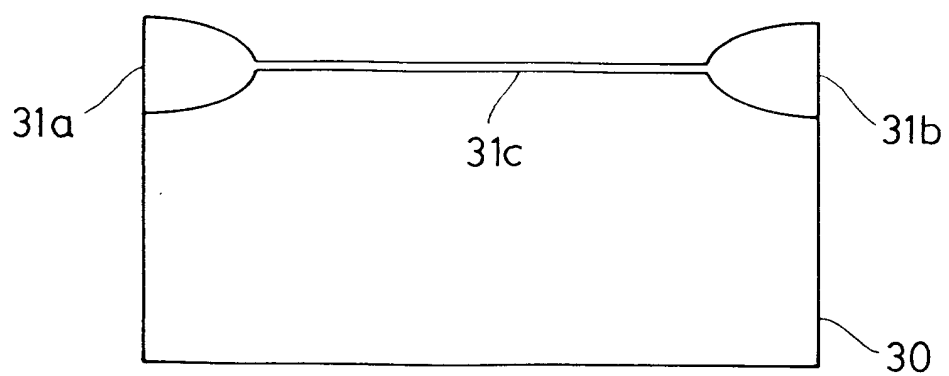
線



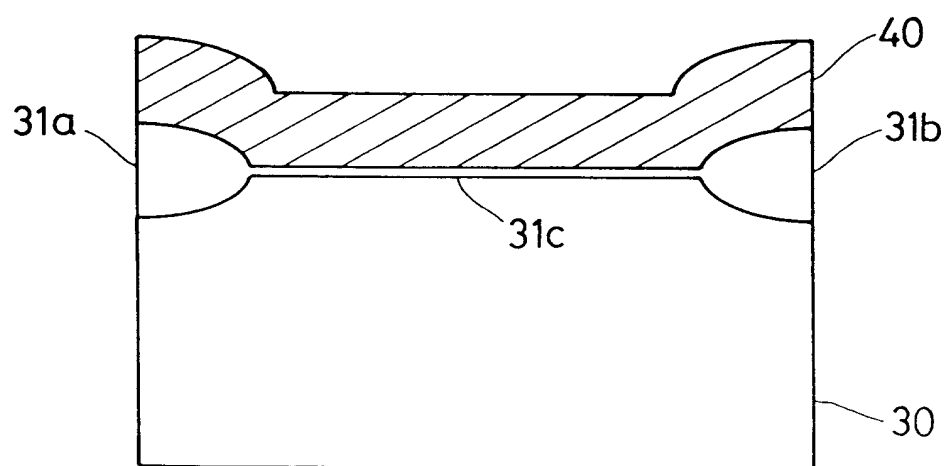
第 1 圖



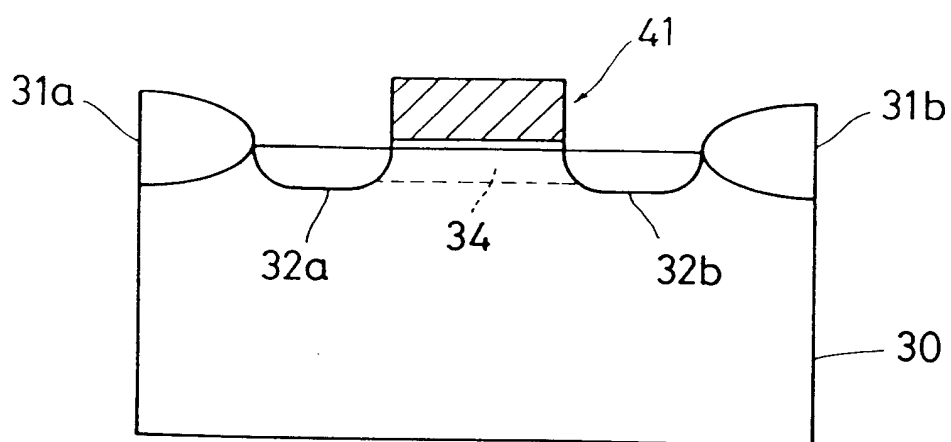
第 2 圖



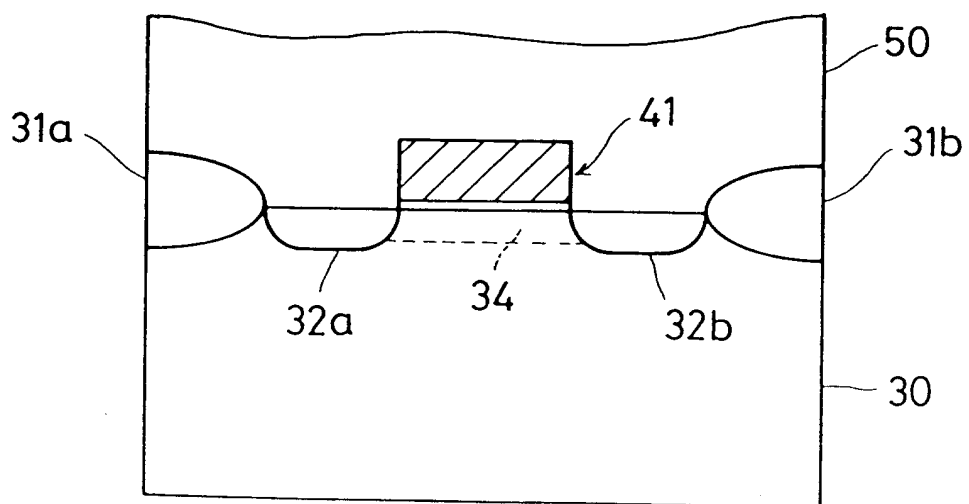
第3A圖



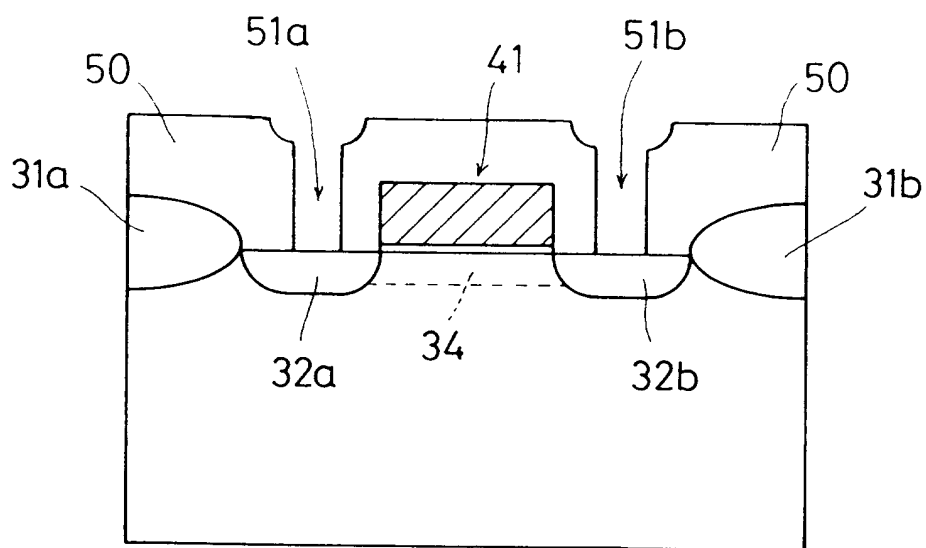
第3B圖



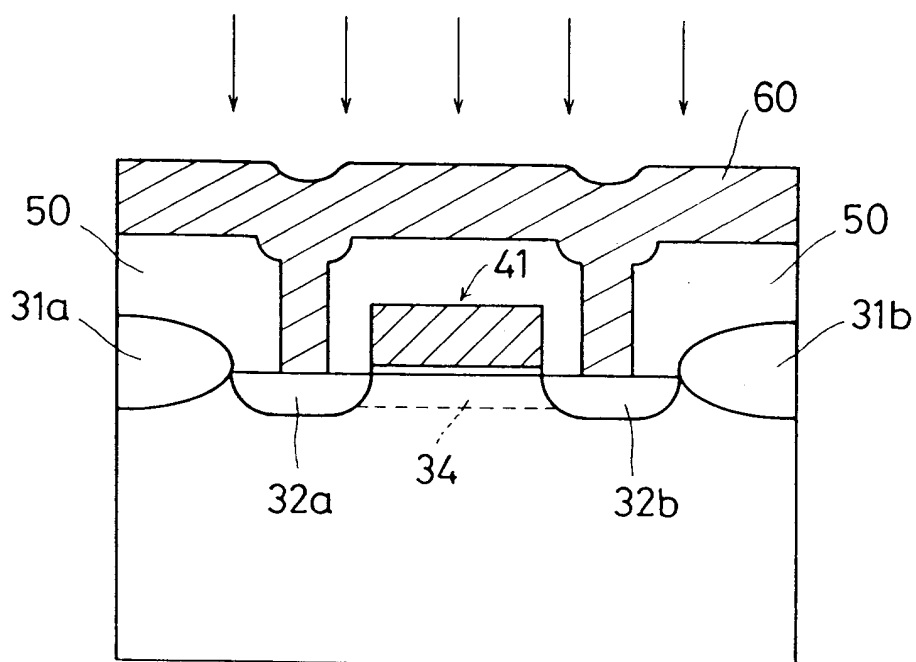
第3C圖



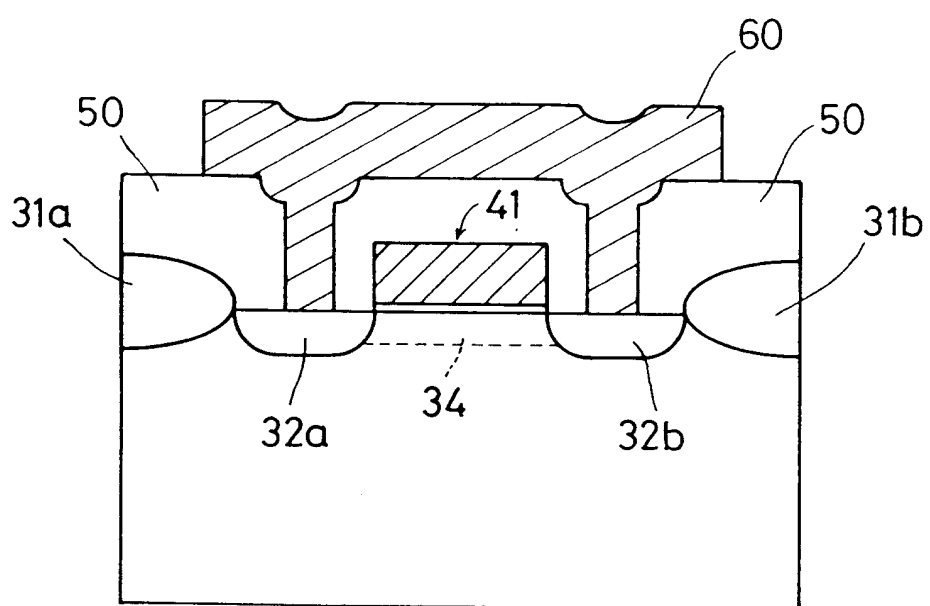
第3D圖



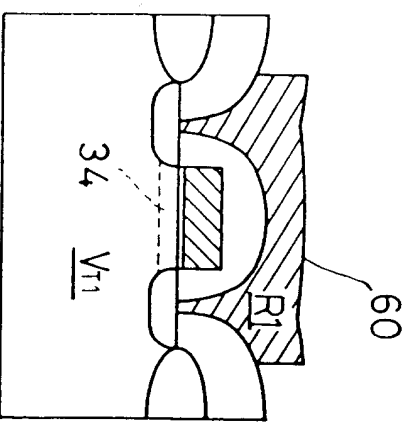
第3E圖



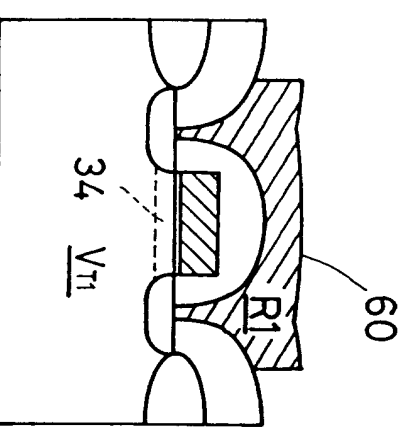
第3F圖



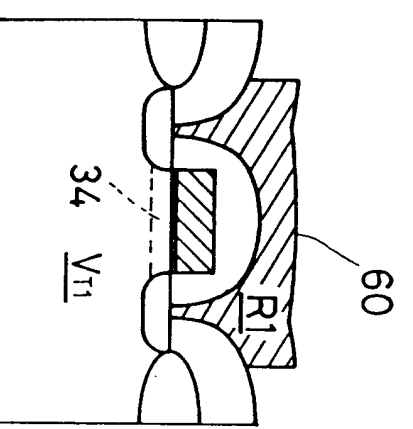
第3G圖



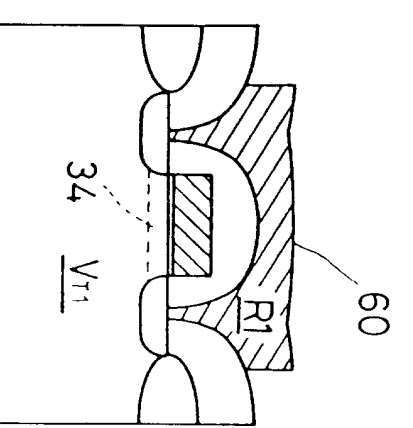
110



120

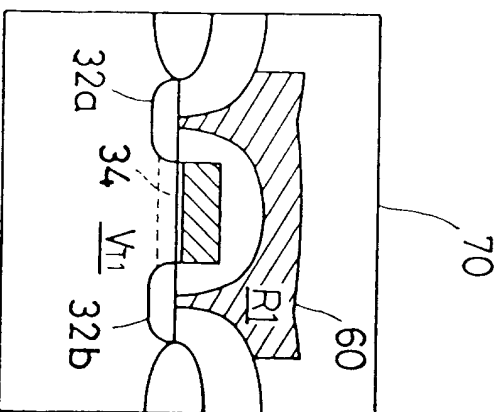


130

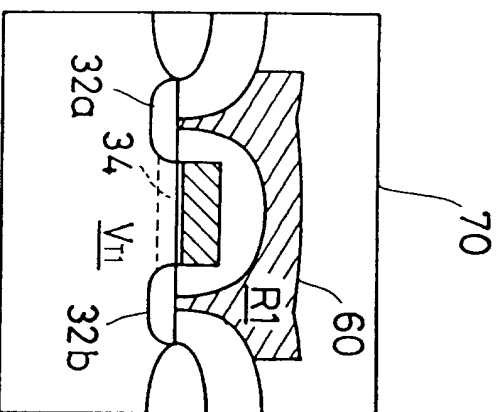


140

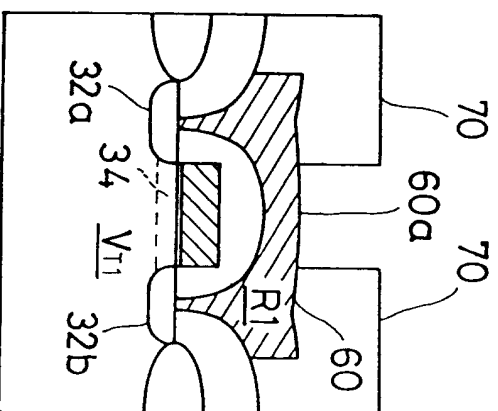
第4A圖



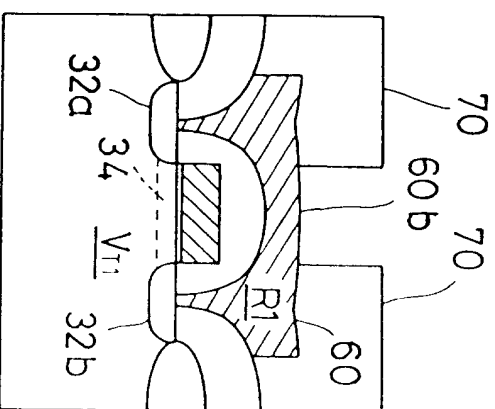
110



120

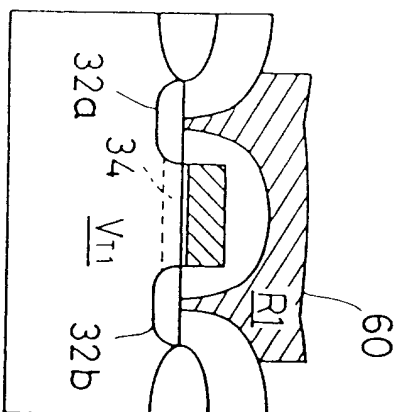


130

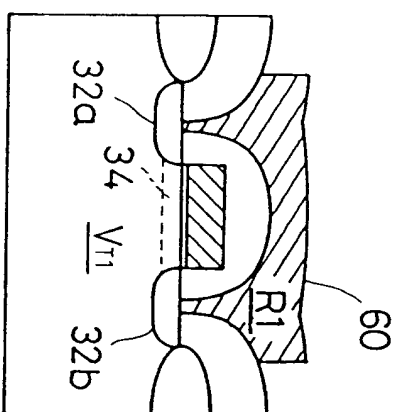


140

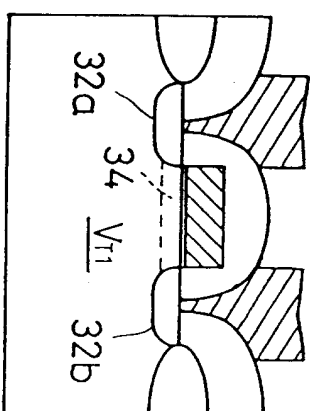
第4B圖



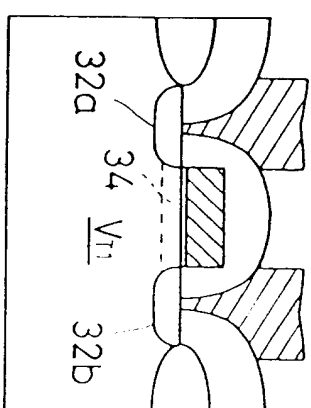
110



120

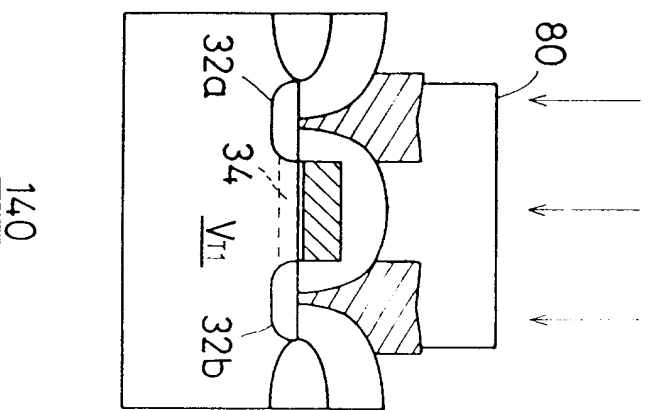
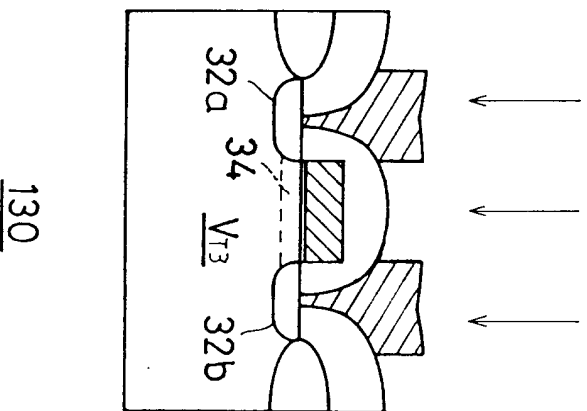
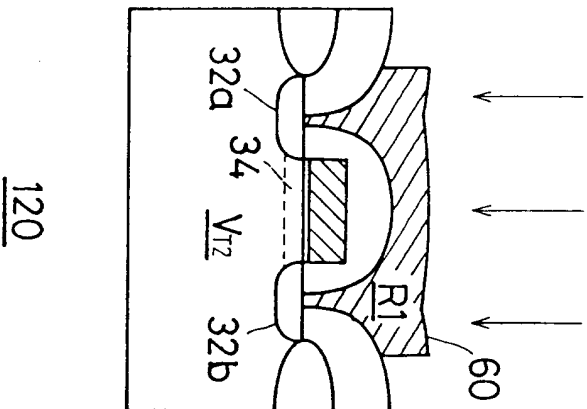
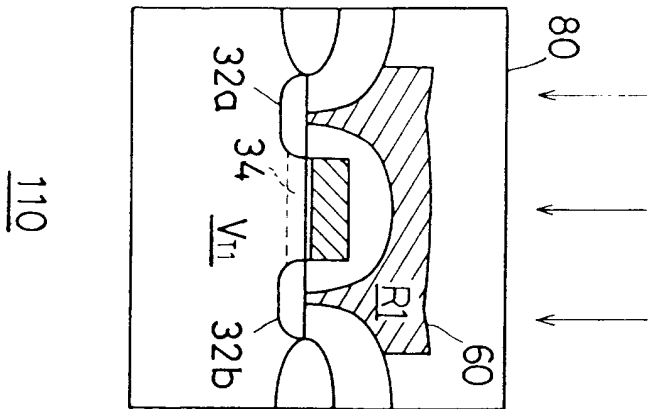


130

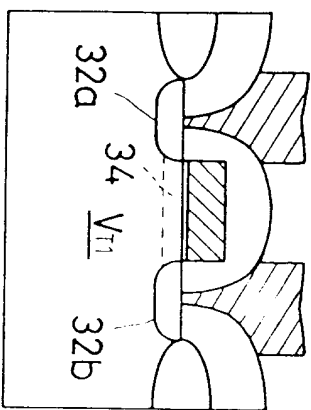
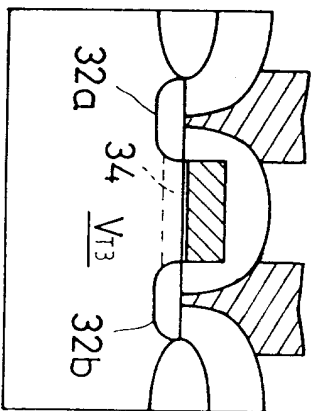
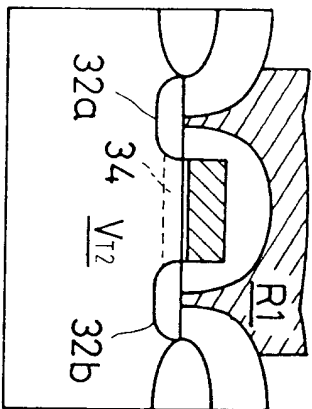
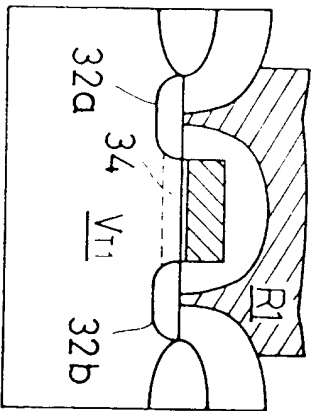


140

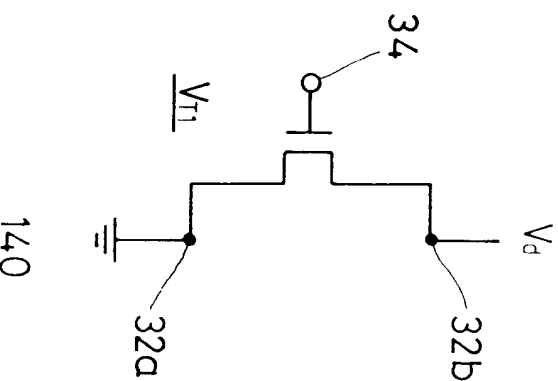
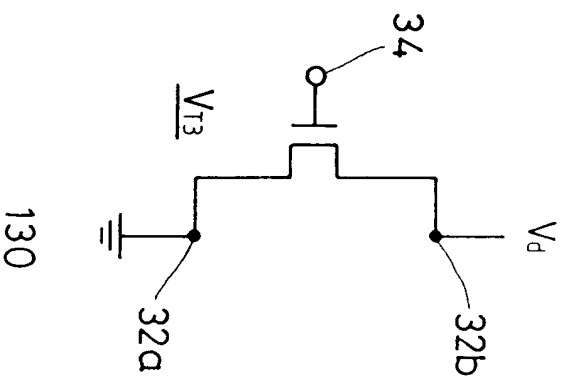
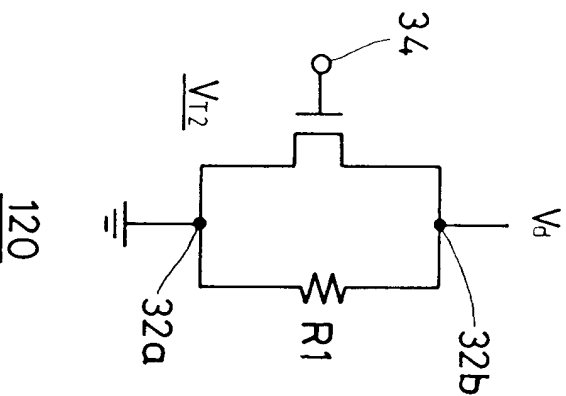
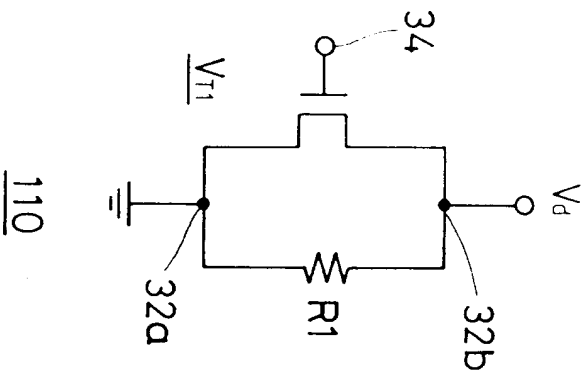
第4C圖



第4D圖



第4E圖



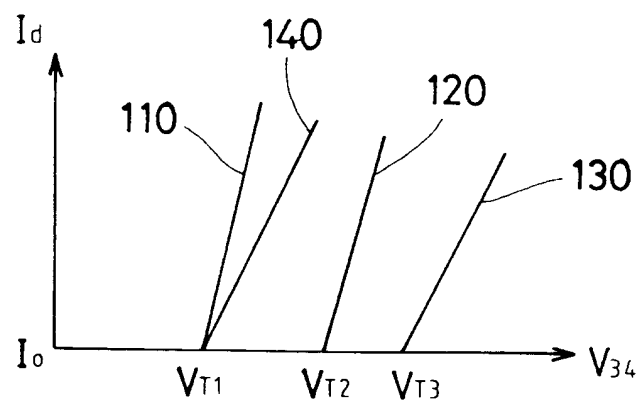
第5A圖

第5B圖

第5C圖

第5D圖

323397



第 6 圖