[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11B 20/10 (2006.01)
G11B 5/09 (2006.01)

[12] 发明专利说明书

专利号 ZL 200510005780.X

[45] 授权公告日 2009 年 11 月 11 日

[11] 授权公告号 CN 100559488C

[22] 申请日 2005.1.25
[21] 申请号 200510005780.X
[30] 优先权
[32] 2004.3.25 [33] US [31] 10/809,230
[73] 专利权人 日立环球储存科技荷兰有限公司
地址 荷兰阿姆斯特丹
[72] 发明人 罗伊·D·西德西扬
阿杰伊·多拉基亚
伊万杰罗斯·S·埃利夫塞里奥
理查德·L·加尔布雷思
韦尔登·M·汉森
托马斯·米特尔霍尔泽
特拉维斯·R·奥宁
迈克尔·J·罗斯
戴维·J·斯坦尼克
[56] 参考文献
US5060088A 1991.10.22
EP0805448A2 1997.11.5
审查员 李 冰
[74] 专利代理机构 北京市柳沈律师事务所
代理人 邸万奎 黄小临

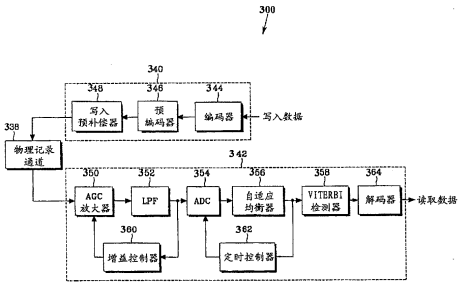
权利要求书 5 页 说明书 12 页 附图 12 页

[54] 发明名称

用于提供动态均衡器最优化的设备

[57] 摘要

公开了一种用于提供动态均衡器最优化的设备。本发明通过提供在不必首先将已知模式写入盘中或者需要任何对已经写入在盘上的数据的预先了解的情况下，朝着与直接方法相同的解收敛的均衡器系数更新来解决上述问题。可以使用自适应余弦函数来仅修改 DFIR 抽头设置、仅修改余弦均衡器的 j 和 k 参数，或者既修改 DFIR 滤波器的抽头设置，又修改余弦均衡器的 j 和 k 参数。可以使用其它算法(例如 LMS 算法)来修改未通过余弦算法修改的参数。



1. 一种读取通道，包括:

均衡器，配置为使数字信号均衡，以提供均衡的再现信号；和

维特比检测器，能够接收所述均衡的再现信号，并将该再现信号转换为表示记录介质上存储的数据的数字输出信号;

其中，使用基于余弦函数而自适应地更新均衡器的系数的系数学习电路来实现所述均衡器。

2. 如权利要求 1 所述的读取通道，其中，系数学习电路使用具有用于修改幅度响应的第一参数 k 的抽头系数更新方程来调整系数。

3. 如权利要求 2 所述的读取通道，其中，根据 $k=k-g*(f(a_{k+1})+f(a_{k-1}))*e_k$ 来调整第一参数 k，其中，k 是用于修改幅度响应的余弦均衡器参数，g 是更新衰减增益，e_k 是基于有噪声均衡信号与期望的无噪声信号之差的误差信号，a_{k+1} 和 a_{k-1} 是要检测的写入位，f()是基于余弦函数的函数。

4. 如权利要求 2 所述的读取通道，其中，系数学习电路使用具有用于修改相位响应的第二参数 j 的抽头系数更新方程来调整系数。

5. 如权利要求 4 所述的读取通道，其中，根据 $j=j-g*(f(a_{k+2})+f(a_{k-2}))*e_k$ 来调整第二参数 j，其中，j 是用于修改相位响应的余弦均衡器参数，g 是更新衰减增益，e_k 是基于有噪声均衡信号与期望的无噪声信号之差的误差信号，a_{k+2} 和 a_{k-2} 是要检测的写入位，f()是基于余弦函数的函数。

6. 如权利要求 1 所述的读取通道，其中，系数学习电路使用具有用于修改相位响应的参数 j 的抽头系数更新方程来调整系数。

7. 如权利要求 1 所述的读取通道，其中，系数学习电路根据 $w_i=w_i-g*f(a_{k-i})*e_k$ 来调整系数 w_i，其中，g 是所提供的更新衰减增益，a_{k-i} 是要检测的写入位，而 f()是基于余弦函数的函数。

8. 如权利要求 7 所述的读取通道，其中，$f(a_{k-i})$选为 $a_{k-i}-a_{k-i-2}$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与第 4 类部分响应卷积。

9. 如权利要求 7 所述的读取通道，其中，$f(a_{k-i})$选为 $a_{k-i}+a_{k-i-1}-a_{k-i-2}-a_{k-i-3}$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与扩充的第 4 类部分响应卷积。

10. 如权利要求 7 所述的读取通道，其中，$f(a_{k-i})$选为 $a_{k-i}t_k$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与 t_k 卷积，t_k 表示目标响应。

11. 如权利要求 7 所述的读取通道，其中，$f(a_{k-i})$选为 $a_{k-i}h_k$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与 h_k 卷积，h_k 表示系统双位响应。

12. 一种使通过再现记录介质上记录的标记和非标记而获得的再现信号的波形均衡化的波形均衡器，包括:

延迟元件，延迟再现信号的传播;

多个乘法器，将预定系数与再现信号和来自延迟元件的延迟信号相乘;

系数学习电路，自适应地更新所述多个乘法器的每一个的预定系数; 和

加法器，将来自所述多个乘法器的输出相加;

其中，系数学习电路基于余弦函数而自适应地更新均衡器的系数。

13. 如权利要求 12 所述的波形均衡器，其中，系数学习电路使用具有用于修改幅度响应的第一参数 k 的抽头系数更新方程来调整系数。

14. 如权利要求 13 所述的波形均衡器，其中，根据 $k=k-g*(f(a_{k+1})+f(a_{k-1}))*e_k$ 来调整第一参数 k，其中，k 是用于修改幅度响应的余弦均衡器参数，g 是更新衰减增益，e_k 是基于有噪声均衡信号与期望的无噪声信号之差的误差信号，a_{k+1} 和 a_{k-1} 是要检测的写入位，f()是基于余弦函数的函数。

15. 如权利要求 13 所述的波形均衡器，其中，系数学习电路使用具有用于修改相位响应的第二参数 j 的抽头系数更新方程来调整系数。

16. 如权利要求 15 所述的波形均衡器，其中，根据 $j=j-g*(f(a_{k+2})+f(a_{k-2}))*e_k$ 来调整第二参数 j，其中，j 是用于修改相位响应的余弦均衡器参数，g 是更新衰减增益，e_k 是基于有噪声均衡信号与期望的无噪声信号之差的误差信号，a_{k+2} 和 a_{k-2} 是要检测的写入位，f()是基于余弦函数的函数。

17. 如权利要求 12 所述的波形均衡器，其中，系数学习电路使用具有用于修改相位响应的参数 j 的抽头系数更新方程来调整系数。

18. 如权利要求 12 所述的波形均衡器，其中，系数学习电路根据 $w_i=w_i-g*f(a_{k-i})*e_k$ 来调整系数 w_i，其中，g 是所提供的更新衰减增益，a_{k-i} 是要检测的写入位，而 f()是基于余弦函数的函数。

19. 如权利要求 18 所述的波形均衡器，其中，$f(a_{k-i})$选为 $a_{k-i}-a_{k-i-2}$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与第 4 类部分响应卷积。

20. 如权利要求 18 所述的波形均衡器，其中，$f(a_{k-i})$选为 $a_{k-i}+a_{k-i-1}-a_{k-i-2}-a_{k-i-3}$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与扩充的第 4 类部分响应卷积。

21. 如权利要求 18 所述的波形均衡器，其中，$f(a_{k-i})$选为 $a_{k-i}t_k$，其中，

基于余弦函数而将要检测的写入位 a_{k-i} 与 t_k 卷积，t_k 表示目标响应。

22. 如权利要求 18 所述的波形均衡器，其中，$f(a_{k-i})$选为 $a_{k-i}h_k$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与 h_k 卷积，h_k 表示系统双位响应。

23. 一种信号处理系统，包括:

存储器，用于在其中存储数据；和

处理器，耦接到存储器上，用于使数字信号均衡，以提供均衡的再现信号，该处理器基于余弦函数而自适应地更新均衡器的系数。

24. 如权利要求 23 所述的信号处理系统，其中，处理器使用具有用于修改幅度响应的第一参数 k 的抽头系数更新方程来调整系数。

25. 如权利要求 24 所述的信号处理系统，其中，根据 $k=k-g*(f(a_{k+1})+f(a_{k-1}))*e_k$ 来调整第一参数 k，其中，k 是用于修改幅度响应的余弦均衡器参数，g 是更新衰减增益，e_k 是基于有噪声均衡信号与期望的无噪声信号之差的误差信号，a_{k+1} 和 a_{k-1} 是要检测的写入位，f()是基于余弦函数的函数。

26. 如权利要求 24 所述的信号处理系统，其中，处理器使用具有用于修改相位响应的第二参数 j 的抽头系数更新方程来调整系数。

27. 如权利要求 26 所述的信号处理系统，其中，根据 $j=j-g*(f(a_{k+2})+f(a_{k-2}))*e_k$ 来调整第二参数 j，其中，j 是用于修改相位响应的余弦均衡器参数，g 是更新衰减增益，e_k 是基于有噪声均衡信号与期望的无噪声信号之差的误差信号，a_{k+2} 和 a_{k-2} 是要检测的写入位，f()是基于余弦函数的函数。

28. 如权利要求 23 所述的信号处理系统，其中，处理器使用具有用于修改相位响应的参数 j 的抽头系数更新方程来调整系数。

29. 如权利要求 23 所述的信号处理系统，其中，系数学习电路根据 $w_i=w_i-g*f(a_{k-i})*e_k$ 来调整系数 w_i，其中，g 是所提供的更新衰减增益，a_{k-i} 是要检测的写入位，而 f()是基于余弦函数的函数。

30. 如权利要求 29 所述的信号处理系统，其中，$f(a_{k-i})$选为 $a_{k-i}-a_{k-i-2}$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与第 4 类部分响应卷积。

31. 如权利要求 29 所述的信号处理系统，其中，$f(a_{k-i})$选为 $a_{k-i}+a_{k-i-1}-a_{k-i-2}-a_{k-i-3}$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与扩充的第 4 类部分响应卷积。

32. 如权利要求 29 所述的信号处理系统，其中，$f(a_{k-i})$选为 $a_{k-i}t_k$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与 t_k 卷积，t_k 表示目标响应。

33. 如权利要求 29 所述的信号处理系统，其中，$f(a_{k-i})$选为 $a_{k-i}h_k$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与 h_k 卷积，h_k 表示系统双位响应。

34. 一种磁存储装置，包括:

用于在其上记录数据的磁存储介质;

用于移动磁存储介质的电动机;

用于在磁存储介质上读取和写入数据的头;

用于相对于磁存储介质而对头进行定位的致动器; 和

用于处理磁存储介质上的编码信号的数据通道，该数据通道包括配置为使数字信号均衡以提供均衡的再现信号的均衡器、和能够接收所述均衡的再现信号并将该再现信号转换为表示记录介质上存储的数据的数字输出信号的维特比检测器; 其中，使用基于余弦函数而自适应地更新均衡器的系数的系数学习电路来实现所述均衡器。

35. 如权利要求 34 所述的磁存储装置，其中，均衡器使用具有用于修改幅度响应的第一参数 k 的抽头系数更新方程来调整系数。

36. 如权利要求 35 所述的磁存储装置，其中，根据 $k=k-g*(f(a_{k+1})+f(a_{k-1}))*e_k$ 来调整第一参数 k，其中，k 是用于修改幅度响应的余弦均衡器参数，g 是更新衰减增益，e_k 是基于有噪声均衡信号与期望的无噪声信号之差的误差信号，a_{k+1} 和 a_{k-1} 是要检测的写入位，f()是基于余弦函数的函数。

37. 如权利要求 35 所述的磁存储装置，其中，均衡器使用具有用于修改相位响应的第二参数 j 的抽头系数更新方程来调整系数。

38. 如权利要求 37 所述的磁存储装置，其中，根据 $j=j-g*(f(a_{k+2})+f(a_{k-2}))*e_k$ 来调整第二参数 j，其中，j 是用于修改相位响应的余弦均衡器参数，g 是更新衰减增益，e_k 是基于有噪声均衡信号与期望的无噪声信号之差的误差信号，a_{k+2} 和 a_{k-2} 是要检测的写入位，f()是基于余弦函数的函数。

39. 如权利要求 34 所述的磁存储装置，其中，均衡器使用具有用于修改相位响应的参数 j 的抽头系数更新方程来调整系数。

40. 如权利要求 34 所述的磁存储装置，其中，系数学习电路根据 $w_i=w_i-g*f(a_{k-i})*e_k$ 来调整系数 w_i，其中，g 是所提供的更新衰减增益，a_{k-i} 是要检测的写入位，而 f()是基于余弦函数的函数。

41. 如权利要求 40 所述的磁存储装置，其中，$f(a_{k-i})$选为 $a_{k-i}-a_{k-i-2}$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与第 4 类部分响应卷积。

42. 如权利要求 40 所述的磁存储装置，其中，$f(a_{k-i})$选为 $a_{k-i}+a_{k-i-1}-a_{k-i-2}-a_{k-i-3}$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与扩充的第 4 类部分响应卷积。

43. 如权利要求 40 所述的磁存储装置，其中，$f(a_{k-i})$选为 $a_{k-i}t_k$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与 t_k 卷积，t_k 表示目标响应。

44. 如权利要求 40 所述的磁存储装置，其中，$f(a_{k-i})$选为 $a_{k-i}h_k$，其中，基于余弦函数而将要检测的写入位 a_{k-i} 与 h_k 卷积，h_k 表示系统双位响应。

45. 一种读取通道，包括:

用于使数字信号均衡以提供均衡的再现信号的部件；和

耦接到用于均衡的部件而用于接收所述均衡的再现信号并将该再现信号转换为表示记录介质上存储的数据的数字输出信号的部件;

其中，使用用于基于余弦函数而自适应地更新所述用于均衡的部件的系数的部件来实现所述用于均衡的部件。

46. 一种使通过再现记录介质上记录的标记和非标记而获得的再现信号的波形均衡化的波形均衡器，包括:

用于延迟再现信号的传播的部件;

用于将预定系数与再现信号和来自用于延迟的部件的延迟信号相乘的部件;

用于自适应地更新用于相乘的部件的预定系数的部件；和

用于将来自用于相乘的部件的输出相加的部件;

其中，用于自适应地更新预定系数的部件基于余弦函数来更新所述预定系数。

用于提供动态均衡器最优化的设备

技术领域

本公开一般地涉及数据通道中的数据信号检测，特别涉及一种用于提供动态均衡器最优化的设备。

背景技术

随着计算机硬件和软件技术持续发展，对更大且更快的用于存储计算机软件和数据的大容量存储装置的需求持续增加。电子数据库和诸如多媒体应用的计算机应用需要大量的盘存储空间。

大容量存储装置制造商致力于以越来越低的成本来制造具有大数据容量的高速硬盘驱动器。高速硬盘驱动器是可以快速存储和检索数据的硬盘驱动器。增大盘驱动器速度和容量的一个方面是提高或增大面密度。可以通过改进存储和检索数据的方法来增大面密度。

通常，大容量存储装置和系统(例如硬盘驱动器)包括磁存储介质(例如旋转盘或底板(platter))、主轴电动机、读取/写入头、致动器、预放大器、读取通道、写入通道、伺服控制器或数字信号处理器、以及用来控制硬盘驱动器的操作并使硬盘驱动器与主机或系统总线正确地对接的控制电路。读取通道、写入通道、伺服控制器和存储器可以作为被称为数据通道的一个集成电路而全部实现。控制电路常常包括用于在硬盘驱动器的操作期间执行控制程序或指令的微处理器。

当存储和检索数据时，硬盘驱动器进行写入和读取操作。典型的硬盘驱动器通过将数据从主机接口传递到其控制电路来进行写入操作。然后，控制电路将该数据存储在本地动态随机存取存储器中。控制电路处理器调度一系列事件，以便允许将该信息通过写入通道传递到盘底板。控制电路将读取/写入头移动到适当的轨道，并确定该轨道的适当扇区的位置。最后，硬盘驱动器控制电路将数据从动态随机存取存储器通过写入通道传递到盘底板上所定位的扇区。扇区通常具有固定的数据存储分配，典型的是 512 字节的用户数据。写入时钟控制写入通道中写入操作的定时。写入通道可以将数据编码，

使得以后可以更可靠地检索该数据。

在读取操作中，通过正确地对读取头定位来确定要读取的适当扇区的位置，并读取先前写入盘中的数据。读取/写入头探测盘底板的磁通量的改变，并生成对应的模拟读取信号。读取通道接收该模拟读取信号，调节(condition)该信号，并从该信号中检测“0”和“1”。读取通道通过使用自动增益控制(AGC)技术将信号放大到适当的电平来调节该信号。然后，读取通道对信号进行滤波，以消除不希望有的高频噪声，使通道均衡，从该信号中检测“0”和“1”，并格式化用于控制电路的二进制数据。然后，从读取通道传递该二进制或数字数据，并将其存储在控制电路的 DRAM 中。然后，处理器告知主机：数据已做好传递准备。读取时钟控制读取通道中读取操作的定时。

当盘底板移动时，读取/写入头必须对准或保持在特定的轨道上。这通过从盘中读取被称为伺服楔(wedge)的辅助信息来实现。伺服楔指示头在径向上和沿轨道的圆周的位置。数据通道接收这一位置信息，所以伺服控制器可以继续将头正确定位于该轨道上。

传统的硬盘驱动器数据或读取通道使用被称为峰值检测的技术来从磁介质上存储的模拟信息中提取或检测数字信息。在这一技术中，检测波形的电平，并且如果在采样窗期间波形电平在阈值之上，则将该数据视为“1”。最近，在读取通道电子设备中，正在使用通过利用离散时间信号处理来重建写入盘中的原始数据的先进技术，来提高面密度。在这些技术中，使用数据恢复时钟来对数据进行同步采样。然后，使用信号处理理论，通过一系列数学运算来处理样本。

有几种类型的同步采样数据通道。部分响应、最大似然(PRML)、扩展 PRML(EPRML)、增强扩展 PRML(EEPRML)、固定延迟树搜索(FDTS)、和决策反馈均衡(DFE)是使用离散时间信号处理技术的不同类型的同步采样数据通道的几个示例。在这些系统中的很多系统中进行的最大似然检测通常由实现 Viterbi (维特比)算法的 Viterbi 检测器来进行。

同步采样数据通道或读取通道通常需要混合型电路来进行读取操作。该电路可以进行诸如模拟信号放大、自动增益控制(AGC)、连续时间滤波、信号采样、离散时间信号处理操纵、定时恢复、信号检测和格式化的功能。在所有同步采样数据通道中，读取操作期间的主要目的是在最高噪声的环境中以最低的误码率来准确地检索数据。

限制磁和光记录系统中的记录密度的基本效应之一是码间干扰(ISI)。这一效应是由于头/介质组合的有限带宽性质引起的，并由于介质上顺次记录的转变(transition)而导致响应的重叠。也就是说，在给定的瞬时时刻，来自介质的输出信号不仅包括该瞬时的输入码元引起的响应，还包括来自一些先前记录的码元的响应。随着线性记录密度增大，这种重叠的量和范围增大，引起通常非常复杂且难以用简单的装置解开(unravel)的多个码元之间的重叠模式(pattern)。

可以使用有限脉冲响应滤波来使所接收的信号均衡。例如，为了减小由通信通道引入的码间干扰，可以使用自适应滤波器来提供相当精确的均衡。然而，自适应滤波器也可以用于噪声消除、线性预测、自适应信号增强和自适应控制。

自适应滤波器是能够自我调整的数字滤波器，并且，其被用在响应变化的信号条件而需要不同的滤波器特性的应用中。自适应滤波器具有更新其系数的能力。通过将新系数从系数发生器发送到自适应滤波器来更新该滤波器的系数。系数发生器是响应到来信号而修改系数的自适应算法。

均衡器性能的重要方面是其收敛性。在任何初始训练阶段之后，可以根据合适的算法，以决策指引的方式来不断调整自适应均衡器的系数。以此方式，从所传输的序列的最终接收机估计(不必正确)得出误差信号。在常规操作中，接收机决策正确的概率很高，使得误差估计常常足够正确以允许自适应均衡器维持精确均衡。此外，决策指引的自适应均衡器可以跟踪通道特性的缓慢变化或者接收机前端的线性微扰，例如采样器相位的缓慢抖动。

这样，必须使用合适的算法来确定描述有限脉冲响应滤波器的良好的均衡器抽头(tap)。用于解决这一问题的直接方法是将已知模式写入盘中，读回该模式，给所写入的模式去卷积以获得系统响应，然后直接求解对于均衡器抽头的方程的所得系统。这一途径需要首先将已知模式写入盘中。

另一已知(众所周知)的解决方案是LMS(最小均方)算法。在B. Widrow和M. E. Hoff, Jr., “Adaptive Switching Circuits (自适应切换电路)” in IRE Wescon Conv. Rec., Part 4, pp. 96-104, August 1960中描述了最小均方(LMS)误差自适应滤波方案。在S. U. H. Qureshi, “Adaptive Equalization (自适应均衡)”, Proc. IEEE, Vol. 73, No.9, pp. 1349-1387, September 1987中讨论了在自适应均衡器使用LMS算法来减小码间干扰。

在LMS均衡器中，选择均衡器滤波器系数，以使均方误差(即，所有ISI项的平方和加上均衡器输出端的噪声功率)最小化。因此，LMS均衡器使其输出端的信号失真比在均衡器时间范围和通过该均衡器的延迟的约束下最大化。在正常的数据传输开始之前，可以在训练阶段期间进行对未知通道的LMS 均衡器的自动合成。这通常涉及对一组联立方程的迭代解。在训练阶段期间，传输已知信号，并在接收机中产生该信号的同步版本，以获取有关通道特性的信息。训练信号可以由周期性的孤立脉冲或者诸如广为人知的最大长度移位寄存器或伪噪声序列的具有宽均匀谱的连续序列组成。然而，LMS均衡器的收敛速度比较低，而且将为训练序列而消耗带宽。此外，LMS解不收敛于与直接方法相同的解。

可以看到，需要用于提供动态均衡器最优化的设备。

发明内容

为了克服上述现有技术的局限性，并克服当阅读和理解本说明书时将变得清楚的其它局限性，本发明公开了用于提供动态均衡器最优化的设备。

本发明通过提供在不必首先将已知模式写入盘中或者需要任何对已经写入在盘上的数据的预先了解的情况下朝着与直接方法相同的解收敛的均衡器系数更新来解决上述问题。可以使用自适应余弦函数来仅修改DFIR（数字有限脉冲响应）抽头设置(tap set)，仅修改余弦均衡器的j和k参数，或者既修改DFIR滤波器的抽头设置，又修改余弦均衡器的j和k参数。可以使用其它算法(例如LMS算法)来修改未通过余弦算法修改的参数。

根据本发明的原理的读取通道包括：均衡器，其配置为使数字信号均衡，以提供均衡的再现信号；和Viterbi检测器，其能够接收所述均衡的再现信号并将该再现信号转换为表示记录介质上存储的数据的数字输出信号，其中，使用基于余弦函数而自适应地更新均衡器的系数的系数学习电路来实现所述均衡器。

在本发明的另一实施例中，提供了一种波形均衡器。该波形均衡器包括：延迟元件，其延迟再现信号的传播；多个乘法器，其将预定系数与再现信号和来自延迟元件的延迟信号相乘；系数学习电路，其自适应地更新所述多个乘法器的每一个的预定系数；和加法器，其将来自所述多个乘法器的输出相加，其中，系数学习电路基于余弦函数而自适应地更新均衡器的系数。

在本发明的另一实施例中，提供了一种信号处理系统。该信号处理系统包括：存储器，用于在其中存储数据；和处理器，耦接到存储器上，用于使数字信号均衡，以提供均衡的再现信号，该处理器基于余弦函数而自适应地更新均衡器的系数。

在本发明的另一实施例中，提供了一种磁存储装置。该磁存储装置包括：用于在其上记录数据的磁存储介质、用于移动磁存储介质的电动机、用于在磁存储介质上读取和写入数据的头、用于相对于磁存储介质而对头进行定位的致动器、和用于处理磁存储介质上的编码信号的数据通道，该数据通道包括：均衡器，其配置为使数字信号均衡以提供均衡的再现信号；Viterbi 检测器，其能够接收所述均衡的再现信号，并将该再现信号转换为表示记录介质上存储的数据的数字输出信号；其中，使用基于余弦函数而自适应地更新均衡器的系数的系数学习电路来实现所述均衡器。

在本发明的另一实施例中，提供了另一种读取通道。此读取通道包括：用于使数字信号均衡以提供均衡的再现信号的部件，以及耦接到用于均衡的部件而用于接收所述均衡的再现信号并将该再现信号转换为表示记录介质上存储的数据的数字输出信号的部件，其中，使用用于基于余弦函数而自适应地更新用于均衡的部件的系数的部件来实现所述用于均衡的部件。

在本发明的另一实施例中，提供了另一种波形均衡器。此波形均衡器包括：用于延迟再现信号的传播的部件、用于将预定系数与再现信号和来自用于延迟的部件的延迟信号相乘的部件、用于自适应地更新用于相乘的部件的预定系数的部件、和用于将来自用于相乘的部件的输出相加的部件，其中，用于自适应地更新预定系数的部件基于余弦函数来更新所述预定系数。

作为本发明的特征的这些和其它各种优点以及新颖性的特征在说明书所附的并形成本说明书的一部分的权利要求中被具体指出。然而，为了更好地理解本发明、它的优点和通过对它的使用而达到的目的，应当参考形成本说明书另一部分的附图和伴随的描述性内容，其中图示和描述了根据本发明的设备的具体示例。

附图说明

下面参考附图，其中相同的标号始终代表对应的部件：

图 1 图示根据本发明的实施例的存储系统；

图 2 是根据本发明的实施例的磁盘驱动器装置的方框图;

图 3 是图 2 的采用 PRML 检测的读取/写入通道电路的方框图;

图 4 图示根据本发明的实施例的均衡器;

图 5 是示出根据本发明的实施例的均衡器的每一步骤的信号的功能方框图;

图 6 图示根据本发明的实施例的用于更新抽头权重(weight)的系统的方框图;

图 7 是示出根据本发明的实施例的 k 余弦函数的图;

图 8 是示出根据本发明的实施例的 j、k 余弦函数的图;

图 9 是示出根据本发明的实施例的均衡器的每一步骤的信号的功能方框图;

图 10 图示根据本发明的余弦均衡器的函数的图表;

图 11 图示根据本发明的实施例的将 j 参数设置为 0 的余弦均衡器的相对于归一化频率而画出的幅度和相位。

图 12 图示根据本发明的实施例的将 k 参数设置为 0 的余弦均衡器的相对于归一化频率而画出的幅度和相位。

具体实施方式

在下面对实施例的描述中，对形成其一部分的附图进行了参考，并且其中，通过图示示出了可以实践本发明的具体实施例。应当理解的是，因为在不脱离本发明的范围的情况下可以进行结构上的改变，所以可以使用其它实施例。

本发明提供了一种用于提供动态均衡器最优化的设备。本发明提供在不必首先将已知模式写入盘中或者需要任何对已经写在盘上的数据的预先了解的情况下朝着与直接方法相同的解收敛的均衡器系数更新。可以使用自适应余弦函数来仅修改 DFIR 抽头设置，仅修改余弦均衡器的 j 和 k 参数，或者既修改 DFIR 滤波器的抽头设置又修改余弦均衡器的 j 和 k 参数。可以使用其它算法如 LMS 算法来修改未被余弦算法修改的参数。

图 1 图示根据本发明的实施例的存储系统 100。在图 1 中，换能器(transducer)110 处于致动器 120 的控制之下。致动器 120 控制换能器 110 的位置。换能器 110 在磁介质 130 上写入和读取数据。读取/写入信号被传送到数

据通道 140。信号处理器系统 150 控制致动器 120，并处理数据通道 140 的信号。此外，信号处理器系统 150 控制介质平移器 160，以使磁介质 130 相对于换能器 110 而移动。然而，并不意味着本发明限于存储系统 100 的特定类型或者存储系统 100 中使用的介质 130 的类型。

图 2 是根据本发明的实施例的磁盘驱动器装置 200 的方框图。在图 2 中，主轴电动机 234 旋转盘 210，并且，头 212 定位在对应一个盘 210 的表面。头 212 安装在从 E 形部件组(block assembly) 214 延伸到盘 210 的对应伺服臂上。部件组 214 具有关联的旋转音圈致动器 230，其移动部件组 214，从而改变到用于从盘 210 的一个或更多上的指定位置读取数据、或者将数据写入到该指定位置的头 212 的位置。

预放大器 216 预放大由头 212 拾取的信号，从而在读取操作期间给读取/写入通道电路 218 提供放大后的信号。在写入操作期间，预放大器 216 将编码的写入数据信号从读取/写入通道电路 218 传递到头 212。在读取操作中，读取/写入通道电路 218 从预放大器 216 提供的读取信号中检测数据脉冲，并将该数据脉冲解码。读取/写入通道电路 218 将解码后的数据脉冲传递到盘数据控制器(DDC)220。此外，读取/写入通道电路 218 还将从 DDC 220 接收的写入数据解码，并将解码后的数据提供给预放大器 216。

DDC 220 既通过读取/写入通道电路 218 和预放大器 216 而将从主机(未示出)接收的数据写入到盘 210 上，又将读取数据从盘 210 传递到主机。DDC 220 还在主机与微控制器 224 之间提供接口。缓冲器 RAM(随机存取存储器)222 临时存储在 DDC 220 与主机、微处理器 224 和读取/写入通道电路 218 之间传递的数据。微控制器 224 响应于来自主机的读取和写入命令而控制轨道搜寻和轨道跟随功能。

ROM (只读存储器) 226 存储微控制器 224 的控制程序以及各种设置值。伺服驱动器 228 响应于从微控制器 224 生成的提供对头 212 的位置的控制的控制信号，而生成用于驱动致动器 230 的驱动电流。将驱动电流施加到致动器 230 的音圈上。致动器 230 根据从伺服驱动器 228 提供的驱动电流的方向和量而相对于盘 210 对头 212 定位。主轴电动机驱动器 232 根据从微控制器 224 生成的用于控制盘 210 的控制值，驱动旋转盘 210 的主轴电动机 234。

图 3 是图 2 的采用 PRML 检测的读取/写入通道电路 300 的方框图。在图 3 中，读取/写入通道电路 300 包括具有读取/写入部件和记录介质的物理记录

通道 338、用于将数据写入到记录介质上的写入通道电路 340、和用于从记录介质读取数据的读取通道电路 342。写入通道电路 340 由编码器 344、预编码器 346 和写入预补偿器 348 组成。读取通道电路 342 由自动增益控制(AGC)放大器 350、低通滤波器(LPF) 352、模拟数字转换器(ADC) 354、自适应均衡器 356、Viterbi 检测器 358、增益控制器 360、定时控制器 362 和解码器 364 组成。Viterbi 检测器 358 包括匹配滤波器(图 3 中未示出)。

在操作中，编码器 344 将所输入的要写入到记录介质上的写入数据编码为预定的代码。例如，对于此预定代码，一般使用 RLL(游程长度受限)码，其中，相邻的 0 的数目必须保持在指定的最大和最小值之间。然而，并不意味着本发明限于 RLL，而是也可以使用其它编码。预编码器 346 被包括在内以防止误差传播。写入预补偿器 348 减小由读取/写入头引起的非线性影响。然而，因为实际的记录通道的响应不完全符合这一传递函数，所以总是需要一些后续的均衡。

自动增益控制(AGC)放大器 350 放大从盘读取的模拟信号。低通滤波器 352 在从 AGC 放大器 350 输出的信号中除去高频噪声，并对该信号重新整形。从低通滤波器 352 输出的信号被模拟数字(A/D)转换器 354 转换为离散的数字信号。然后，将所得的数字信号施加到自适应均衡器 356 上，其自适应地控制码间干扰，以生成期望的波形。Viterbi 检测器 358 接收从自适应均衡器 356 输出的均衡信号，并从它产生编码数据。解码器 364 将从 Viterbi 检测器 358 输出的编码数据解码，以产生最终的读取数据。同时，为了校正模拟信号包络和数字化采样定时，增益控制器 360 控制 AGC 放大器 350 的增益，而定时控制器 362 控制 A/D 转换器 354 的采样定时。

图 4 图示根据本发明的实施例的均衡器 400。在图 4 中，将输入信号 410 馈送给移位寄存器电路 412。利用对移位寄存器每个相继的输入，存储器元件 420 的值被抽出(tap off)。可以给所抽取的信号乘以(430)所选择的系数 440。然后，将所得的抽取信号 450 相加(460)，以提供输出 470。

图 5 是示出根据本发明的实施例的均衡器 500 的每一步骤的信号的功能方框图。在图 5 中，在输入端提供所写入的要检测的位 a_k 510。当从记录介质读回这些位时，例如，每个逻辑“1”将产生双位响应，即相反极性的两个重叠的洛仑兹式(lorentzian-like)的脉冲，而逻辑“0”根本不产生输出。在图 5 中，h_k 512 代表系统双位响应。这样，s_k 514 是无噪声回读信号。将无噪声

回读信号 s_k 514 与噪声恶化回读信号 n_k 520 合并，产生有噪声回读信号 x_k 530。通过 DFIR 滤波器抽头权重 w_k 540 来调整有噪声回读信号 x_k 530，以产生有噪声均衡回读信号 y_k 550。从所写入的要检测的位 a_k 510 和目标响应 t_k 560(例如，对于 PR4(第 4 类部分响应)，$(t_k, t_{k-1}, t_{k-2})=(1, 0, -1)$)得到期望的无噪声信号 d_k 570。有噪声均衡回读信号 y_k 550 与期望的无噪声信号 d_k 570 之差是由 y_k-d_k 给出的误差信号 e_k 580。

根据由 $w_i=w_i-g*f(a_{k-i})*e_k$ 给出的更新算法来更新 DFIR 滤波器抽头权重 w_k 540，其中 g 是更新衰减增益，而 f()是个函数，下面将对其进行描述。如较早些时候所描述的，用于确定 DFIR 滤波器抽头权重 540 的直接方法是将已知模式写入盘中，读回该模式，给所写入的模式去卷积以获得系统响应，然后直接求解对于均衡器抽头权重 540 的方程的所得系统。这一途径需要首先将已知模式写入盘中。更典型地是，使用由 $w_i=w_i-g*x_{k-i}*e_k$ 给出的 LMS 算法来更新 DFIR 滤波器抽头权重 540。在 LMS 均衡器中，均衡器滤波器系数选为使得均方误差(即，所有 ISI 项的平方和加上均衡器输出端的噪声功率)最小化。然而，LMS 均衡器的收敛速度比较低，而且将为训练序列而消耗带宽。此外，LMS 解不收敛于与直接方法相同的解。

图 6 图示根据本发明的实施例的用于更新 DFIR 滤波器的抽头权重的系统 600 的方框图。在图 6 中，将现有的 DFIR 抽头权重 610 施加到具有预定参数的余弦均衡器 620 上，以提供新的 DFIR 抽头权重 630。下面将讨论该参数。

当已经存在一组合理的起始 DFIR 抽头(例如，在制造时获得)，并且只需要一些调谐量例如用来补偿飞行高度变化、温度变化等的时候，余弦均衡器 620 是有优势的。余弦均衡器 620 不仅对自适应地改变均衡器抽头以改善总出错率是有益的，而且作为快速数据恢复过程也是有益的。余弦均衡器 630 朝着与上述直接方法相同的解收敛，而不必首先将已知模式写入盘中、或者需要任何对已经写入在盘上的数据的预先了解。

可以使用余弦均衡器 630 来读回碰巧在盘上的无论什么未知的现有用户数据。结果表明，这在某些数据恢复情形中具有意义深远的优点。例如，考虑在低温下写入而现在在高温下读回的数据。由读取通道看到的有效位密度由于温度涨落(swing)而显著地改变，从而影响所需的最佳均衡器抽头设置。在恢复直接对扇区操作的算法时，自动地考虑这些改变。当使用首先要求写

入已知数据模式的算法时，试图模仿每个扇区的写入温度将有很大的困难。

图 7 是示出根据本发明的实施例的 k 余弦函数的线图 700。图 7 的余弦均衡器线图 700 包括用于调整幅度响应的单个参数 k。在图 7 中，用 k 710、1 720、k 730 来代表余弦均衡器，其中，k 是余弦均衡器参数。因此，如果给 4 抽头 DFIR 提供现有的抽头：w_1、w_2、w_3、w_4，那么余弦均衡器 700 的 DFIR 抽头权重由 w_1+kw_2、$kw_1+w_2+kw_3$、$kw_2+w_3+kw_4$、kw_3+w_4 给出。因为当你以 N 个抽头开始时，使用 k 参数的卷积产生 N+2 个抽头，所以使用截断(truncation)，从而通过舍弃最先和最后两个值来将最终结果截回到 N 个抽头。

图 8 是示出根据本发明的另一实施例的 j、k 余弦函数的线图 800。图 8 的余弦均衡器线图 800 包括用于调整幅度响应的参数 k、和用于调整相位响应的参数 j。在图 8 中，用 j 802、+k 810、1 820、+k 830、-j 840 来代表余弦均衡器，其中，k 是用于调整幅度响应的余弦均衡器参数，而 j 是用于调整相位响应的余弦均衡器参数。因为当你以 N 个抽头开始时，使用 j、k 参数的卷积产生 N+4 个抽头，所以使用截断，从而通过舍弃最先和最后两个值来将最终结果截回到 N 个抽头。

图 9 是示出根据本发明的实施例的均衡器 900 的每一步骤的信号的功能方框图。在图 9 中，在输入端提供所写入的要检测的位 a_k 910。当从记录介质读回这些位时，例如，每个逻辑“1”将产生双位响应，即相反极性的两个重叠的洛仑兹式脉冲，而逻辑“0”根本不产生输出。在图 9 中，h_k 912 代表系统的双位响应。这样，s_k 914 是无噪声回读信号。将无噪声回读信号 s_k 914 与噪声恶化回读信号 n_k 920 合并，产生有噪声回读信号 x_k 930。由 DFIR 滤波器 932 和余弦均衡器 940 调整有噪声回读信号 x_k 930。余弦均衡器 940 产生有噪声均衡回读信号 y_k 950。从所写入的要检测的位 a_k 910 和目标响应 t_k 960 得出期望的无噪声信号 d_k 970。又一次，有噪声均衡回读信号 y_k 950 和期望的无噪声信号 d_k 970 之差是由 y_k-d_k 给出的误差信号 e_k 980。然而，使用误差信号 e_k 980 和余弦算法来更新 DFIR 滤波器 932 的抽头权重和/或余弦均衡器 940 的抽头权重。

例如，可以使用自适应余弦函数来仅修改 DFIR 抽头设置 932。可以使用其它算法(例如 LMS 算法)来修改余弦均衡器 940 的 j 和 k。可替换地，可以使用自适应余弦函数来仅修改余弦均衡器的 j 和 k 参数。同上，可以使用其它算法(例如 LMS 算法)来修改 DFIR 滤波器 932 的抽头设置。此外，可以使

用自适应余弦函数来既修改 DFIR 滤波器 932 的抽头设置，又修改余弦均衡器 940 的 j 和 k 参数。

只使用用于修改幅度响应的参数，根据 $w_i=w_i-g*f(a_{k-i})*e_k$ 来更新 DFIR 滤波器 932 的抽头权重，其中 g 是更新衰减增益，而 f()基于所选择的余弦函数。这样，当与 LMS 算法相比较时，余弦均衡器提供修改后的抽头更新方程，以便用 $f(a_{k-i})$代替 x_{k-i}。然而，如上所述，也可以包括参数 j 来修改相位。

图 10 图示根据本发明的余弦均衡器的函数 f() 1010 的图表 1000。图 10 示出了对函数的描述 1020 和函数 1010。根据图 10，可以将 $f(a_{k-i})$选为 $a_{k-i}-a_{k-i-2}$ 1050，其将 a_{k-i} 与 PR4 响应卷积 1052。可替换地，可以将 $f(a_{k-i})$选为等于 $a_{k-i}+a_{k-i-1}-a_{k-i-2}-a_{k-i-3}$ 1060，其中将 a_{k-i} 与 EPR4（扩充的第 4 类部分响应）响应卷积 1062。此外，可以将 $f(a_{k-i})$选为等于 $a_{k-i}t_k$ 1070，其中将 a_{k-i} 与 t_k 卷积 1072，或者可以选为等于 $a_{k-i}h_k$ 1080，其中将 a_{k-i} 与 h_k 卷积 1082。

对于上面讨论的这些实施例中的每一个，用于修改幅度响应的抽头更新算法是 $k=k-g*(f(a_{k+1})+f(a_{k-1}))*e_k$。例如，当如 PR4 响应 1052 的情况下，$f(a_k)=a_k-a_{k-2}$ 1050 时，所述更新变为 $k=k-g*(a_{k+1}-a_{k-3})*e_k$。当如 EPR4 响应 1062 的情况下，$f(a_k)$ 等于 $a_{k-i}+a_{k-i-1}-a_{k-i-2}-a_{k-i-3}$ 1060 时，所述更新变为 $k=k-g*(a_{k+1}+a_k-a_{k-3}-a_{k-4})*e_k$。当 $f(a_{k-i})=a_{k-i}t_k$ 1070 时，所述更新变为 $k=k-g*(a_{k+1}t_{k+1}+a_{k-1}t_{k-1})*e_k$。当 $f(a_{k-i})=a_{k-i}h_k$ 1080 时，所述更新变为 $k=k-g*(a_{k+1}h_{k+1}+a_{k-1}h_{k-1})*e_k$。因此，本领域技术人员将认识到，这些原理可以延伸到其它类型的滤波器，例如 E^2PR4 滤波器。

此外，对于上面讨论的这些实施例的每一个，用于修改相位响应的抽头更新算法是 $j=j-g*(f(a_{k+2})+f(a_{k-2}))*e_k$。例如，当如 PR4 响应 1052 的情况，$f(a_k)=a_k-a_{k-2}$ 1050 时，所述更新变为 $j=j-g*(a_{k+2}-a_k+a_{k-2}-a_{k-4})*e_k$。也可以以相同的方式得出对于与 EPR4 响应卷积的 a_{k-i}、与 t_k(目标响应)卷积的 a_{k-i} 和与 h_k(双位响应)卷积的 a_{k-i} 的 j 更新。

根据本发明的实施例的系数更新循环使用余弦算法。理想余弦算法的频率响应包括低频的余弦函数和高频的总衰减。然而，并不意味着本发明严格限于该余弦算法来更新抽头系数。可以使用升余弦算法来实现根据本发明的另一实施例的自适应滤波器。理想升余弦算法的频率响应包括低频的单位增益、中间的升余弦函数和高频的总衰减。中间频率的宽度由滚降因数(roll off factor)常数 Alpha α 来限定，其中 $0<\alpha<1$。

根据本发明的实施例的余弦均衡器提供具有线性相位的幅度调整，而不修改前同步模式频率(即，0.25T 同步模式)下 DFIR 的增益或相位响应。这一性质对于维持定时和增益恢复环的完整性可能很重要。

图 11 图示根据本发明的实施例的将 j 参数 1120 设置为 0 的余弦均衡器的相对于归一化频率而画出的幅度 1100 和相位 1150。

图 12 图示根据本发明的实施例的将 k 参数 1230 设置为 0 的余弦均衡器的相对于归一化频率而画出的幅度 1200 和相位 1250。

可以在计算机可读介质或载体(例如，图 1 中图示的固定和/或可拆卸数据存储装置 188 的一个或更多)或者其它数据存储或数据通信装置中有形地体现参考图 1－12 而图示的过程。可以将计算机程序 190 加载到存储器 170 中，以配置处理器 172 执行计算机程序 190。计算机程序 190 包括这样的指令：当由图 1 的处理器 172 读取和执行所述指令时，使装置进行执行本发明的实施例的步骤或要素所必需的步骤。

出于图示和描述的目的而给出了对本发明的示例实施例的以上描述。并不期望是穷举的、或者将本发明限制为所公开的精确形式。根据上面讲述的内容，很多修改和变化是可能的。并不期望用此详细描述来限制本发明的范围。

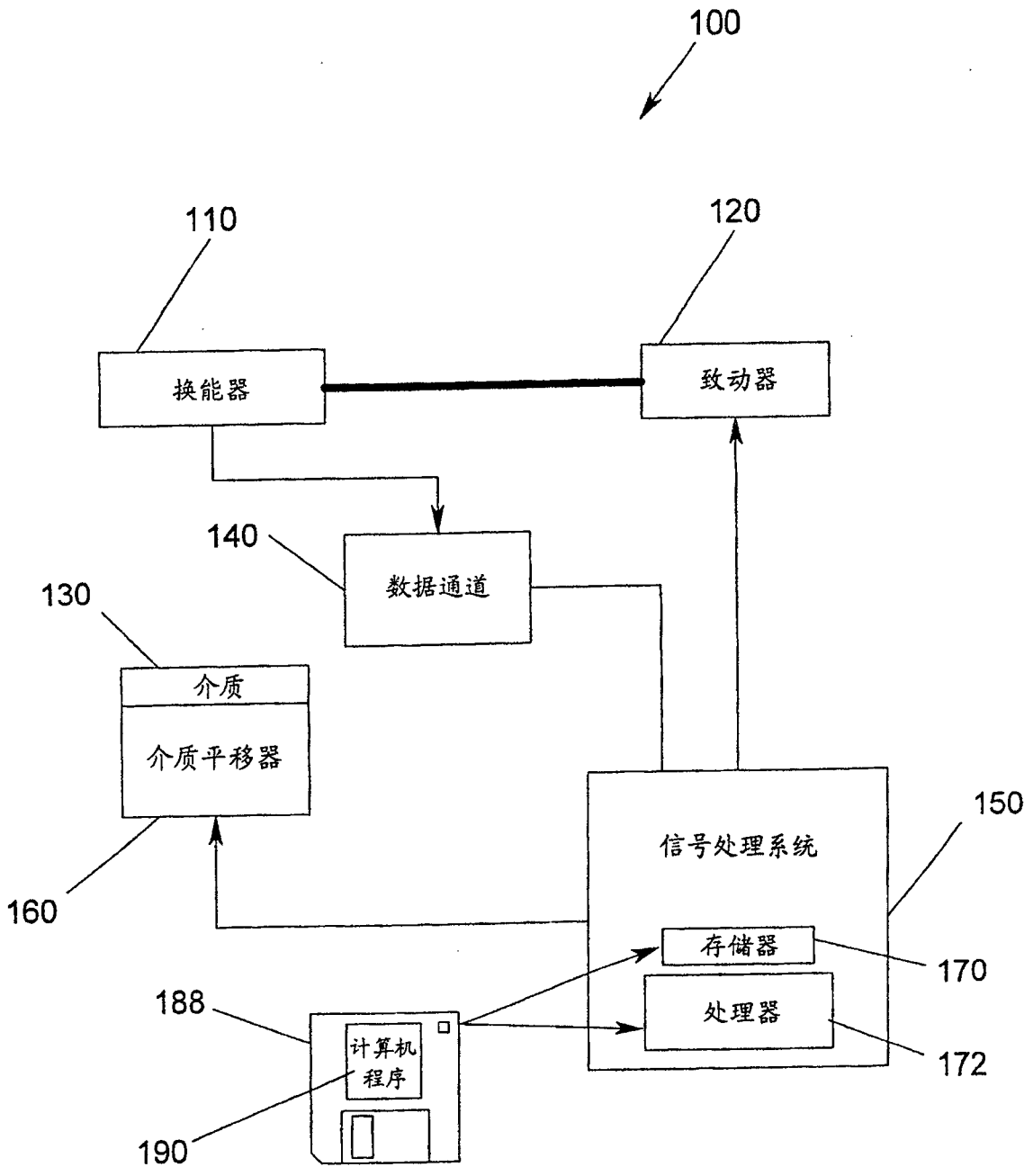

100
110
120
换能器
致动器
140
数据通道
130
介质
介质平移器
160
信号处理系统
150
存储器
170
处理器
172
188
计算机
程序
190

图 1

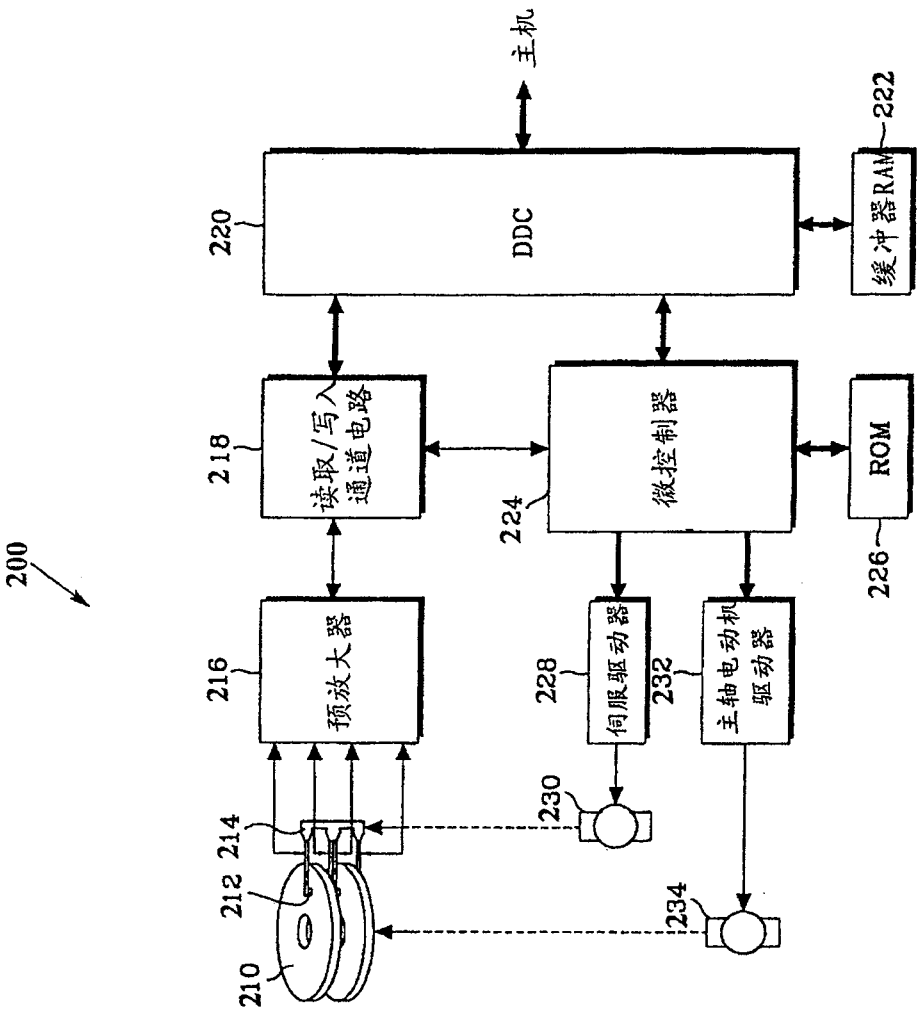

200
主机
220
DDC
222
缓冲器RAM
218
读取/写入通道电路
224
微控制器
ROM
226
216
预放大器
228
伺服驱动器
232
主轴电动机驱动器
230
214
212
210
234

图 2

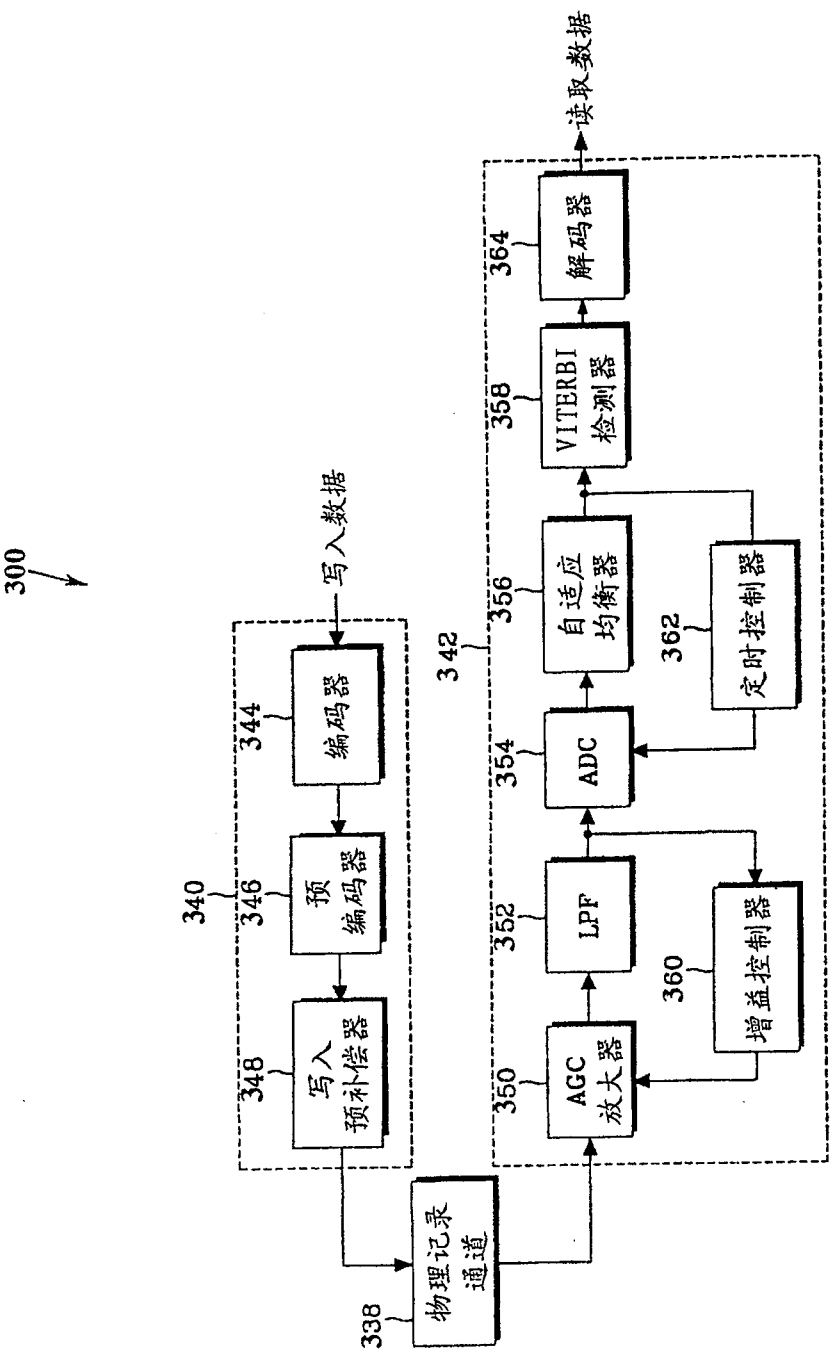

300
写入数据
340
344
编码器
346
预编码器
348
写入预补偿器
338
物理记录通道
342
350
AGC放大器
352
LPF
354
ADC
356
自适应均衡器
358
VITERBI检测器
364
解码器
读取数据
360
增益控制器
362
定时控制器

图 3

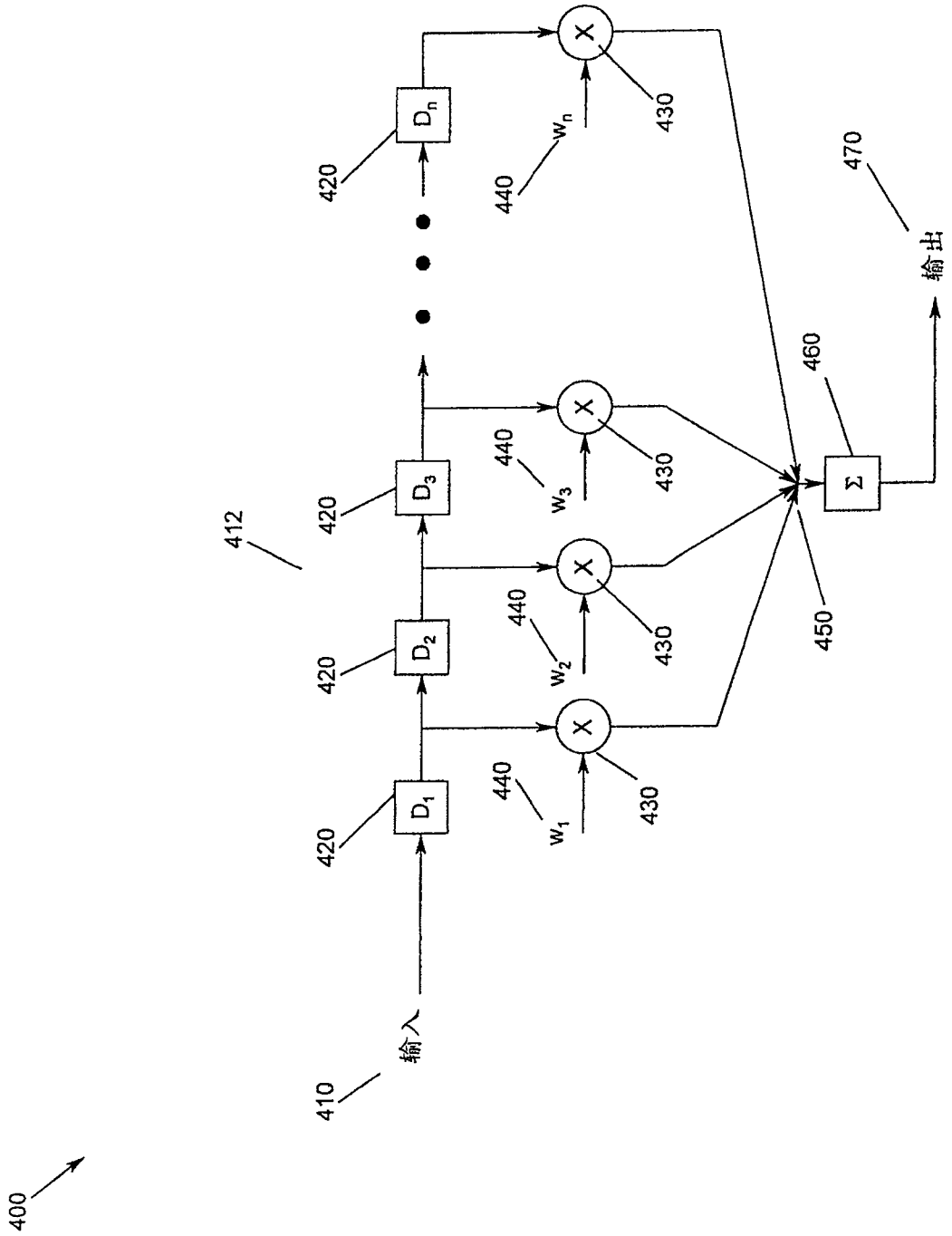


图 4

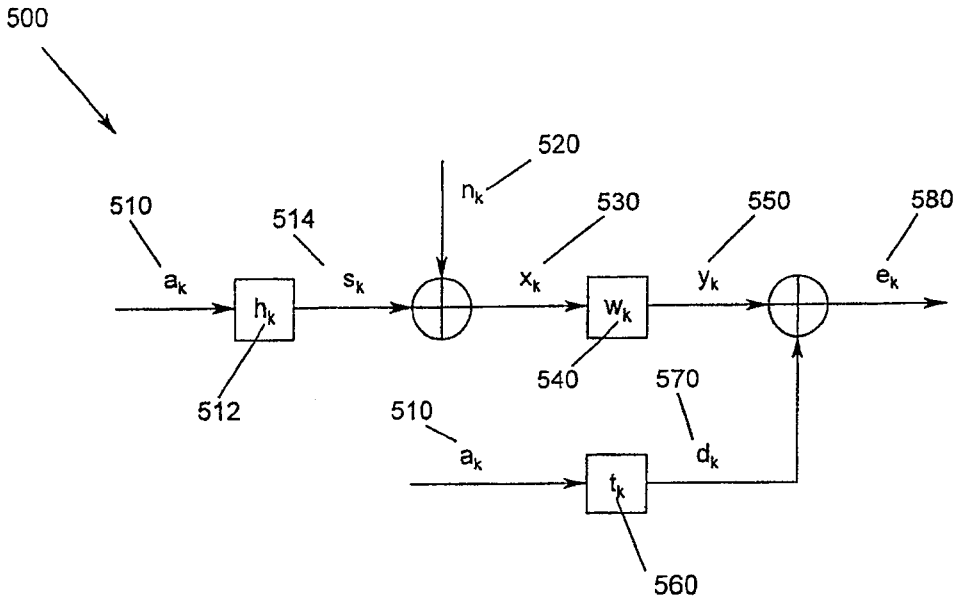

500
520
n_k
510
514
530
550
580
a_k
s_k
x_k
y_k
e_k
h_k
w_k
512
540
570
510
a_k
d_k
t_k
560

图 5

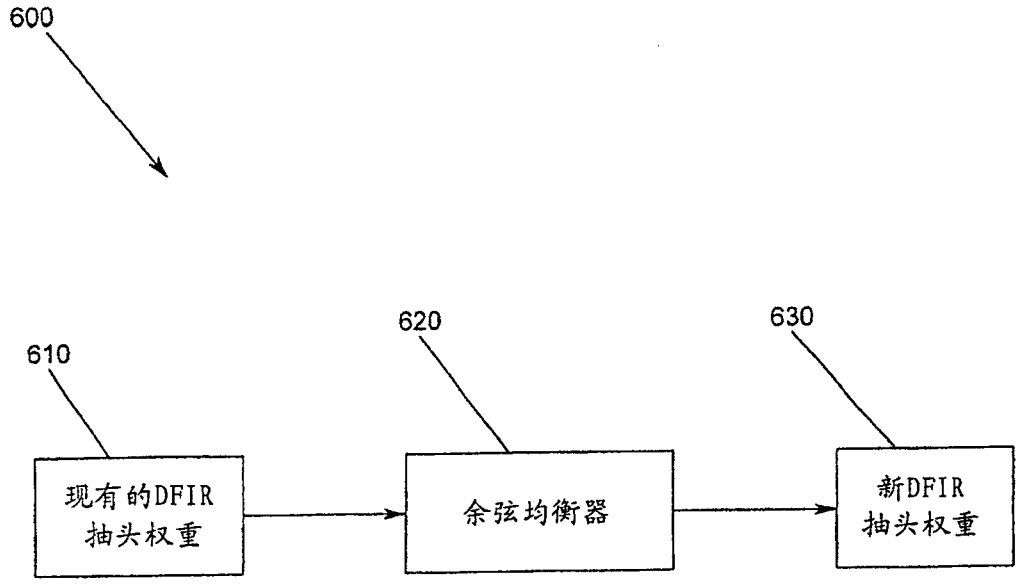


图 6

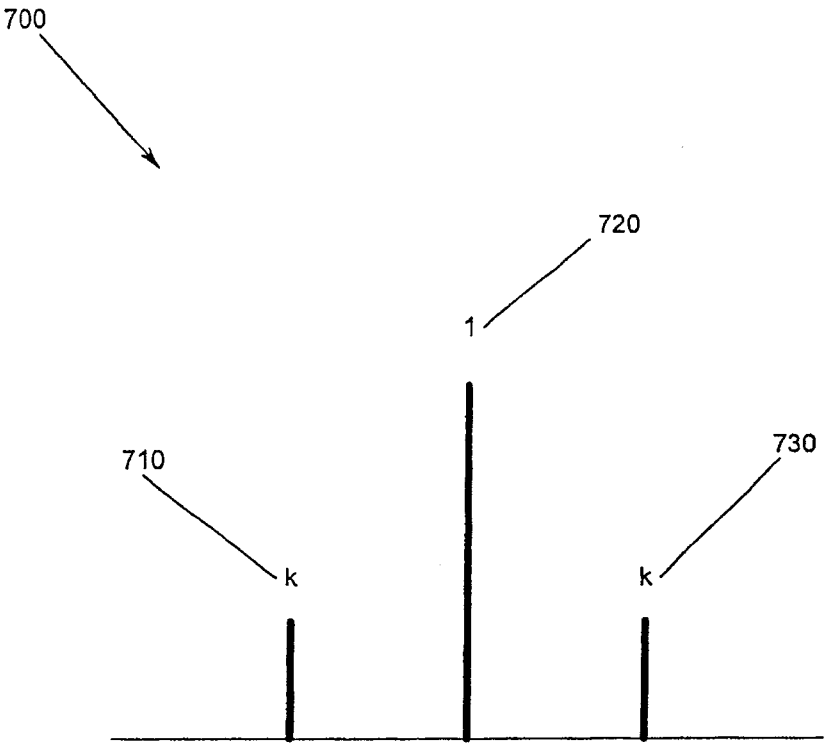


图 7

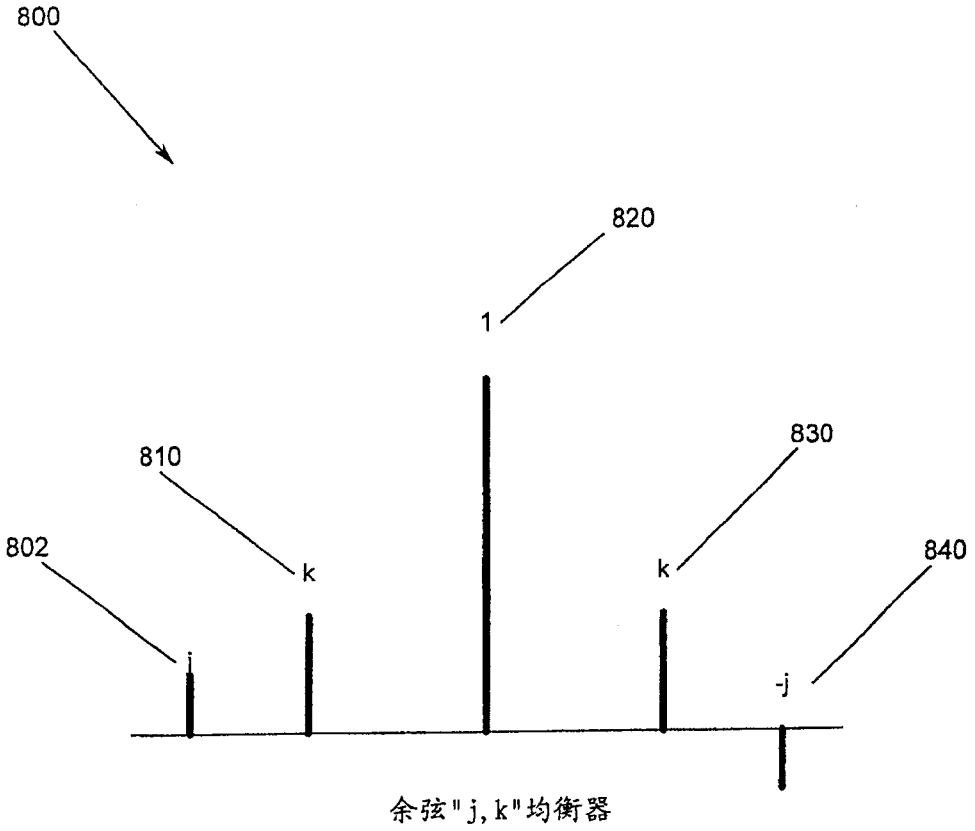


图 8

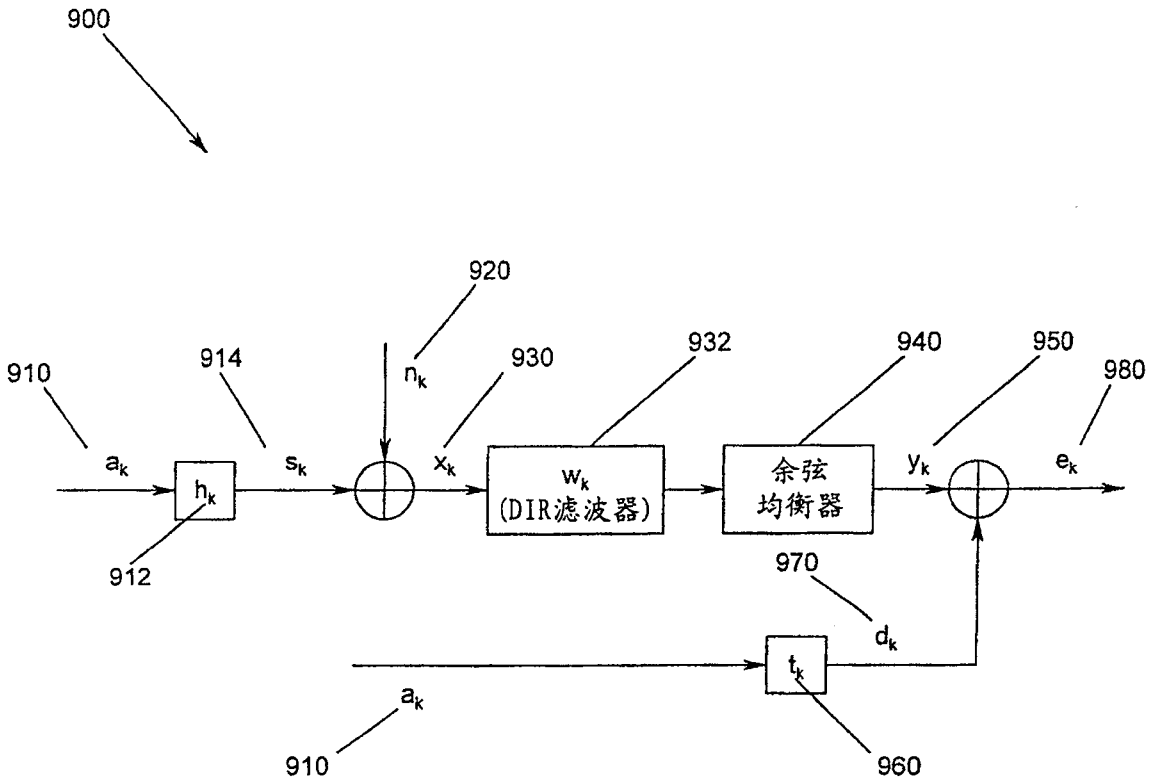

900
910
a_k
914
h_k
912
s_k
920
n_k
x_k
930
932
w_k
(DIR滤波器)
940
余弦
均衡器
y_k
950
980
e_k
970
d_k
t_k
960
a_k
910

图 9

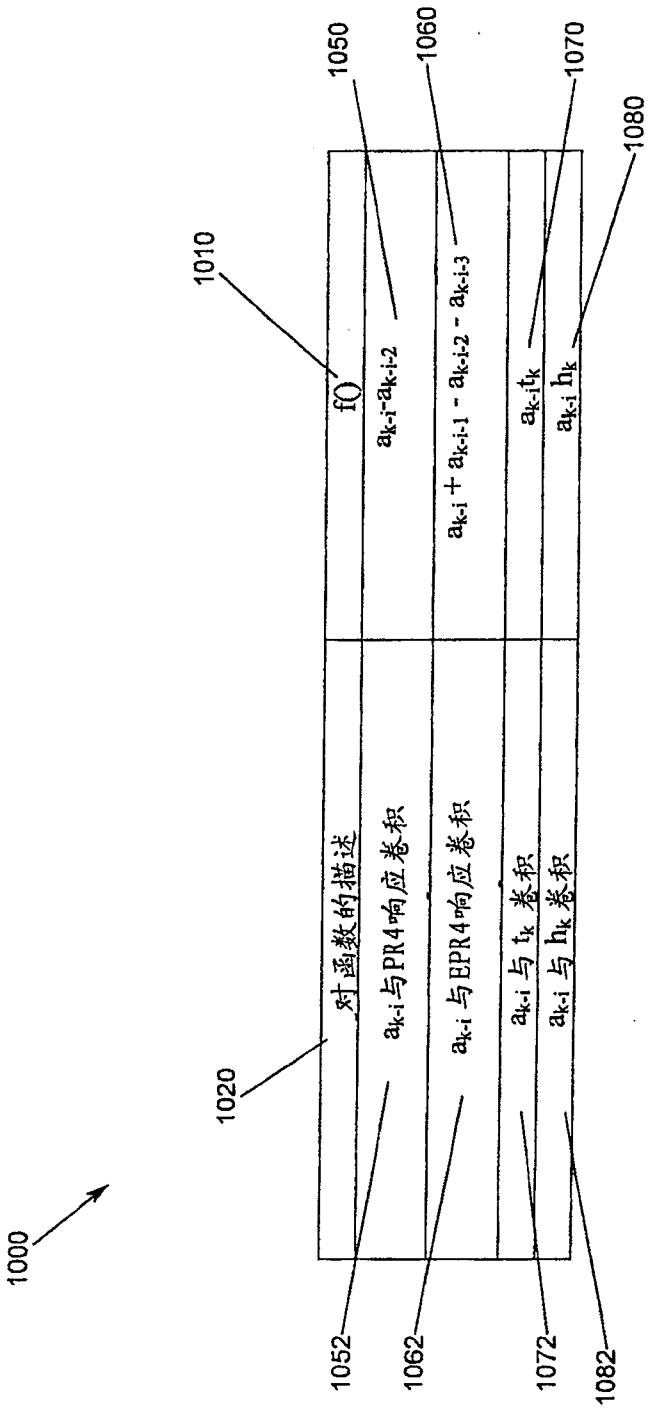

1000
1010
1020
对函数的描述
f()
1050
1060
1070
1080
a_{k-i}-a_{k-i-2}
a_{k-i} + a_{k-i-1} - a_{k-i-2} - a_{k-i-3}
$a_{k-i}t_k$
$a_{k-i}h_k$
a_{k-i}与PR4响应卷积
a_{k-i}与EPR4响应卷积
a_{k-i}与t_k卷积
a_{k-i}与h_k卷积
1052
1062
1072
1082

图 10

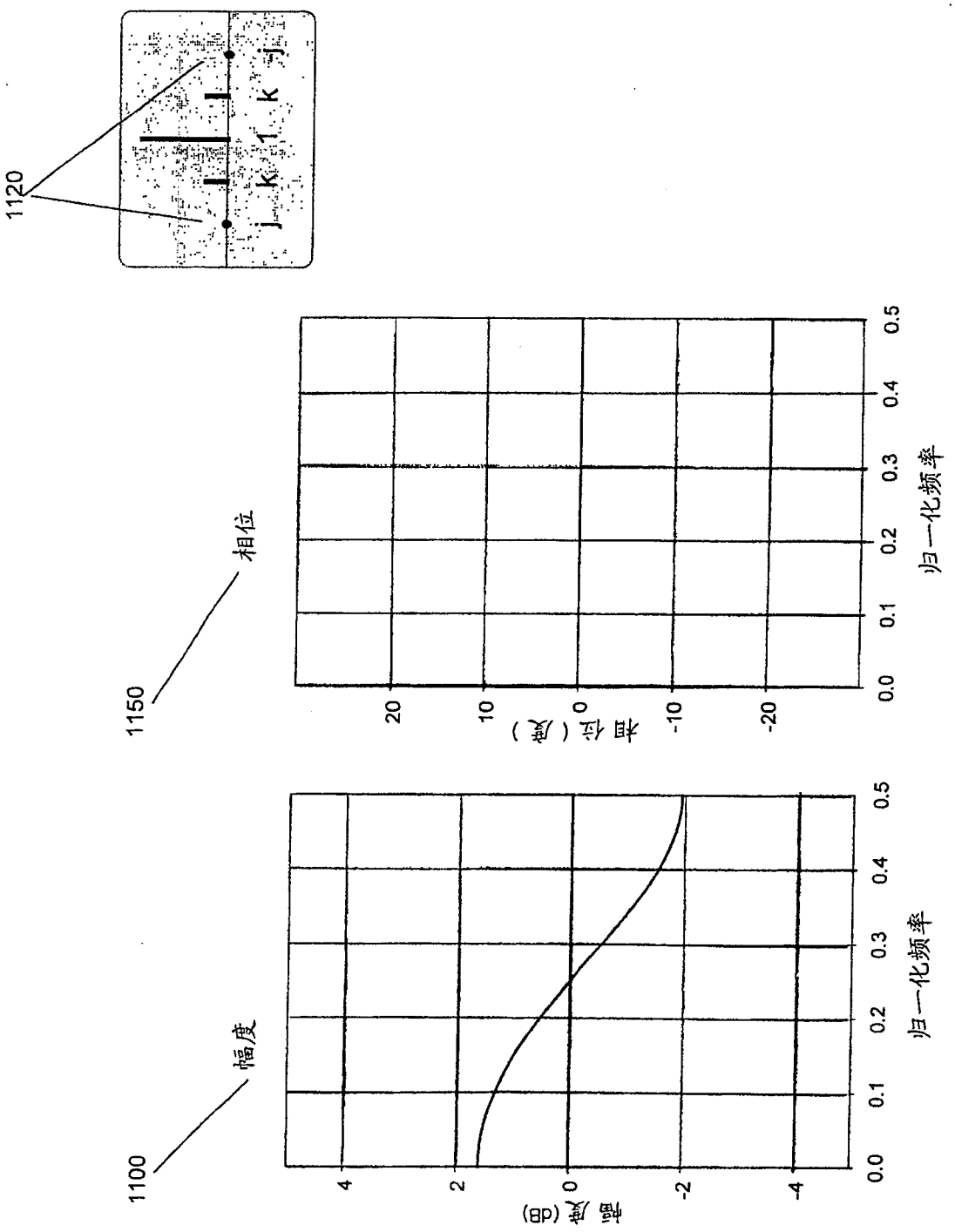

1120
1150
相位
相位（度）
20
10
0
-10
-20
0.0
0.1
0.2
0.3
0.4
0.5
归一化频率
1100
幅度
幅度（dB）
4
2
0
-2
-4
0.0
0.1
0.2
0.3
0.4
0.5
归一化频率

图 11

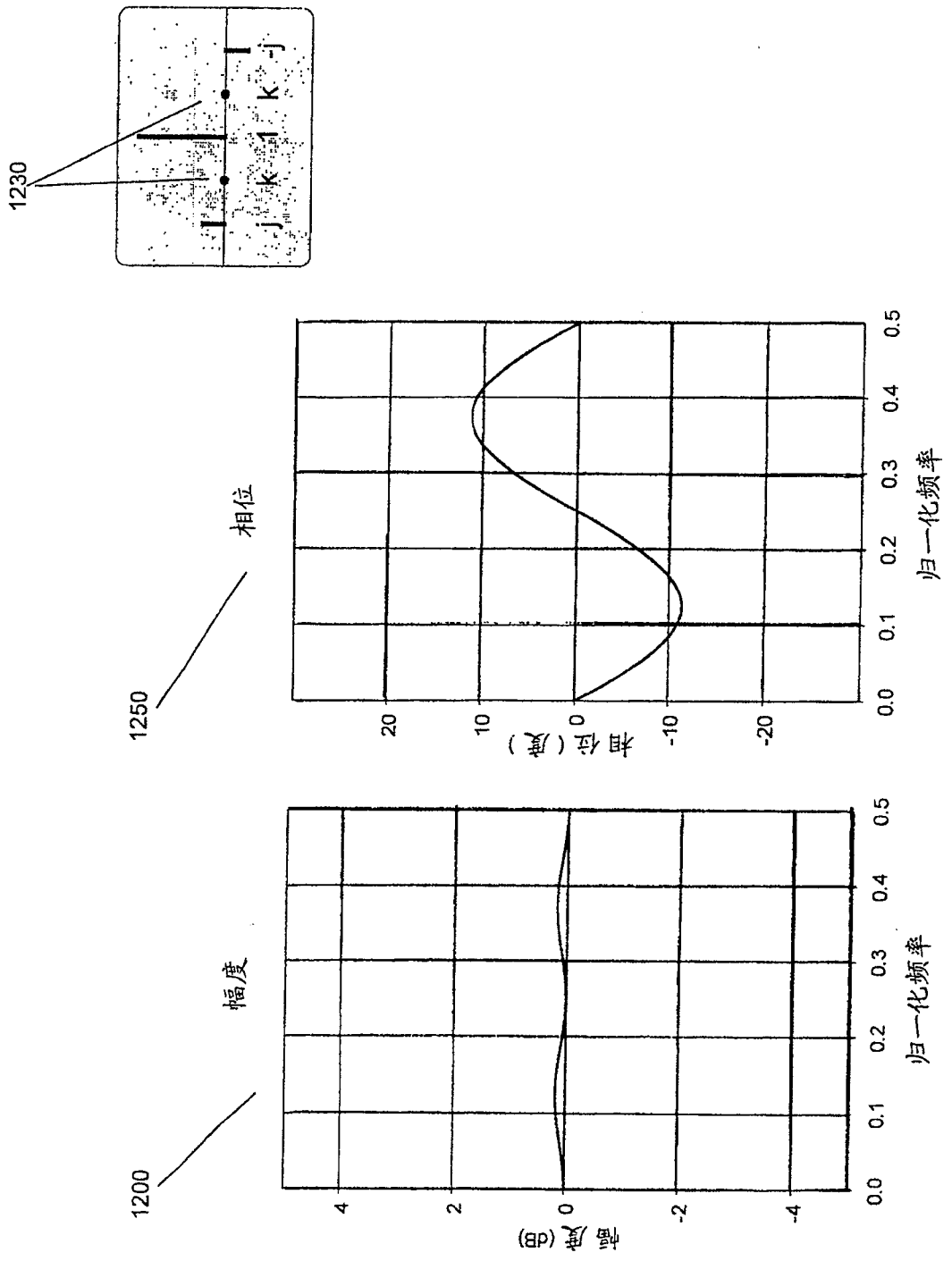


图 12