

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4046513号
(P4046513)

(45) 発行日 平成20年2月13日(2008.2.13)

(24) 登録日 平成19年11月30日(2007.11.30)

(51) Int.Cl.

F I

G 1 1 C 11/15 (2006.01)

G 1 1 C 11/15 1 5 0

請求項の数 5 (全 34 頁)

(21) 出願番号 特願2002-21127 (P2002-21127)
 (22) 出願日 平成14年1月30日(2002.1.30)
 (65) 公開番号 特開2003-228974 (P2003-228974A)
 (43) 公開日 平成15年8月15日(2003.8.15)
 審査請求日 平成17年1月13日(2005.1.13)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100096781
 弁理士 堀井 豊
 (73) 特許権者 591036457
 三菱電機エンジニアリング株式会社
 東京都千代田区九段北一丁目13番5号
 (74) 代理人 100064746
 弁理士 深見 久郎

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項 1】

各々が、磁気的に書込まれた記憶データに応じて第1および第2の電気抵抗の一方を有する磁性体を含む複数のメモリセルと、

前記第1および第2の電気抵抗の中間的な電気抵抗を有し、少なくとも前記データ読出時に、第1および第2の電圧の間に電気的に結合される基準セルと、

データ読出時に、選択されたアドレスに対応する選択メモリセルを介して前記第1および第2の電圧の間に電気的に結合される第1のデータ線と、

前記選択メモリセルおよび前記基準セルの通過電流差に応じたデータ読出を行なうためのデータ読出回路とを備え、

前記データ読出回路は、

前記データ読出時に、前記基準セルの通過電流に基いて、前記第1のデータ線を所定電圧にクランプするためのデータ線電圧クランプ部と、

前記第1の電圧と第1のノードの間に設けられ、一定電流を前記第1のノードへ供給するための第1の電流供給部と、

前記第1の電圧と第2のノードの間に設けられ、前記一定電流を前記第2のノードへ供給するための第2の電流供給部とさらに含み、

前記データ線電圧クランプ部は、

前記基準セルを介して前記第2の電圧と接続される基準ノードと、

前記第1のノードと前記基準ノードとの間に設けられ、前記基準ノードの電圧が前記所

10

20

定電圧に維持されるように、前記基準ノードの通過電流を制御する第１の電流制御部と、
前記第２のノードと前記第１のデータ線との間に設けられ、前記基準ノードの電圧が前記所定電圧に維持されるように、前記第１のデータ線の通過電流を制御する第２の電流制御部とを有し、

前記データ読出回路は、前記第１のデータ線および前記基準ノードの通過電流差を電圧差に変換するための電流差検出部をさらに含む、半導体集積回路。

【請求項２】

前記データ線電圧クランプ部は、

前記基準ノードの電圧と前記所定電圧との電圧差に応じた帰還電圧を発生する電圧増幅器をさらに有し、

前記第１の電流制御部は、前記第１のノードと前記基準ノードとの間に電氣的に結合されて、前記帰還電圧をゲートに受ける第１のトランジスタを有し、

前記第２の電流制御部は、アドレス選択結果に応じて、前記第１のデータ線と前記第２のノードとを電氣的に結合するための第２のトランジスタを有し、

前記第２のトランジスタのゲートへは前記帰還電圧が入力される、請求項１に記載の半導体集積回路。

【請求項３】

各々が、磁氣的に書込まれた記憶データに応じて第１および第２の電気抵抗の一方を有する磁性体を含む複数のメモリセルが行列状に配置されたメモリアレイと、

前記複数のメモリセルの列にそれぞれ対応して設けられ、各々が、データ読出時に選択されたメモリセルを介して読出電流経路を形成する複数のビット線と、

基準電流と前記選択されたメモリセルの読出電流との差を検知増幅する読出増幅器と、

前記複数のビット線の所定本数毎に設けられ、前記データ読出時に前記読出増幅器と対応する前記所定本数のビット線のうちの選択されたビット線との間に電氣的に接続されて前記読出電流経路を形成するデータ線と、

前記メモリアレイとは異なる領域に配置されたレプリカメモリセルと、

第１の電源と前記レプリカメモリセルとの間に接続されたトランジスタと、

前記レプリカメモリセルおよび前記トランジスタの接続ノードの電位と基準電位とを比較して、電位差に基づく帰還電圧を前記トランジスタの制御電極へ与える電圧増幅器と、

前記複数のビット線にそれぞれ対応して設けられ、各々が、対応のビット線および前記データ線の間に接続されて、前記対応のビット線の選択時に前記帰還電圧を制御電極に受ける複数の列選択トランジスタとを備える、半導体集積回路。

【請求項４】

前記複数のビット線にそれぞれ対応して設けられ、各々が、対応の前記列選択トランジスタの制御電極と前記帰還電圧の伝送ノードとの間に接続される複数の読出選択ゲートをさらに備え、

各前記読出選択ゲートは、対応の列選択信号の活性化に応答して、前記対応の列選択トランジスタの制御電極を前記伝送ノードと接続する一方で、前記対応の列選択信号の非活性時には、前記対応の列選択トランジスタの制御電極を、前記列選択トランジスタをオフさせるための所定電位を供給する第２の電源と接続する、請求項３記載の半導体集積回路。

【請求項５】

前記第１の電源は、前記レプリカメモリセルに電流を供給する電流源である、請求項３記載の半導体集積回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、薄膜磁性体記憶装置に関し、より特定的には、磁気トンネル接合（ＭＴＪ：Magnetic Tunneling Junction）を有するメモリセルを備えた薄膜磁性体記憶装置に関する。

10

20

30

40

50

【 0 0 0 2 】

【従来の技術】

低消費電力で不揮発的なデータ記憶が可能な記憶装置として、M R A Mデバイスが注目されている。M R A Mデバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて、不揮発的なデータ記憶を行ない薄膜磁性体の各々をメモリセルとして、ランダムアクセスが可能な記憶装置である。

【 0 0 0 3 】

特に、近年では磁気トンネル接合を利用した薄膜磁性体をメモリセルとして用いることによって、M R A Mデバイスの性能が飛躍的に進歩することが発表されている。磁気トンネル接合を有するメモリセルを備えたM R A Mデバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000.、 “Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, ISSCC Digest of Technical Papers, TA7.3, Feb. 2000.、および “A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM”, ISSCC Digest of Technical Papers, TA7.6, Feb. 2001.等の技術文献に開示されている。等の技術文献に開示されている。

10

【 0 0 0 4 】

図 1 5 は、磁気トンネル接合部を有するメモリセル（以下、単に「M T」メモリセル」とも称する）の構成を示す概略図である。

【 0 0 0 5 】

図 1 5 を参照して、M T」メモリセルは、磁気的に書込まれた記憶データのデータレベルに応じて電気抵抗が変化するトンネル磁気抵抗素子 T M R と、アクセストランジスタ A T R とを含む。アクセストランジスタ A T R は、ビット線 B L およびソース線 S R L の間に、トンネル磁気抵抗素子 T M R と直列に接続される。代表的には、アクセストランジスタ A T R として、半導体基板上に形成された電界効果型トランジスタが適用される。

20

【 0 0 0 6 】

M T」メモリセルに対しては、データ書込時に異なった方向のデータ書込電流をそれぞれ流すためのビット線 B L およびディジット線 D L と、データ読出を指示するためのワード線 W L と、データ読出時にトンネル磁気抵抗素子 T M R を接地電圧 V_{ss} にプルダウンするためのソース線 S R L とが設けられる。データ読出時においては、アクセストランジスタ A T R のターンオンに应答して、トンネル磁気抵抗素子 T M R は、ソース線 S R L（接地電圧 V_{ss} ）およびビット線 B L の間に電氣的に結合される。

30

【 0 0 0 7 】

図 1 6 は、M T」メモリセルに対するデータ書込動作を説明する概念図である。

【 0 0 0 8 】

図 1 6 を参照して、トンネル磁気抵抗素子 T M R は、固定された一定の磁化方向を有する強磁性体層（以下、単に「固定磁化層」とも称する）F L と、外部からの印加磁界に応じた方向に磁化される強磁性体層（以下、単に「自由磁化層」とも称する）V L とを有する。固定磁化層 F L および自由磁化層 V L の間には、絶縁体膜で形成されるトンネルバリア（トンネル膜）T B が設けられる。自由磁化層 V L は、書込まれる記憶データのレベルに応じて、固定磁化層 F L と同一方向または固定磁化層 F L と反対方向に磁化される。これらの固定磁化層 F L、トンネルバリア T B および自由磁化層 V L によって、磁気トンネル接合が形成される。

40

【 0 0 0 9 】

トンネル磁気抵抗素子 T M R の電気抵抗は、固定磁化層 F L および自由磁化層 V L のそれぞれの磁化方向の相対関係に応じて変化する。具体的には、トンネル磁気抵抗素子 T M R の電気抵抗は、固定磁化層 F L の磁化方向と自由磁化層 V L の磁化方向とが平行である場合に最小値 R_{min} となり、両者の磁化方向が反対（反平行）方向である場合に最大値 R_{max} となる。

【 0 0 1 0 】

50

データ書込時においては、ワード線WLが非活性化されて、アクセストランジスタATRはターンオフされる。この状態で、自由磁化層VLを磁化するためのデータ書込電流は、ビット線BLおよびディジット線DLのそれぞれにおいて、書込データのレベルに応じた方向に流される。

【0011】

図17は、データ書込時におけるデータ書込電流とトンネル磁気抵抗素子の磁化方向との関係を説明する概念図である。

【0012】

図17を参照して、横軸は、トンネル磁気抵抗素子TMR内の自由磁化層VLにおいて磁化容易軸(EA: Easy Axis)方向に印加される磁界を示す。一方、縦軸H(HA)は、自由磁化層VLにおいて磁化困難軸(HA: Hard Axis)方向に作用する磁界を示す。磁界H(EA)およびH(HA)は、ビット線BLおよびディジット線DLをそれぞれ流れる電流によって生じる2つの磁界の一方ずつにそれぞれ対応する。

【0013】

MTJメモリセルにおいては、固定磁化層FLの固定された磁化方向は、自由磁化層VLの磁化容易軸に沿っており、自由磁化層VLは、記憶データのレベル(“1”および“0”)に応じて、磁化容易軸方向に沿って、固定磁化層FLと平行あるいは反平行(反対)方向に磁化される。MTJメモリセルは、自由磁化層VLの2通りの磁化方向と対応させて、1ビットのデータ(“1”および“0”)を記憶することができる。

【0014】

自由磁化層VLの磁化方向は、印加される磁界H(EA)およびH(HA)の和が、図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ新たに書換えることができる。すなわち、印加されたデータ書込磁界がアステロイド特性線の内側の領域に相当する強度である場合には、自由磁化層VLの磁化方向は変化しない。

【0015】

アステロイド特性線に示されるように、自由磁化層VLに対して磁化困難軸方向の磁界を印加することによって、磁化容易軸に沿った磁化方向を変化させるのに必要な磁化しきい値を下げるができる。

【0016】

図17に示した例のようにデータ書込時の動作点を設計した場合には、データ書込対象であるMTJメモリセルにおいて、磁化容易軸方向のデータ書込磁界は、その強度が H_{WR} となるように設計される。すなわち、このデータ書込磁界 H_{WR} が得られるように、ビット線BLまたはディジット線DLを流されるデータ書込電流の値が設計される。一般的に、データ書込磁界 H_{WR} は、磁化方向の切換えに必要なスイッチング磁界 H_{SW} と、マージン分Hとの和で示される。すなわち、 $H_{WR} = H_{SW} + H$ で示される。

【0017】

MTJメモリセルの記憶データ、すなわちトンネル磁気抵抗素子TMRの磁化方向を書換えるためには、ディジット線DLとビット線BLとの両方に所定レベル以上のデータ書込電流を流す必要がある。これにより、トンネル磁気抵抗素子TMR中の自由磁化層VLは、磁化容易軸(EA)に沿ったデータ書込磁界の向きに応じて、固定磁化層FLと平行もしくは、反対(反平行)方向に磁化される。トンネル磁気抵抗素子TMRに一旦書込まれた磁化方向、すなわちMTJメモリセルの記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

【0018】

図18は、MTJメモリセルからのデータ読出を説明する概念図である。

図18を参照して、データ読出時においては、アクセストランジスタATRは、ワード線WLの活性化にตอบสนองしてターンオンする。これにより、トンネル磁気抵抗素子TMRは、接地電圧Vssでプルダウンされた状態でビット線BLと電氣的に結合される。

【0019】

この状態で、ビット線BLを所定電圧でプルアップすれば、ビット線BLおよびトンネル

10

20

30

40

50

磁気抵抗素子 TMR を含む電流経路を、トンネル磁気抵抗素子 TMR の電気抵抗に応じた、すなわち MTJ メモリセルの記憶データのレベルに応じたメモリセル電流 I_{cell} が通過する。たとえば、このメモリセル電流 I_{cell} を所定の基準電流と比較することにより、MTJ メモリセルから記憶データを読み出すことができる。

【0020】

このようにトンネル磁気抵抗素子 TMR は、印加されるデータ書込磁界によって書換可能な磁化方向に応じてその電気抵抗が変化するので、トンネル磁気抵抗素子 TMR の電気抵抗 R_{max} および R_{min} と、記憶データのレベル（“1” および “0”）とそれぞれ対応付けることによって、不揮発的なデータ記憶を実行することができる。

【0021】

【発明が解決しようとする課題】

このように、MRAM デバイスでは、記憶データレベルの違いに対応したトンネル磁気抵抗素子 TMR での接合抵抗差である電気抵抗差 $R = (R_{max} - R_{min})$ を利用してデータ記憶が実行される。すなわち、選択メモリセルの通過電流 I_{cell} の検知に基づいて、データ読出動作が実行される。

【0022】

たとえば、米国特許公報 6,205,073 B1 号（以下、単に「従来の技術」と称する）においては、電流伝達回路を用いてメモリセル通過電流を取出す構成が示されている。

【0023】

図 19 は、従来の技術に従うデータ読出回路の構成を示す回路図である。

図 19 を参照して、データ読出時において、選択メモリセル 501 では、ワード線 WL の活性化に伴ってアクセストランジスタ ATR がターンオンする。さらに、コラムデコーダによってオンされたトランジスタスイッチ 502 を介して、データ読出線 503 と接地電圧 V_{ss} との間に、選択メモリセル 501 のトンネル磁気抵抗素子 TMR（電気抵抗 R_{mtj} ）が接続される。

【0024】

従来の技術に従うデータ読出回路は、データ読出線 503 に対して 2 段階に設けられた電流伝達回路 505 および 510 を含む。

【0025】

電流伝達回路 505 は、データ読出線 503 と接点 508 との間に設けられ、センスアンプ 506 およびトランジスタ 507 を有する。トランジスタ 507 は、データ読出線 503 と接点 508 との間に接続される。センスアンプ 506 は、所定のバイアス電圧 V_{b1} とデータ読出線 503 との電圧差を増幅して、トランジスタ 507 のゲートに出力する。接点 508 へは、電流源 509 によって一定電流 I_s が供給される。

【0026】

電流伝達回路 510 は、接点 508 と接地電圧 V_{ss} の間に設けられ、センスアンプ 511 およびトランジスタ 512 を有する。トランジスタ 512 は、接点 508 と接地電圧 V_{ss} との間に接続される。センスアンプ 511 は、所定のバイアス電圧 V_{b2} と接点 508 との電圧差を増幅して、出力ノード 513 に出力する。出力ノード 513 は、トランジスタ 512 のゲートと接続される。

【0027】

電流伝達回路 505 および 510 は、負帰還動作によって、データ読出線 503 および接点 508 の電圧を、第 1 のバイアス電圧 V_{b1} および第 2 のバイアス電圧 V_{b2} に維持するとともに、選択メモリセル 501 の通過電流 I_{cell} に応じた電圧 V_o を、出力ノード 513 に生成することができる。すなわち、トンネル磁気抵抗素子 TMR への印加電圧をバイアス電圧 V_{b1} に維持して、トンネル磁気抵抗素子 TMR での電気抵抗特性を安定化した上で、選択メモリセル 501 の通過電流 I_{cell} を検知することができる。

【0028】

しかしながら、従来の技術のデータ読出回路では、センスアンプ 506 および 511 が必要とされるなど、比較的多くの回路素子が配置される。実際には、相補的な比較動作に基

10

20

30

40

50

づいてデータ読出を行なうために、同一のデータ読出回路を2系統配置する必要があるため、その回路素子数はさらに増大する。このため、製造プロセスで生じた回路素子間の特性ばらつきによって、データ読出精度が影響を受けるおそれがある。

【0029】

また、図19に示した回路構成を配慮すれば、出力ノード513に得られる出力電圧 V_o はそれほど高いレベルとならない。したがって、出力電圧 V_o を高精度に検出することが必要となってしまう。

【0030】

さらに、負帰還回路では電源投入直後の動作が不安定化するため、センスアンプ506および511に対して動作電流を常時供給する必要がある。したがって、データ読出回路でのスタンバイ電流が大きくなってしまい、消費電力が増加してしまう。

10

【0031】

一方で、ノード N_o で得られた出力電圧 V_o は、MTJメモリセルの製造ばらつきに起因する、トンネル磁気抵抗素子TMRの抵抗値(R_{mtj})の変動を含んでいる。すなわち、データ読出を高精度化するためには、製造プロセス変動に起因するMTJメモリセルの電気抵抗特性のばらつきに追従させて、データ読出精度を補償するための構成を考慮することが必要である

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、簡易な回路構成で、高精度のデータ読出を実行可能な薄膜磁性体記憶装置の構成を提供することである。

20

【0032】

【課題を解決するための手段】

この発明に従う薄膜磁性体記憶装置は、各々が磁気的に書込まれた記憶データに応じた電気抵抗を有する複数のメモリセルと、相補の第1および第2のデータ線と、第1および第2のデータ線の通過電流差に応じたデータ読出を行なうための差動増幅部とを備える。データ読出時において、第1および第2のデータ線の一方ずつは、複数のメモリセルのうちの選択メモリセル、および選択メモリセルの比較対象として設けられた比較セルをそれぞれ介して固定電圧と電気的に結合される。差動増幅部は、電源電圧と第1および第2のノード間に設けられ、少なくともデータ読出時に第1および第2のノードへ同一の動作電流を供給するための電流供給回路と、第1および第2のノードと第1および第2のデータ線との間を電気的に結合するとともに、第1および第2のデータ線の各々を基準電圧以下の所定電圧に維持するように、第1および第2のデータ線の間に生じる通過電流差を第1および第2のノードの電圧差に変換する電流増幅回路とを含む。

30

【0033】

好ましくは、差動増幅部は、電源電圧と内部ノードとの間に電気的に結合され、データ読出時にオンして動作電流を供給する電流供給トランジスタをさらに含む。電流供給回路は、内部ノードと第1および第2のノードとの間に電気的にそれぞれ結合され、各々が第1のノードと接続されたゲートを有する第1および第2のトランジスタを有する。電流増幅回路は、第1のノードおよび第1のデータ線の間に電気的に結合され、基準電圧をゲートに受ける第3のトランジスタと、第2のノードおよび第2のデータ線の間に電気的に結合され、基準電圧をゲートに受ける第4のトランジスタとを有する。

40

【0034】

また好ましくは、電流供給回路は、データ読出前においても、第1および第2のノードに対して動作電流を供給する。

【0035】

さらに好ましくは、電流供給回路は、内部ノードと第1および第2のノードとの間に電気的にそれぞれ結合され、各々が第1のノードと接続されたゲートを有する第1および第2のトランジスタを有する。電流増幅回路は、第1のノードおよび第1のデータ線の間に電気的に結合され、基準電圧をゲートに受ける第3のトランジスタと、第2のノードおよび第2のデータ線の間に電気的に結合され、基準電圧をゲートに受ける第4のトランジスタ

50

とを有する。

【 0 0 3 6 】

特にこのような構成においては、基準電圧は、電源電圧よりも低い。

あるいは好ましくは、固定電圧は接地電圧に相当する。薄膜磁性体記憶装置は、データ読出前に、第 1 および第 2 のデータ線の各々を、接地電圧に設定するためのイコライズ回路をさらに備える。

【 0 0 3 7 】

また好ましくは、複数のメモリセルは、複数のメモリブロックに分割して配置され、差動増幅部と、第 1 および第 2 のデータ線とは、メモリブロックごとに設けられる。薄膜磁性体記憶装置は、複数のメモリブロックに共通に設けられる、相補の第 1 および第 2 のグローバルデータ線と、第 1 の電圧と第 1 および第 2 のグローバルデータ線との間に設けられ、第 1 および第 2 のグローバルデータ線の各々へ同一電流を供給するためのグローバル電流供給部と、メモリブロックごとに設けられ、対応する差動増幅部での第 1 のノードの電圧に応じた電流で、第 1 のグローバルデータ線を第 2 の電圧へ駆動するための第 1 の電流伝達回路と、メモリブロックごとに設けられ、対応する差動増幅部での第 2 のノードの電圧に応じた電流で、第 2 のグローバルデータ線を第 2 の電圧へ駆動するための第 2 の電流伝達回路と、第 1 および第 2 のグローバルデータ線間の電圧差を増幅して読出データを生成する電圧アンプとをさらに備える。

【 0 0 3 8 】

さらに好ましくは、各差動増幅部と、各第 1 および第 2 の電流伝達回路とは、対応するメモリブロックが選択された場合に動作する。

【 0 0 3 9 】

また、さらに好ましくは、各メモリブロックにおいて、差動増幅部は並列に動作し、複数のメモリブロックのうちの順に選択された 1 つにおいて、第 1 および第 2 の電流伝達回路は動作する。

【 0 0 4 0 】

あるいは、さらに好ましくは、第 1 および第 2 の電圧は、電源電圧および接地電圧にそれぞれ相当し、第 1 の電流伝達回路は、第 1 のグローバルデータ線および接地電圧の間に電氣的に結合されて、対応する第 1 のノードと接続されたゲートを有する第 1 の N チャネル電界効果型トランジスタを有する。第 2 の電流伝達回路は、第 2 のグローバルデータ線および接地電圧の間に電氣的に結合されて、対応する第 2 のノードと接続されたゲートを有する第 2 の N チャネル電界効果型トランジスタを有する。

【 0 0 4 1 】

また好ましくは、複数のメモリセルは行列状に配置され、第 1 および第 2 のデータ線は、メモリセル列ごとに配置される相補のビット線にそれぞれ対応する。差動増幅部は、メモリセル列ごとにセンスアンプとして設けられる。薄膜磁性体記憶装置は、複数のメモリセルに対して共通に設けられる、相補の第 1 および第 2 のグローバルデータ線と、第 1 の電圧と第 1 および第 2 のグローバルデータ線との間に設けられ、第 1 および第 2 のグローバルデータ線の各々へ同一電流を供給するためのグローバル電流供給部と、メモリセル列ごとに設けられ、列選択結果に応じて動作して、対応する差動増幅部での第 1 のノードの電圧に応じた電流で、第 1 のグローバルデータ線を第 2 の電圧へ駆動するための第 1 の電流伝達回路と、メモリセル列ごとに設けられ、列選択結果に応じて動作して、対応する差動増幅部での第 2 のノードの電圧に応じた電流で、第 2 のグローバルデータ線を第 2 の電圧へ駆動するための第 2 の電流伝達回路と、第 1 および第 2 のグローバルデータ線間の電圧差を増幅して読出データを生成する電圧アンプとをさらに備える。

【 0 0 4 2 】

さらに好ましくは、複数のメモリセルは、行方向に沿って第 1 および第 2 の領域に分割して配置され、差動増幅部は、第 1 および第 2 の領域の間に配置される。薄膜磁性体記憶装置は、メモリセル列ごとに設けられ、第 1 および第 2 の領域の一方において、第 1 および第 2 のデータ線と対応する第 1 および第 2 のノードとの間を電氣的に切離すための接続ス

10

20

30

40

50

イッチをさらに備える。

【0043】

また、さらに好ましくは、薄膜磁性体記憶装置は、メモリセル列ごとに設けられ、列選択結果を対応する第1および第2の電流伝達回路へ伝達するための列選択線をさらに備える。第1および第2のデータ線と、第1および第2のグローバルデータ線とは、列方向に沿って配置され、列選択線は、行方向に沿って配置される。

【0044】

あるいは好ましくは、電流供給回路は、第1のノードおよび第3のノードの各々へ同一電流を供給するための第1のカレントミラー回路と、第2のノードおよび第4のノードの各々へ同一電流を供給するための第2のカレントミラー回路とを有する。電流増幅回路は、第2のデータ線を基準とする通過電流差に応じた電圧を第1のノードに生成するための第1の変換回路と、第1のデータ線を基準とする通過電流差に応じた電圧を第2のノードに生成するための第2の変換回路とを有する。

10

【0045】

さらに好ましくは、第1のカレントミラー回路は、電源電圧と第1および第3のノードとの間に電氣的にそれぞれ結合され、各々のゲートが第3のゲートと接続される第1および第2のトランジスタを有する。第2のカレントミラー回路は、電源電圧と第2および第4のノードとの間に電氣的にそれぞれ結合され、各々のゲートが第4のゲートと接続される第3および第4のトランジスタを有する。第1の変換回路は、第1および第4のノードと第1のデータ線との間に電氣的にそれぞれ結合され、各々のゲートへ基準電圧を受ける第5および第6のトランジスタを有する。第2の変換回路は、第2および第3のノードと第2のデータ線との間に電氣的にそれぞれ結合され、各々のゲートへ基準電圧を受ける第7および第8のトランジスタを有する。

20

【0046】

この発明の他の構成に従う薄膜磁性体記憶装置は、各々が磁氣的に書込まれた記憶データに応じて第1および第2の電気抵抗の一方を有する複数のメモリセルと、第1および第2の電気抵抗の中間的な電気抵抗を有し、少なくともデータ読出時に、第1および第2の電圧の間に電氣的に結合される基準セルと、データ読出時に、選択されたアドレスに対応する選択メモリセルを介して第1および第2の電圧の間に電氣的に結合される第1のデータ線と、選択メモリセルおよび基準セルの通過電流差に応じたデータ読出を行なうためのデータ読出回路とを備える。データ読出回路は、データ読出時に、基準セルの通過電流に基づいて、第1のデータ線を所定電圧にクランプするためのデータ線電圧クランプ部を含む。

30

【0047】

好ましくは、データ線電圧クランプ部は、データ読出に先立って、第1のデータ線を所定電圧にクランプする。

【0048】

また好ましくは、薄膜磁性体記憶装置は、第1のデータ線と相補のデータを伝達するための第2のデータ線をさらに備える。第2のデータ線は、データ読出時に、基準セルを介して第1および第2の電圧の間に電氣的に結合される。データ読出回路は、第1の電圧と第1のノードの間に設けられ、一定電流を第1のノードへ供給するための第1の電流供給部と、第1の電圧と第2のノードの間に設けられ、一定電流を第2のノードへ供給するための第2の電流供給部とを含む。データ線電圧クランプ部は、第1および第2のデータ線の所定の一方と第1のノードとの間に設けられ、一方のデータ線の電圧が所定電圧に維持されるように、一方のデータ線の通過電流を制御する第1の電流制御部と、第1および第2のデータ線の所定の他方と第2のノードとの間に設けられ、一方のデータ線の電圧が所定電圧に維持されるように、他方のデータ線の通過電流を制御する第2の電流制御部とを含む。データ読出回路は、第1および第2のデータ線の通過電流差を電圧差に変換するための電圧変換部をさらに含む。

40

【0049】

あるいは好ましくは、データ読出回路は、第1の電圧と第1のノードの間に設けられ、一

50

定電流を第１のノードへ供給するための第１の電流供給部と、第１の電圧と第２のノードの間に設けられ、一定電流を第２のノードへ供給するための第２の電流供給部とをさらに含む。データ線電圧クランプ部は、基準セルを介して第２の電圧と接続される基準ノードと、第１のノードと基準ノードとの間に設けられ、基準ノードの電圧が所定電圧に維持されるように、基準ノードの通過電流を制御する第１の電流制御部と、第２のノードと第１のデータ線との間に設けられ、基準ノードの電圧が所定電圧に維持されるように、第１のデータ線の通過電流を制御する第２の電流制御部とを有する。データ読出回路は、第１のデータ線および基準ノードの通過電流差を電圧差に変換するための電流差検出部をさらに含む。

【００５０】

10

さらに好ましくは、データ線電圧クランプ部は、基準ノードの電圧と所定電圧との電圧差に応じた帰還電圧を発生する電圧増幅器をさらに有する。第１の電流制御部は、第１のノードと基準ノードとの間に電氣的に結合されて、帰還電圧をゲートに受ける第１のトランジスタを有する。第２の電流制御部は、アドレス選択結果に応じて、第１のデータ線と第２のノードとを電氣的に結合するための第２のトランジスタを有し、第２のトランジスタのゲートへは帰還電圧が入力される。

【００５１】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳細に説明する。なお、図中における同一符号は、同一または相当部分を示すものとする。

20

【００５２】

[実施の形態１]

図１は、本発明の実施の形態に従うＭＲＡＭデバイス１の全体構成を示す概略ブロック図である。

【００５３】

図１を参照して、本発明の実施の形態に従うＭＲＡＭデバイス１は、外部からの制御信号ＣＭＤおよびアドレス信号ＡＤＤにตอบสนองしてランダムアクセスを行ない、書込データＤＩＮの入力および読出データＤＯＵＴの出力を実行する。

【００５４】

ＭＲＡＭデバイス１は、制御信号ＣＭＤにตอบสนองしてＭＲＡＭデバイス１の全体動作を制御するコントロール回路５と、行列状に配されたＭＴＪメモリセルＭＣを含むメモリアレイ１０とを備える。

30

【００５５】

メモリアレイ１０においては、ＭＴＪメモリセルの行にそれぞれ対応して、ワード線ＷＬおよびディジット線ＤＬが配置され、ＭＴＪメモリセルの列にそれぞれ対応して、相補のビット線ＢＬおよび／ＢＬから構成されるビット線対ＢＬＰが配置される。図１においては、代表的に示される１個のＭＴＪメモリセルＭＣと、これに対応するワード線ＷＬ、ディジット線ＤＬ、およびビット線対ＢＬＰの配置が示される。

【００５６】

ＭＲＡＭデバイス１は、アドレス信号によって示されるロウアドレスＲＡをデコードして、メモリアレイ１０における行選択を実行するための行デコーダ２０と、アドレス信号ＡＤＤによって示されるコラムアドレスＣＡをデコードして、メモリアレイ１０における列選択を実行するための列デコーダ２５と、読出／書込制御回路３０および３５とをさらに備える。

40

【００５７】

読出／書込制御回路３０および３５は、メモリアレイ１０に対してデータ書込動作を行なうための回路群、およびメモリアレイ１０からデータ読出を行なうための回路群（以下、「データ読出回路系」とも称する）を総称したものである。

【００５８】

ディジット線ＤＬは、メモリアレイ１０を挟んで行デコーダ２０と反対側の領域において

50

、接地電圧 V_{ss} と結合される。

【0059】

図2は、メモリアレイおよびデータ読出およびデータ書込を実行するための周辺回路についての実施の形態1に従う構成を示す回路図である。

【0060】

図2を参照して、メモリアレイ10は、ビット線BLおよび/BLの各々との交点に対応して、それぞれ配置されるMTJメモリセルを有する。すなわち、行アドレスおよび列アドレスの組合せで示される1つのアドレスに対応して、2個のMTJメモリセルが配置される。MTJメモリセルの各々は、図15に示したのと同様の構成を有し、対応するビット線BLまたは/BLと接地電圧 V_{ss} との間に直列に接続された、トンネル磁気抵抗素子TMRおよびアクセス素子(アクセストランジスタ)ATRとを有する。アクセストランジスタATRのゲートは、対応するワード線WLと接続される。

10

【0061】

以下においては、同一アドレスに対応する2個のMTJメモリセルのうちのビット線BLと接続される一方を、単にメモリセルMCとも称し、ビット線/BLと接続される他方を比較セルMC#とも称する。同一アドレスに対応するメモリセルMCおよび比較セルMC#によって、1ビットのデータ記憶が実行される。具体的には、メモリセルMCには、当該アドレスでの記憶データが書込まれ、比較セルMC#へは、メモリセルMCと相補のデータが書込まれる。

【0062】

20

図2においては、第i番目(i:自然数)のメモリセル行および第j番目(j:自然数)に対応する、ワード線WL_i、ディジット線DL_i、ビット線BL_j、/BL_j、ならびに、対応するメモリセルMCおよび比較セルMC#が代表的に示される。

【0063】

なお、以下においては、信号、信号線およびデータ等の2値的な高電圧状態(たとえば、電源電圧 V_{cc})および低電圧状態(たとえば、接地電圧 V_{ss})を、それぞれ「Hレベル」および「Lレベル」とも称する。

【0064】

読出/書込制御回路35は、各メモリセル列において、ビット線BLおよび/BLの一端同士に配置されたライトコラム選択ゲートWCSGを有する。ライトコラム選択ゲートWCSGは、対応するライトコラム選択線WCSLの活性化(Hレベル)に応答してオンする。ライトコラム選択線WCSLは、データ書込時に選択列において活性化(Hレベル)される。図2には、ビット線BL_jおよび/BL_jに対応して設けられる、ライトコラム選択線WCSL_jおよびライトコラム選択ゲートWCSG_jが代表的に示される。

30

【0065】

さらに、メモリアレイ10に隣接して、読出データおよび書込データを伝達するための相補のデータ線LIOおよび/LIOが配置される。データ線LIOおよび/LIOは、データ線対LIOpを構成する。

【0066】

各メモリセル列において、ビット線BLおよび/BLの他端と、データ線LIOおよび/LIOとの間にコラム選択ゲートCSGが設けられる。コラム選択ゲートCSGは、対応するコラム選択線CSLの活性化(Hレベル)に応答してオンする。コラム選択線CSLは、データ書込時およびデータ読出時の双方において、選択列で活性化(Hレベル)される。図2には、ビット線BL_jおよび/BL_jに対応して設けられる、コラム選択線CSL_jおよびコラム選択ゲートCSG_jが代表的に示される。

40

【0067】

まず、MTJメモリセルへのデータ書込動作について簡単に説明する。ここでは、一例として、第i行・第j列がデータ書込対象に選択された場合について説明する。

【0068】

行デコーダ20は、データ書込時において、選択行のディジット線DL_iを活性化するた

50

めに電源電圧 V_{cc} と結合する。これにより、活性化されたディジット線 DL_i は、その両端を電源電圧 V_{cc} および接地電圧 V_{ss} とそれぞれ接続される。したがって、活性化されたディジット線 DL_i に対して、行方向のデータ書込電流 I_p を流すことができる。行方向のデータ書込電流 I_p は書込データのレベルにかかわらず一定である。

【0069】

一方、行デコーダ 20 は、非選択行のディジット線 DL については、接地電圧 V_{ss} に固定する。これにより、非選択のディジット線 DL に行方向のデータ書込電流 I_p が流れることはない。

【0070】

読出 / 書込制御回路 30 は、データ書込電流供給回路 40 をさらに含む。データ書込電流供給回路 40 は、書込データ DIN に応じて、データ線 LIO および $/LIO$ を、電源電圧 V_{cc} (Hレベル) および接地電圧 V_{ss} (Lレベル) の一方ずつに設定する。たとえば、書込データ $DIN = "1"$ である場合には、データ書込電流供給回路 40 は、データ線 LIO を Hレベル、 $/LIO$ を Lレベルに設定する。反対に、書込データ $DIN = "0"$ である場合には、データ書込電流供給回路 40 は、データ線 LIO を Lレベル、 $/LIO$ を Hレベルに設定する。

【0071】

これにより、ライトコラム選択ゲート $WC SG_j$ によって一端側同士を接続された選択列のビット線 BL_j および $/BL_j$ に対して、書込データ DIN のレベルに応じて、互いに逆方向の電流が流すことができる。この結果、選択アドレスに対応するメモリセル MC および比較セル $MC\#$ に対して、書込データ DIN およびその相補データを並列に書込むことができる。

【0072】

次に、MTJメモリセルからのデータ読出動作について説明する。

読出 / 書込制御回路 30 は、メモリセル列ごとに配置されたイコライズ回路 EQG を有する。図 2 においては、第 j 番目のメモリセル列に対応するイコライズ回路 EQG_j が代表的に示される。

【0073】

イコライズ回路 EQG_j は、対応するビット線 BL_j 、 $/BL_j$ の間に接続されるトランジスタスイッチ 31 と、ビット線 BL_j および接地電圧 V_{ss} の間に接続されるトランジスタスイッチ 32 と、ビット線 $/BL_j$ および接地電圧 V_{ss} の間に接続されるトランジスタスイッチ 33 とを有する。トランジスタスイッチ 31、32 および 33 の各々は、たとえば N チャンネル MOS トランジスタで構成される。

【0074】

トランジスタスイッチ 31 ~ 33 の各々のゲートには、行デコーダ 20 によって生成される、メモリアレイ 10 内のメモリセル列に共通のビット線イコライズ信号 $BLEQ$ が入力される。ビット線イコライズ信号 $BLEQ$ は、少なくともデータ読出動作前の所定期間において、Hレベルへ活性化される。

【0075】

図示しないが、他のメモリセル列に対応して設けられるイコライズ回路も同様の構成を有し、ビット線イコライズ信号 $BLEQ$ に応答して動作する。ビット線イコライズ信号 $BLEQ$ の活性化に応答したプリチャージ・イコライズ動作によって、各メモリセル列においてビット線 BL および $/BL$ の各々は、接地電圧 V_{ss} へ設定される。

【0076】

読出 / 書込制御回路 30 は、さらに、データ線対 LIO_P をイコライズするためのデータ線イコライズ回路 50 と、差動増幅器 60 とを有する。

【0077】

データ線イコライズ回路 50 は、データ線 LIO および $/LIO$ の間に接続されるトランジスタスイッチ 51 と、データ線 LIO および接地電圧 V_{ss} の間に接続されるトランジスタスイッチ 52 と、データ線 $/LIO$ および接地電圧 V_{ss} の間に接続されるトランジ

10

20

30

40

50

スタスイッチ 53 とを有する。トランジスタスイッチ 51、52 および 53 の各々は、たとえば N チャンネル MOS トランジスタで構成される。

【0078】

トランジスタスイッチ 51 ~ 53 の各々のゲートには、行デコーダ 20 によって生成されるデータ線イコライズ信号 LIOEQ が入力される。データ線イコライズ信号 LIOEQ は、少なくともデータ読出動作前の所定期間において、H レベルへ活性化される。これに 응답したプリチャージ・イコライズ動作によって、データ線 LIO および /LIO の各々は、接地電圧 Vss へ設定される。

【0079】

差動増幅器 60 は、ノード No およびデータ線 LIO の間に接続された N チャンネル MOS トランジスタ 61 と、ノード /No とデータ線 /LIO との間に接続された N チャンネル MOS トランジスタ 62 と、ノード Nsp およびノード No の間に接続される P チャンネル MOS トランジスタ 63 と、ノード Nsp およびノード /No の間に接続される P チャンネル MOS トランジスタ 64 と、電源電圧 Vcc およびノード Nsp の間に接続される P チャンネル MOS トランジスタ 65 とを有する。

【0080】

トランジスタ 63 および 64 の各々のゲートは、ノード No と接続される。トランジスタ 63 および 64 は、カレントミラー回路を構成し、ノード No および /No の各々に対して、同一電流を供給しようとする。

【0081】

トランジスタ 61 および 62 の各々のゲートには、Vref 発生回路 55 によって生成される固定された基準電圧 Vref が入力される。トランジスタ 61 および 62 は、データ線 LIO および /LIO を基準電圧以下に維持するとともに、データ線 LIO および /LIO の通過電流差を増幅して、ノード No および /No 間の電圧差に変換する。

【0082】

トランジスタ 65 のゲートへは、行デコーダ 20 によってデータ読出動作時に L レベルに活性化されるセンスイネーブル信号 /SE が入力される。トランジスタ 65 は、センスイネーブル信号 /SE の活性化 (L レベル) に応答して動作電流を供給して、差動増幅器 60 を動作させる。

【0083】

次に、図 3 を用いて、実施の形態 1 に従う MRAM デバイスにおけるデータ読出動作を説明する。図 3 においても、第 i 行・第 j 列がデータ読出対象に選択された場合の動作について代表的に説明する。

【0084】

図 3 を参照して、データ読出実行前の、時刻 t1 以前において、データ線イコライズ信号 LIOEQ およびビット線イコライズ信号 BLEQ は、H レベルに活性化されている。これにより、各メモリセル列においてビット線 BL および /BL は接地電圧 Vss にプリチャージされ、データ線 LIO、/LIO も接地電圧 Vss にプリチャージされる。

【0085】

時刻 t1 においてデータ読出動作が開始されると、まず、データ線イコライズ信号 LIOEQ およびビット線イコライズ信号 BLEQ が L レベルへ非活性化されて、各ビット線 BL、/BL およびデータ線 LIO、/LIO は、接地電圧 Vss から切離される。これにより、データ読出を開始する準備が整う。

【0086】

さらに、時刻 t2 において、センスイネーブル信号 /SE が L レベルに活性化されて、差動増幅器 60 の動作が開始される。これにより、データ線 LIO および /LIO の各々に対する電流供給が開始される。また、同様のタイミングで、選択行のワード線 WLi および選択列のコラム選択線 CSLj が各々 H レベルに活性化される。

【0087】

選択行のワード線 WLi および選択列のコラム選択線 CSLj の活性化に 응답して、デー

10

20

30

40

50

タ線 L I O は、ビット線 B L j およびメモリセル M C を介して接地電圧 V_{ss} へプルダウンされ、データ線 / L I O は、ビット線 / B L j および比較セル M C # を介して接地電圧 V_{ss} へプルダウンされる。既に説明したように、メモリセル M C および比較セル M C # へは互いに相補のデータが書込まれているので、それぞれの電気抵抗は R_{max} および R_{min} の一方ずつである。

【0088】

センスイネーブル信号 / S E の活性化に応答して、トランジスタ 6 5 によって供給される動作電流は、データ線 L I O , / L I O と、ビット線 B L j , / B L j と、メモリセル M C および比較セル M C # のトンネル磁気抵抗素子 T M R を通過して接地電圧 V_{ss} へ至る経路を流れる。

10

【0089】

差動増幅器 6 0 において、トランジスタ 6 3 および 6 4 で構成されたカレントミラー回路は、データ線 L I O および / L I O の各々に同一電流を供給しようとする。しかし、選択アドレスに対応するメモリセル M C および比較セル M C # 間には電気抵抗差 R が存在するので、両者の通過電流には電流差が生じようとする。この電流差によって生じようとする、ビット線 B L j および / B L j の間、すなわちデータ線 L I O および / L I O 間の電圧差は、差動増幅器 6 0 中のトランジスタ 6 1 および 6 2 におけるソース・ドレイン電圧の差に相当するので、上記の電気抵抗差 R は、トランジスタ 6 1 および 6 2 の通過電流（ソース・ドレイン電流）差 I に変換される。すなわち、この電流差 I が、ビット線 B L j および / B L j 間、ならびにデータ線 L I O および / L I O 間の電流差として現わ

20

【0090】

一方、ビット線 B L j および / B L j 間、ならびにデータ線 L I O および / L I O 間には電圧差は生じず、データ線 L I O , / L I O およびビット線 B L j , / B L j の各々の電圧は、“ $V_{ref} - V_{th} - V_{mc}$ ” に落ち着く。ここで、 V_{th} はトランジスタ 6 1 , 6 2 のしきい値電圧に相当し、 V_{mc} は、メモリセル M C および比較セル M C # で生じる電圧降下に相当する。

【0091】

基準電圧 V_{ref} はトンネル磁気抵抗素子中のトンネルバリアである絶縁膜の信頼性等を考慮して、上記の電圧 “ $V_{ref} - V_{th} - V_{mc}$ ” がたとえば約 400 mV 程度となるように設定される。これにより、過電圧印加によるメモリセル破壊を回避して、動作信頼性を向上できる。

30

【0092】

このようなノード N o および / N o 間における電圧差 V の極性に応じて、選択アドレスの記憶データを読み出すことができる。たとえば、ノード N o および / N o の電圧差を増幅するアンプを後段にさらに配置することによって、メモリアレイ 1 0 からの読出データ D O U T を生成することが可能である。

【0093】

データ読出終了時には、時刻 t_4 において、センスイネーブル信号 / S E 、選択行のワード線 W L i および選択列のコラム選択線 C S L j が非活性化される。さらに、時刻 t_5 において、データ線イコライズ信号 L I O E Q およびビット線イコライズ信号 B L E Q が H レベルへ活性化されて、各ビット線 B L , / B L およびデータ線 L I O , / L I O がプリチャージされて、データ読出前の回路状態が再現される。

40

【0094】

以上説明したように、実施の形態 1 に従う構成においては、差動増幅器 6 0 の動作電流をメモリセルの通過電流として用いるので、データ読出回路系の回路素子数を削減できる。また、電気抵抗差 R に起因する電流差 I を、トランジスタの増幅作用によって電圧差 V に変換するので、高精度のデータ読出を行なえる。

50

【 0 0 9 5 】

さらに、データ読出時における、トンネル磁気抵抗素子 TMR への印加電圧が一定に維持されるので、トンネル磁気抵抗素子の電気抵抗特性の変動を抑制してデータ読出を高精度化できる。

【 0 0 9 6 】

[実施の形態 2]

図 4 は、メモリアレイおよびその周辺回路の実施の形態 2 に従う構成を示す回路図である。

【 0 0 9 7 】

図 4 を参照して、実施の形態 2 に従う構成においては、図 2 に示した構成と比較して、差動増幅器 60 に代えて差動増幅器 60' が配置される点と、データ線イコライズ回路 50 の配置が省略される点とが異なる。

10

【 0 0 9 8 】

差動増幅器 60' は、図 2 に示される差動増幅器 60 と比較して、電流源として動作する P チャネル MOS トランジスタ 65 の配置が省略される点で異なる。すなわち、差動増幅器 60' においては、P チャネル MOS トランジスタ 63 および 64 のソースは、電源電圧 V_{cc} と常時電氣的に結合される。

【 0 0 9 9 】

実施の形態 2 に従う MRAM デバイスのその他の部分の構成は、実施の形態 1 と同様であるので詳細な説明は繰返さない。

20

【 0 1 0 0 】

次に、図 5 を用いて、実施の形態 2 に従う MRAM デバイスにおけるデータ読出動作を説明する。図 5 においても、第 i 行・第 j 列がデータ読出対象に選択された場合の動作について代表的に説明する。

【 0 1 0 1 】

図 5 を参照して、データ読出動作が開始される時刻 t_1 以前においては、ビット線イコライズ信号 BLEQ が H レベルに活性化されるので、各メモリセル列においてビット線 BL および /BL は接地電圧 V_{ss} にプリチャージされる。

【 0 1 0 2 】

差動増幅器 60' の動作電流がデータ読出動作前においても常時供給されるので、データ線 LIO および /LIO の各々は、基準電圧 V_{ref} に応じて " $V_{ref} - V_{th}$ " にクランプされる。同様に、ノード No および /No の各々の電圧も、" $V_{cc} - V_{th}$ " に固定されている。

30

【 0 1 0 3 】

時刻 t_2 において、選択行のワード線 WL i および選択列のコラム選択線 CSL j が各々 H レベルに活性化されると、選択アドレスにおけるメモリセル MC および比較セル MC# の電気抵抗差 R に応じた、実施の形態 1 と同様の電流差 I が、ビット線 BL j および /BL j 間、ならびにデータ線 LIO および /LIO 間に生じる。この電流差 I は、トランジスタ 61 および 62 によって、実施の形態 1 と同様にノード No および /No 間の電圧差 V に変換される。

40

【 0 1 0 4 】

一方で、ビット線 BL j および /BL j 間ならびに、データ線 LIO および /LIO 間には電圧差は発生せず、各々の電圧は、図 3 に示したのと同様に、" $V_{ref} - V_{th} - V_{mc}$ " に落ち着く。

【 0 1 0 5 】

このように、実施の形態 2 に従う構成においては、データ読出回路系を構成する差動増幅器の回路構成をさらに簡易化して、実施の形態 1 と同様の高精度のデータ読出動作を実行できる。さらに、寄生容量の比較的大きいデータ線 LIO および /LIO について、データ読出動作前とデータ読出時との間での電圧変化を小さくできるので、データ読出動作を高速化することができる。

50

【 0 1 0 6 】

〔 実施の形態 3 〕

実施の形態 3 においては、メモリアレイ 10 が複数の所定単位に分割され、所定単位ごとに実施の形態 1 または 2 に従うデータ読出回路系が配置される構成について説明する。

【 0 1 0 7 】

図 6 は、実施の形態 3 に従うデータ読出回路系の構成を示す回路図である。

図 6 を参照して、メモリアレイ 10 は、 $(n+1)$ 個 (n : 自然数) のメモリブロック $MB(0) \sim MB(n)$ に分割される。メモリブロック $MB(0) \sim MB(n)$ には、データ線 $LIO0, /LIO0 \sim LIO n, /LIO n$ がそれぞれ配置される。メモリブロック $MB(0) \sim MB(n)$ からのデータ読出は、センスアンプ $SA(0) \sim SA(n)$ によってそれぞれ実行される。

10

【 0 1 0 8 】

なお、以下においては、メモリブロック $MB(0) \sim MB(n)$ を総称する場合には、単にメモリブロック MB と称し、センスアンプ $SA(0) \sim SA(n)$ を総称する場合には、単にセンスアンプ SA と称する。同様に、データ線 $LIO0 \sim LIO n$ を総称する場合には、単にデータ線 LIO と称し、データ線 $/LIO0 \sim /LIO n$ を総称する場合には、単にデータ線 $/LIO$ と称する。

【 0 1 0 9 】

実施の形態 3 に従う構成においては、メモリブロック $MB(0) \sim MB(n)$ に共通に、相補のグローバルデータ線 GIO および $/GIO$ と、メインアンプ 90 とがさらに配置される。グローバルデータ線 GIO および $/GIO$ は、グローバルデータ線対 $GIO P$ を構成する。

20

【 0 1 1 0 】

メインアンプ 90 は、グローバルデータ線 GIO および $/GIO$ の各々へ同一電流を供給するためのカレントミラー回路 91 と、グローバルデータ線 GIO および $/GIO$ 間の電圧差を増幅して読出データ $DOU T$ を生成する差動増幅器 92 とを含む。

【 0 1 1 1 】

カレントミラー回路 91 は、グローバルデータ線 GIO および $/GIO$ と接地電圧 V_{ss} との間にそれぞれ接続されたトランジスタ 93 および 94 を有する。トランジスタ 93 および 94 は、Nチャネル MOS トランジスタで構成される。トランジスタ 93 および 94 の各々のゲートはグローバルデータ線 GIO と接続される。

30

【 0 1 1 2 】

各センスアンプ SA は、対応するメモリブロック MB からの 1 ビットのデータ読出を実行する。以下においては、センスアンプ $SA(0)$ の構成について代表的に説明する。

【 0 1 1 3 】

センスアンプ $SA(0)$ は、図 2 に示した差動増幅器 60 に加えて、データ伝達回路 80 および 85 とを含む。

【 0 1 1 4 】

データ伝達回路 80 は、電源電圧 V_{cc} およびグローバルデータ線 GIO の間に直列に接続されたトランジスタ 81 および 82 を有する。同様に、データ伝達回路 85 は、電源電圧 V_{cc} およびグローバルデータ線 $/GIO$ の間に直列に接続されたトランジスタ 86 および 87 を有する。トランジスタ 81 および 86 のゲートは、差動増幅器 60 のノード N_o および $/N_o$ とそれぞれ接続される。トランジスタ 82 および 87 のゲートには、差動増幅器 60 内のトランジスタ 65 と同様にセンスイネーブル信号 $/SE0$ が入力される。

40

【 0 1 1 5 】

センスイネーブル信号 $/SE0 \sim /SE n$ は、メモリブロック $MB(0) \sim MB(n)$ にそれぞれ対応して設けられる。センスイネーブル信号 $/SE0 \sim /SE n$ の各々は、対応するメモリブロックがデータ読出対象に選択された場合に L レベルに活性化される。たとえば、メモリブロック $MB(0)$ がデータ読出対象として選択された場合には、センスイネーブル信号 $/SE0$ のみが L レベルに活性化され、その他のセンスイネーブル信号 $/S$

50

E 1 ~ / S E n は H レベルに非活性化される。

【 0 1 1 6 】

データ伝達回路 8 0 は、センスイネーブル信号 / S E 0 の活性化にตอบสนองして動作して、ノード N o の電圧に応じた電流（トランジスタ 8 6 のソース・ドレイン間電流）でグローバルデータ線 G I O を駆動する。同様に、データ伝達回路 8 5 は、センスイネーブル信号 / S E 0 の活性化にตอบสนองして動作して、ノード / N o の電圧に応じた電流（トランジスタ 8 1 のソース・ドレイン間電流）でグローバルデータ線 / G I O を駆動する。

【 0 1 1 7 】

このように、データ伝達回路 8 0 , 8 5 は、グローバルデータ線 G I O , / G I O を電源電圧 V c c へ駆動するので、トランジスタ 8 1 , 8 2 , 8 6 , 8 7 の各々は、Pチャネル MOS トランジスタで構成される。

10

【 0 1 1 8 】

既に説明したように、センスアンプ S A (0) において、差動増幅器 6 0 は、対応するメモリブロック M B (0) における選択アドレスからの読出データに応じて、ノード N o および / N o の間に電圧差 V を生じさせる。データ伝達回路 8 0 および 8 5 は、この電圧差 V をグローバルデータ線 G I O および / G I O の通過電流差へ変換して、グローバルデータ線 G I O および / G I O へ伝達する。

【 0 1 1 9 】

このように、データ伝達回路 8 0 および 8 5 と、カレントミラー回路 9 1 とによって構成される差動増幅器によって、メモリブロック M B (0) でのノード N o および / N o 間の電圧差 V は、グローバルデータ線 G I O および / G I O 間の電圧差に増幅され、差動増幅器 9 2 によってさらに増幅されて、読出データ D O U T が生成される。他のメモリブロックに対応してそれぞれ設けられるセンスアンプ S A も、センスアンプ S A (0) と同様の構成を有する。

20

【 0 1 2 0 】

このような構成とすることにより、選択されたメモリブロック M B からの読出データに応じた電圧差を、グローバルデータ線 G I O および / G I O に生じさせることができる。この結果、メモリブロック M B (0) ~ M B (n) によって共有される、グローバルデータ線対 G I O P およびメインアンプ 9 0 によって、データ読出対象に選択されたメモリブロック M B からのデータ読出を実行できる。

30

【 0 1 2 1 】

このように、実施の形態 3 に従う構成によれば、選択メモリセルへの通過電流供給を行なう差動増幅器 6 0 と、グローバルデータ線対 G I O P での電圧増幅を行なうデータ伝達回路 8 0 , 8 5 およびメインアンプ 9 0 との 2 段階の差動増幅動作によって、M R A M デバイスからのデータ読出を実行する。このように、グローバルデータ線 G I O , / G I O は、選択されたメモリセル M C および比較セル M C # の通過電流経路からは切離されるので、アレイの大容量化に伴って寄生容量が増大するグローバルデータ線 G I O , / G I O を用いても、高速にデータ読出を実行できる。

【 0 1 2 2 】

また、センスイネーブル信号 / S E 0 ~ / S E n は、データ読出動作タイミングの指示（実施の形態 1 および 2 におけるセンスイネーブル信号 / S E に相当）と、メモリブロック M B (0) ~ M B (n) の選択情報とを含んでいるので、両者にそれぞれ対応して独立した信号を設ける場合と比較して、信号配線数を削減できる。

40

【 0 1 2 3 】

[実施の形態 3 の変形例 1]

図 7 は、実施の形態 3 の変形例 1 に従うデータ読出回路系の構成を示す回路図である。

【 0 1 2 4 】

図 7 を参照して、実施の形態 3 の変形例 1 に従う構成においては、実施の形態 3 に従う構成と比較して、センスイネーブル信号 / S E と、ブロック選択信号 / S E L 0 ~ / S E L n とが独立して配置される点異なる。

50

【 0 1 2 5 】

センスイネーブル信号 / S E は、実施の形態 1 および 2 と同様に、データ読出時（図 3 における時刻 $t_2 \sim t_5$ 間）に L レベルへ活性化され、メモリブロック M B (0) ~ M B (n) に共通の信号として、センスアンプ S A (0) ~ S A (n) の各々に供給される。

【 0 1 2 6 】

これに対して、ブロック選択信号 / S E L 0 ~ / S E L n は、メモリブロック M B (0) ~ M B (n) にそれぞれ対応して設けられ、アドレス情報に応じて、対応するメモリブロック M B が活性化された場合に、L レベルへ活性化される。

【 0 1 2 7 】

各センスアンプ S A において、差動増幅器 6 0 内のトランジスタ 6 5 のゲートには、センスイネーブル信号 / S E が入力される。一方、データ伝達回路 8 0 および 8 5 内のトランジスタ 8 2 および 8 7 のゲートには、ブロック選択信号 / S E L 0 ~ / S E L n の対応する 1 つが入力される。たとえば、センスアンプ S A (0) においては、トランジスタ 8 2 および 8 7 の各ゲートへは、ブロック選択信号 / S E L 0 が入力される。その他の部分の構成および動作は、実施の形態 3 と同様であるので、詳細な説明は繰り返さない。

10

【 0 1 2 8 】

したがって、データ読出動作においては、まず、センスイネーブル信号 / S E の活性化に応じて、メモリブロック M B (0) ~ M B (n) の各々において並列にデータ読出が実行される。これにより、センスアンプ S A (0) ~ S A (n) の各々において、差動増幅器 6 0 のノード N o および / N o に十分な電圧差が生じたタイミングで、ブロック選択信号 / S E L 0 ~ / S E L n のそれぞれを順に活性化して、メモリブロック M B (0) ~ M B (n) の 1 つを順に選択する。これにより、実施の形態 3 に従うデータ読出と同様に、選択されたメモリブロックからの読出データに応じた電圧差をグローバルデータ線 G I O および / G I O 間に生じさせて、読出データ D O U T を生成することができる。

20

【 0 1 2 9 】

この結果、メモリブロック M B (0) ~ M B (n) のそれぞれからの (n + 1) ビットの読出データを連続的に高速読出できる。すなわち、バースト動作に適した構成の M R A M デバイスを提供できる。

【 0 1 3 0 】

[実施の形態 3 の変形例 2]

30

図 8 は、実施の形態 3 の変形例 2 に従うデータ読出回路系の構成を示す回路図である。

【 0 1 3 1 】

図 8 を参照して、実施の形態 3 の変形例 2 に従う構成においては、図 7 に示した実施の形態 3 の変形例 1 に従う構成と比較して、データ伝達回路 8 0 , 8 5 が接地電圧 V_{ss} とグローバルデータ線 G I O および / G I O の間に設けられる点異なる。これに対応して、カレントミラー回路 9 1 は、電源電圧 V_{cc} とグローバルデータ線 G I O および / G I O との間に設けられる。

【 0 1 3 2 】

実施の形態 3 の変形例 2 に従う構成においては、データ伝達回路 8 0 , 8 5 は、グローバルデータ線 G I O , / G I O を接地電圧 V_{ss} へ駆動するので、トランジスタ 8 1 , 8 2 , 8 6 , 8 7 の各々は、N チャネル M O S トランジスタで構成される。また、カレントミラー回路 9 1 を構成するトランジスタ 9 3 および 9 4 は、P チャネル M O S トランジスタで構成される。さらに、ブロック選択信号 / S E L 0 ~ / S E L n に代えて、対応するメモリブロック M B が活性化された場合に H レベルへ活性化されるブロック選択信号 S E L 0 ~ S E L n が設けられ、対応するセンスアンプ S A において、トランジスタ 8 2 および 8 7 の各ゲートへ入力される。その他の部分の構成および動作は、実施の形態 3 の変形例 1 と同様であるので、詳細な説明は繰り返さない。

40

【 0 1 3 3 】

このような構成としても、電圧増幅における極性は反転するものの、実施の形態 3 の変形例 1 と同様のデータ読出を実行することができる。特に、データ伝達回路 8 0 および 8 5

50

を、より大きなソース・ドレイン電流を確保し易いNチャネルMOSトランジスタで構成することにより、これらのトランジスタのサイズを小型化することが可能となる。

【0134】

なお、図6に示した実施の形態3に従うセンスアンプに対しても同様の構成を適用して、データ伝達回路80, 85を構成するトランジスタ群の小型化を図ることが可能である。

【0135】

[実施の形態4]

実施の形態4においては、実施の形態3およびその変形例に示したセンスアンプをメモリセル列ごとに配置したメモリアレイ10からのデータ読出回路系の構成について説明する。

【0136】

図9は、メモリアレイおよびその周辺回路の実施の形態4に従う構成を示す回路図である。

【0137】

図9を参照して、メモリアレイ10の構成および、メモリセル列にそれぞれ対応して設けられたイコライズ回路EQGおよびライトコラム選択ゲートWCSGの構成は、実施の形態1と同様である。グローバルデータ線対GIOを構成する相補のグローバルデータ線GIOおよび/GIOは、メモリアレイ10からの1ビットのデータ読出およびデータ書込のために設けられる。また、メインアンプ90の構成は、実施の形態3と同様であるので詳細な説明は繰返さない。

【0138】

実施の形態4に従う構成においては、メモリセル列にそれぞれ対応して、センスアンプSA(0)~SA(n)が設けられる。センスアンプSA(0)~SA(n)の各々の構成は、図8に示した実施の形態3の変形例2に従う構成と同様であるので詳細な説明は繰返さない。

【0139】

各メモリセル列において、センスアンプSAに含まれる差動増幅器60は、センスイネーブル信号/SEの活性化にตอบสนองして、対応するビット線BLおよび/BLを介して、選択行のメモリセルMCおよび比較セルMC#の通過電流を供給する。さらに、差動増幅器60は、ビット線BLおよび/BL間に生じた、選択されたメモリセルMCの記憶データに応じた極性を有する電流差Iを、ノードNoおよび/Noの間の電圧差Vに増幅する。このようにして、各メモリセル列において、データ読出動作は、並列に開始される。

【0140】

各センスアンプSAにおいて、データ伝達回路80および85は、対応するコラム選択線CSLの活性化(Hレベル)にตอบสนองして動作して、対応するノードNoおよび/No間の電圧差Vに応じた電流差を、グローバルデータ線GIOおよび/GIOの間に生じさせる。すなわち、対応するコラム選択線CSLがHレベルに活性化された選択列において、差動増幅器60のノードNoおよび/No間に生じた電圧差Vが、カレントミラー回路91およびデータ伝達回路80, 85による差動増幅動作によってグローバルデータ線GIOおよび/GIO間の電圧差に増幅される。差動増幅器92は、グローバルデータ線GIOおよび/GIO間の電圧差をさらに増幅して、メモリアレイ10からの読出データDOUTを生成する。

【0141】

このような構成とすることにより、各メモリセル列において、並列にデータ読出を開始した後に、列選択を順次切換えて、複数ビットの読出データを連続的に高速出力することができる。特に、各差動増幅器60によって、ビット線対BLPを直接駆動する構成としていたので、データ読出動作をさらに高速化することができる。

【0142】

さらに、グローバルデータ線GIOおよび/GIOを、ビット線BLおよび/BLと同一方向に設けることによって、多数ビットの並列出力に適した構成のMRAMデバイスとす

10

20

30

40

50

ることができる。

【 0 1 4 3 】

[実施の形態 4 の変形例]

図 1 0 は、メモリアレイおよびその周辺回路の実施の形態 4 の変形例に従う構成を示す回路図である。

【 0 1 4 4 】

図 1 0 を参照して、実施の形態 4 の変形例に従う構成においては、実施の形態 4 に従う構成に加えて、さらに、いわゆる「シェアードセンス構成」が適用される。

【 0 1 4 5 】

すなわち、メモリアレイ 1 0 は、センスアンプ $SA(0) \sim SA(m)$ が配置される領域を挟んで、左側領域 1 0 L および右側領域 1 0 R に分割される。左側領域 1 0 L および右側領域 1 0 R の各々の構成は、これまで説明したメモリアレイ 1 0 と実質的に同一である。以下においては、左側領域 1 0 L および右側領域 1 0 R を、メモリアレイ 1 0 L および 1 0 R とそれぞれ称する。

【 0 1 4 6 】

なお、図 1 0 においては、メモリアレイ 1 0 L および 1 0 R にそれぞれ配置される信号線を区別するために、メモリアレイ 1 0 L に配置されるワード線、ディジット線およびビット線について、 $WL L$ 、 $DL L$ 、 $BL L$ 、 $/BL L$ と表記し、メモリアレイ 1 0 R に配置される、ワード線、ディジット線およびビット線について、 $WL R$ 、 $DL R$ 、 $BL R$ 、 $/BL R$ と表記する。また、図示しないが、メモリアレイ 1 0 L および 1 0 R の各々において、図 2 に示したライトコラム選択ゲート $WCSG$ が各メモリセル列に対応して配置される。

【 0 1 4 7 】

センスアンプ $SA(0) \sim SA(m)$ の各々は、メモリアレイ 1 0 L および 1 0 R によって共有されて、センスノード $Ns(0) \sim Ns(m)$ のうちの対応する 1 つと、センスノード $/Ns(0) \sim /Ns(m)$ のうちの対応する 1 つとの通過電流差を、対応するノード No および $/No$ 間の電圧差に増幅する。以下においては、センスノード $Ns(0) \sim Ns(m)$ を総称してセンスノード Ns とも称し、センスノード $/Ns(0) \sim /Ns(m)$ を総称してセンスノード $/Ns$ とも称する。

【 0 1 4 8 】

メモリセル列にそれぞれ対応して、センスノード Ns および $/Ns$ と、メモリアレイ 1 0 R および 1 0 L との間の接続を制御するための、ビット線接続スイッチ $BSWL(0)$ 、 $BSWR(0) \sim BSWL(m)$ 、 $BSWR(m)$ がそれぞれ配置される。以下においては、ビット線接続スイッチ $BSWL(0) \sim BSWL(m)$ を総称する場合には、ビット線接続スイッチ $BSWL$ とも称し、ビット線接続スイッチ $BSWR(0) \sim BSWR(m)$ を総称する場合には、ビット線接続スイッチ $BSWR$ とも称する。

【 0 1 4 9 】

たとえば、ビット線接続スイッチ $BSWL(0)$ は、制御信号 $BLIL$ の活性化にตอบสนองして、ビット線 $BL L 0$ および $/BL L 0$ を、センスノード $Ns(0)$ および $/Ns(0)$ とそれぞれ接続する。同様に、ビット線接続スイッチ $BSWR(0)$ は、制御信号 $BLIR$ の活性化にตอบสนองして、ビット線 $BL R 0$ および $/BL R 0$ を、センスノード $Ns(0)$ および $/Ns(0)$ とそれぞれ接続する。

【 0 1 5 0 】

その他のメモリセル列に対応して設けられたビット線接続スイッチ $BSWL$ および $BSWR$ も同様に動作する。したがって、制御信号 $BLIL$ が活性化されている期間においては、センスノード $Ns(0)$ 、 $/Ns(0) \sim Ns(m)$ 、 $/Ns(m)$ は、メモリアレイ 1 0 L のビット線 $BL L 0$ 、 $/BL L 0 \sim BL L m$ 、 $/BL L m$ とそれぞれ接続される。反対に、制御信号 $BLIR$ が活性化された期間においては、センスノード $Ns(0)$ 、 $/Ns(0) \sim Ns(m)$ 、 $/Ns(m)$ は、メモリアレイ 1 0 L のビット線 $BL R 0$ 、 $/BL R 0 \sim BL R m$ 、 $/BL R m$ とそれぞれ接続される。

10

20

30

40

50

【 0 1 5 1 】

メモリセル列にそれぞれ対応して設けられるイコライズ回路 $EQG0 \sim EQGm$ は、ビット線イコライズ信号 $BLEQ$ の活性化に応答して、イコライズ・プリチャージ動作を実行する。たとえば、イコライズ回路 $EQG0$ は、ビット線イコライズ信号 $BLEQ$ に応答して、センスノード $Ns(0)$ および $/Ns(0)$ の各々を、接地電圧 Vss に設定する。このように、ビット線イコライズ信号 $BLEQ$ の活性化に応答して、センスノード $Ns(0)$, $/Ns(0) \sim Ns(m)$, $/Ns(m)$ の各々は接地電圧 Vss に設定される。

【 0 1 5 2 】

データ読出時においては、ビット線イコライズ信号 $BLEQ$ が、 H レベルから L レベルに変化して、センスノード $Ns(0)$, $/Ns(0) \sim Ns(m)$, $/Ns(m)$ の各々が接地電圧 Vss から切離される。さらに、制御信号 $BLIL$ および $BLIR$ のいずれか一方のみが H レベルに活性化される。これにより、メモリアレイ $10L$ および $10R$ の非選択である一方に配置されたビット線 BL , $/BL$ は、対応するセンスノード Ns および $/Ns$ から電氣的に切離される。

10

【 0 1 5 3 】

この結果、センスアンプ $SA(0) \sim SA(m)$ の各々は、対応するセンスノード Ns , $/Ns$ と接続された、選択されたメモリアレイのビット線間に生じた電流差に基づいて、実施の形態 4 と同様のデータ読出動作を実行する。

【 0 1 5 4 】

実施の形態 4 の変形例に従う構成によれば、シェアードセンス構成に基づいて、センスアンプ SA を配置するので、データ読出時におけるビット線の実質的な配線長を抑制して、データ読出をさらに高速化することができる。

20

【 0 1 5 5 】

[実施の形態 5]

実施の形態 5 においては、実施の形態 1 から 4 およびそれらの変形例に用いられる差動増幅器 60 , $60'$ に代えて適用可能な、より安定的に動作する差動増幅器の構成について説明する。

【 0 1 5 6 】

図 11 は、実施の形態 5 に従う差動増幅器 $60\#$ の構成を示す回路図である。

図 11 を参照して、実施の形態 5 に従う差動増幅器 $60\#$ は、データ線 LIO (またはビット線 BL) およびノード Nsp の間に直列に接続される、 N チャネル MOS トランジスタ 61 および 63 と、トランジスタ 61 および 63 と並列に接続される N チャネル MOS トランジスタ $61\#$ および $63\#$ とを有する。差動増幅器 $60\#$ は、さらに、データ線 $/LIO$ (またはビット線 $/BL$) およびノード Nsp の間に直列に接続される、 P チャネル MOS トランジスタ 62 および 64 と、トランジスタ 62 および 64 と並列に接続される P チャネル MOS トランジスタ $62\#$ および $64\#$ とを有する。

30

【 0 1 5 7 】

トランジスタ 63 および 64 の各ゲートは、トランジスタ 62 および 64 の接続ノードと接続され、トランジスタ $63\#$ および $64\#$ の各ゲートは、トランジスタ $61\#$ および $63\#$ の接続ノードと接続される。トランジスタ 61 , 62 , $61\#$, $62\#$ の各ゲートへは、基準電圧 $Vref$ が入力される。

40

【 0 1 5 8 】

差動増幅器 $60\#$ は、電源電圧 Vcc およびノード Nsp の間に電氣的に結合される P チャネル MOS トランジスタ 65 をさらに有する。トランジスタ 65 のゲートへは、センスイネーブル信号 $/SE$ が入力される。なお、図 4 に示した差動増幅器 $60'$ と同様に、トランジスタ 65 の配置を省略することもできる。

【 0 1 5 9 】

このような構成とすることにより、差動増幅器 $60\#$ では、ノード No および $/No$ の負荷容量を均衡させることができる。差動増幅器 60 , $60'$ のように、ノード No および $/No$ 間で負荷容量が不均衡である構成では、ノード No および $/No$ 間に十分な電圧差

50

Vが生じるまでに要する時間（センス時間）が読出データのレベルによって変化するのに対して、相補型で構成された差動増幅器60#では、読出データのレベルによらずセンス時間を一定にできる。さらに、差動増幅動作における直流ゲインも大きくなるので、安定したデータ読出動作が実現できる。

【0160】

なお、実施の形態1から4およびそれらの変形例に従う、図2、4、6、7、8、9および10にそれぞれ示したデータ読出回路系において、差動増幅器60、60'および60#のいずれを適用することも可能である。

【0161】

また、実施の形態1から4およびそれらの変形例においては、相補のデータ線を用いたデータ読出動作を前提としているが、メモリアレイ10の構成については、これまで説明したように、2個のMTJメモリセルによって1ビットを記憶するメモリセル配置に限定されるものではない。

10

【0162】

図12は、相補のデータ線によってデータ読出動作を行なうためのアレイ構成のバリエーションを説明する概念図である。

【0163】

図12(a)には、実施の形態1から4およびそれらの変形例で示した、2個のMTJメモリセルによって1ビットを記憶するメモリセル配置が示される。この配置では、同一アドレスに対応する2個のメモリセルMCおよびMC#が相補のデータ線LIO(BL)および/LIO(/BL)とそれぞれ接続されて、相補データ線間の通過電流差に基づいたデータ読出が実行される。

20

【0164】

図12(a)に示したメモリセル配置は、記憶ビット数の2倍のMTJメモリセルが必要となるものの、実際に相補データを記憶しているMTJメモリセル間の通過電流差に応じてデータ読出を実行するため、トンネル磁気抵抗素子の製造特性のばらつきに追従して、高精度のデータ読出を実行することができる。

【0165】

図12(b)および(c)には、中間的な電気抵抗を有するダミーメモリセルを用いたメモリセル配置が示される。ダミーメモリセルDMCは、メモリセルMCの2種類の記憶データレベル("1","0")にそれぞれ対応した電気抵抗 R_{max} および R_{min} の中間値である電気抵抗 R_m を有する。好ましくは、 $R_m = R_{min} + R/2$ ($R = R_{max} - R_{min}$)に設計される。通常、ダミーメモリセルDMCは、正規のMTJメモリセルMCと同様のトンネル磁気抵抗素子TMRを含むように設計される。

30

【0166】

ダミーメモリセルDMCを配置する構成では、1個のMTJメモリセルごとに1ビットのデータ記憶を実行するので、メモリセルの配置個数を削減することが可能となる。

【0167】

図12(b)には、ダミーメモリセルDMCがダミー行を形成する配置例が示される。

40

【0168】

この配置においては、各メモリセル行において、メモリセルMCは、ビット線BLまたは/LBLのいずれかと接続される。たとえば、奇数行においてビット線BLと接続され、偶数行においてビット線/LBLと接続されるように、メモリセルMCは交互配置される。

【0169】

詳細は図示しないが、ダミーメモリセルDMCは、2つのダミー行にわたって、正規のメモリセルMCとメモリセル列を共有するように配置される。さらに、ダミー行にそれぞれ対応して、ダミーワード線DWL1およびDWL2が配置される。ダミーメモリセルDMCは、それぞれのダミー行において、ビット線BLまたは/LBLの一方と接続される。

【0170】

このような配置とすることにより、ワード線WLおよびダミーワード線DWL1、DWL

50

2の選択的な活性化によって、相補のデータ線L I O (B L) および / L I O (/ B L) の一方ずつに、選択されたメモリセルM C およびダミーメモリセルD M Cをそれぞれ接続することができるので、相補データ線間の通過電流差に基づいたデータ読出が可能となる。

【 0 1 7 1 】

また、図12(c)に示されるように、ダミー列を形成するようにダミーメモリセルD M Cを配置することもできる。ダミーメモリセルD M Cは、正規のメモリセルM Cとメモリセル行を共有するように配置され、さらに、ダミー列に対応してダミービット線D B Lが設けられる。データ線L I Oおよび / L I Oは、選択列のビット線およびダミービット線D B Lと接続される。

10

【 0 1 7 2 】

このような配置とすることにより、ワード線W Lの選択的な活性化によって、相補のデータ線L I O (B L) および / L I O (D B L) に、選択されたメモリセルM C およびダミーメモリセルD M Cをそれぞれ接続することができるので、相補データ線間の通過電流差に基づいたデータ読出が可能となる。

【 0 1 7 3 】

すなわち、ダミーメモリセルD M Cを配置して、1個のM T Jメモリセルごとに1ビットのデータ記憶を実行する構成としても、実施の形態1から5およびそれらの変形例に従うデータ読出回路系の構成において、比較セルM C # に代えてダミーメモリセルD M Cを適用することにより、同様のデータ読出動作を実行することが可能である。

20

【 0 1 7 4 】

[実施の形態6]

実施の形態6においては、中間的な電気抵抗を有する基準セル、すなわち図12(b), (c)に示したダミーメモリセルD M Cの配置を前提としたデータ読出回路系の構成について説明する。

【 0 1 7 5 】

図13は、実施の形態6に従うデータ読出回路系の構成を示す回路図である。

図13を参照して、メモリアレイ10には、図12(b)と同様に、メモリセルM C およびダミーメモリセルD M Cが配置される。すなわち、ダミーメモリセルD M Cは、2行にわたって、正規のメモリセルM Cとメモリセル列を共有するように配置される。

30

【 0 1 7 6 】

各メモリセル列に対応して、互いに相補のビット線B L および / B L によって構成されるビット線対B L P j が配置される。各ビット線B L および / B L にそれぞれ対応して、プリチャージゲートP G および / P G が設けられる。各プリチャージゲートP G および / P G は、ビット線プリチャージ信号B L P R に応答して、対応するビット線B L および / B L の一端側を接地電圧V s s と結合する。

【 0 1 7 7 】

メモリセルM C は、奇数行においてビット線B L と接続され、偶数行においてビット線 / B L と接続されるように、1行おきに交互配置される。メモリセルM C は、対応するビット線B L または / B L と接地電圧V s s との間に接続される、トンネル磁気抵抗素子T M R およびアクセス素子(アクセストランジスタ)A T R を有する。アクセストランジスタA T R は、対応するワード線W L の活性化に応答してオンする。

40

【 0 1 7 8 】

ダミーメモリセルの行にそれぞれ対応して、ダミーワード線D W L 1 およびD W L 2 が配置される。ダミーワード線D W L 1 に対応するダミーメモリセル群は、対応するビット線 / B L と接地電圧V s s との間に接続される、ダミー磁気抵抗素子T M R d およびダミーアクセス素子(アクセストランジスタ)A T R d を有する。ダミーアクセス素子A T R d は、奇数行の選択時に活性化されるダミーワード線D W L 1 に応じてオンする。

【 0 1 7 9 】

これに対して、ダミーワード線D W L 2 に対応するダミーメモリセル群は、対応するビッ

50

ト線 BL と接地電圧 V_{ss} との間に接続される、ダミー磁気抵抗素子 TMR_d および、ダミーアクセス素子（アクセストランジスタ） ATR_d を有する。ダミーアクセス素子 ATR_d は、偶数行の選択時に活性化されるダミーワード線 DWL_2 に応じてオンする。

【0180】

各ダミーメモリセル DMC の電気抵抗 R_m は、 $R_m = R_{min} + (R/2)$ に設計される。たとえば、電気抵抗 R_{min} に対応するデータを記憶した、メモリセル MC と同様のトンネル磁気抵抗素子 TMR によってダミー磁気抵抗素子 TMR_d を構成し、かつ、ダミーアクセス素子 ATR_d のオン抵抗をアクセストランジスタ ATR よりも $R/2$ 大きく設定することによって、ダミーメモリセル DMC が構成される。あるいは、ダミーアクセス素子 ATR_d とアクセストランジスタ ATR のオン抵抗を同様に設計し、ダミー磁気抵抗素子 TMR_d を、電気抵抗 R_{min} に対応するデータを記憶するトンネル磁気抵抗素子 TMR と電気抵抗が $R/2$ の固定抵抗との直列接続によって、ダミーメモリセル DMC を構成することもできる。

10

【0181】

図13においては、第1番目および第2番目のメモリセル列に対応するワード線 WL_1 , WL_2 およびディジット線 DL_1 , DL_2 と、第 j 番目のメモリセル列に対応するビット線 BL_j および $/BL_j$ と、これらに対応するメモリセル MC およびダミーメモリセル DMC が代表的に示される。

【0182】

実施の形態6に従う構成においては、各メモリセル列に対応して配置されるコラム選択ゲート CSG と、メモリアレイ10に隣接して配置される相補のデータバス DB および $/DB$ がさらに設けられる。データバス DB および $/DB$ は、データバス対 DBP を構成する。

20

【0183】

コラム選択ゲート CSG は、ビット線 BL および $/BL$ の他端側と、データバス DB および $/DB$ との間に接続され、対応するコラム選択線 CSL の活性化に応答してオンする。たとえば、コラム選択ゲート CSG_j は、コラム選択線 CSL_j の活性化に応答して、対応するビット線 BL_j および $/BL_j$ の他端側をデータバス DB および $/DB$ とそれぞれ接続する。

【0184】

実施の形態6に従うデータ読出回路110は、電源電圧 V_{cc} およびノード $/No$ の間に設けられ一定電流 I_s をノード $/No$ へ供給する電流源120と、ノード $/No$ およびデータバス $/DB$ の間に電氣的に結合されるトランジスタ122と、ノード $/No$ と接地電圧 V_{ss} との間に接続される電流検出抵抗124とを含む。

30

【0185】

データ読出回路110は、さらに、電源電圧 V_{cc} およびノード No の間に設けられ一定電流 I_s をノード No へ供給する電流源125と、ノード No およびデータバス DB の間に電氣的に結合されるトランジスタ127と、ノード No と接地電圧 V_{ss} との間に接続される電流検出抵抗129とをさらに含む。電流検出抵抗124および129の電気抵抗は、同一値 R_L に設定される。

40

【0186】

データ読出回路110は、データバス DB および $/DB$ の所定の一方と、所定の基準電圧 V_r との電圧差を増幅して帰還電圧 V_{fb} を生成する電圧増幅器130と、ノード No および $/No$ 間の電圧差を増幅して読出データ DOU_T を生成する電圧増幅器140とをさらに含む。図13では、電圧増幅器130の入力側とデータバス $/DB$ とが接続される回路構成例を示したが、他方のデータバス DB を電圧増幅器130の入力側とすることもできる。電圧増幅器130が出力する帰還電圧 V_{fb} は、トランジスタ122および127の各ゲートへ入力される。基準電圧 V_r は、実施の形態1における基準電圧 V_{ref} と同様に設定される。

【0187】

50

データ読出前においては、各ワード線WLは非活性化されているので、ビット線BLおよび/BLと、メモリセルMCおよびダミーメモリセルDMCの間は切離される。また、ビット線プリチャージ信号BLPRが活性化されているので、ビット線BLおよび/BLの各々は、接地電圧Vssへプリチャージされる。

【0188】

さらに、各コラム選択線CSLも非活性化されているので、データバスDBおよび/DBは、各ビット線BLおよび/BLから切離されている。したがって、電圧増幅器130、トランジスタ122, 127によって構成されるデータ線電圧クランプ部によって、データバスDBおよび/DBの各々は、データ読出に先立って所定電圧Vrにクランプされる。

10

【0189】

データ読出時には、ビット線プリチャージ信号BLPRは非活性化されて、各ビット線BL, /BLは、接地電圧Vssから切離される。さらに、アドレス選択に応じて、選択行のワード線、選択列のコラム選択線およびダミーワード線DWL1およびDWL2の一方が選択的に活性化される。

【0190】

これに応じて、データバスDBおよび選択列のビット線BLは、選択されたメモリセルMCおよびダミーメモリセルDMCの一方を介して、電源電圧Vccおよび接地電圧Vssの間に電氣的に結合される。同様に、データバス/DBおよび選択列のビット線/BLは、選択されたメモリセルMCおよびダミーメモリセルDMCの他方を介して、電源電圧Vccおよび接地電圧Vssの間に電氣的に結合される。

20

【0191】

データ読出時においても、電圧増幅器130、トランジスタ122, 127によって構成されるデータ線電圧クランプ部は、データ読出前と同様に、データバスDBおよび/DBの各々を所定電圧Vrにクランプする。特に、データバス/DBがダミーメモリセルDMCと接続される場合には、ダミーメモリセルDMCの通過電流に基づいて、データバスDBおよび/DBのクランプ動作を実行できる。

【0192】

したがって、データ読出回路110は、データバスDB, /DBおよび選択列のビット線BL, /BLが上記の所定電圧にクランプされた状態で、選択されたメモリセルMCおよびダミーメモリセルDMCの電気抵抗差($R/2$)に応じた電流差を、データバスDBおよび/DBの通過電流間に生じさせる。

30

【0193】

データバスDBおよび/DBの通過電流差に応じて、同一の電気抵抗RLを有する電流検出抵抗124および129の間にも通過電流差が発生し、これに応じて、ノードNoおよび/Noの間に、選択されたメモリセルMCの記憶データに応じた電圧差が発生する。この結果、電圧増幅器130は、選択されたメモリセルMCの記憶データのレベルを反映した読出データDOUTを生成できる。

【0194】

なお、データバスDBとダミーメモリセルDMCが接続された場合でも、電圧増幅器130の入力側とデータバスDBおよび/DBとの間の接続を特に切換えなくとも、選択されたメモリセルMCおよびダミーメモリセルDMCの通過電流差に基づいた同様のデータ読出動作を実行できる。しかし、データバスDB, /DBの電圧クランプ動作を、ダミーメモリセルDMCの通過電流に基づいて厳密に実行したい場合には、ダミーワード線DWL1, DWL2の選択と連動させて、電圧増幅器130の入力側とデータバスDBおよび/DBとの間の接続を切換える構成としてもよい。

40

【0195】

以上説明したように、このように、実施の形態6に従う構成においては、基本的にデータバスDB, /DBおよび選択列のビット線BLおよび/BLの電圧を一定レベルに維持した上でデータ読出動作を実行できる。したがって、比較的大きな寄生容量を有するこれら

50

のデータ線の充放電を伴うことなく、高速にデータ読出を実行できる。

【0196】

特に、データ読出前においても、寄生容量の大きいデータバスDBおよび/DBを、データ読出時と同様の所定電圧にクランプしているため、データ読出開始時においてもデータバスDBおよび/DBの充放電が不要である。この結果、データ読出動作をさらに高速化できる。

【0197】

また、データバスDB、/DBの電圧クランプ動作を、ダミーメモリセルDMCの通過電流、すなわち実際の電気抵抗に基づいて実行できるので、製造プロセス変動に起因するMTJメモリセルの電気抵抗特性のばらつきに追従させて、データ読出動作点（最大電圧振幅を得られる点）を確保できる。

10

【0198】

〔実施の形態6の変形例〕

実施の形態6においては、正規のMTJメモリセルと同一アレイ内に基準セル（ダミーメモリセル）を行列状に配置する構成を示したが、実施の形態6の変形例においては、基準セルをメモリアレイ外に配置する場合のデータ読出回路系の構成について説明する。

【0199】

図14は、実施の形態6の変形例に従うデータ読出回路系の構成を示す回路図である。

【0200】

図14を参照して、実施の形態6の変形例に従う構成においては、メモリアレイ10内には、データ記憶を実行するための正規のメモリセルMCが、行列状に配置されている。

20

【0201】

各メモリセル列に対応して、ビット線BLが配置される。各ビット線BLに対応して、プリチャージゲートPGが設けられる。各プリチャージゲートPGは、ビット線プリチャージ信号BLPRにตอบสนองして、対応するビット線BLの一端側を接地電圧Vssと結合する。メモリセルMCは、ワード線WLとビット線BLとの交点にそれぞれ対応して配置される。図14においては、第1番目および第2番目のメモリセル行と、第1番目および第2番目のメモリセル列に対応する4個のメモリセル列と、これらに対応する信号線群が代表的に示されている。

【0202】

30

実施の形態6の変形例に従う構成においては、2本のデータバスDB1およびDB2が配置される。データバスDB1およびDB2にそれぞれ対応して、DPG1およびDPG2が設けられる。プリチャージゲートDPG1およびDPG2は、ビット線プリチャージ信号BLPRにตอบสนองして、データバスDB1およびDB2を接地電圧Vssへプリチャージする。

【0203】

コラム選択線CSLは、データバスDBの配置本数に合わせて、2個のメモリセル列ごとに配置される。たとえば、図14に示されたコラム選択線CSL1は、第1番目および第2番目のメモリセル列に共通して設けられ、第1番目もしくは第2番目のメモリセル列が選択された場合にHレベルに活性化される。

40

【0204】

メモリセル列にそれぞれ対応して設けられるコラム選択ゲートCG(1)、CG(2)、...によって、奇数列のビット線他端側はデータバスDB1と接続され、偶数列のビット線他端側は、データバスDB2と電氣的に結合される。たとえば、ビット線BL1は、コラム選択ゲートCG(1)を介して、データバスDB1と電氣的に結合され、ビット線BL2は、コラム選択ゲートCG(2)を介して、データバスDB2と電氣的に結合される。コラム選択ゲートCG(1)、CG(2)、...の各々は、たとえばNチャネルMOSトランジスタで構成される。以下においては、コラム選択ゲートCG(1)、CG(2)、...を総称する場合には、コラム選択ゲートCGとも称する。

【0205】

50

さらに、同一のコラム選択線CSLを共有するメモリセル列ごとに、リード選択ゲートRCSGが配置される。リード選択ゲートRCSGは、対応するコラム選択線が活性化された場合に、コラム選択ゲートCGのゲートをノードNbと接続する。たとえば、コラム選択線CSL1の活性化にตอบสนองして、リード選択ゲートRCSG1は、コラム選択ゲートCG(1)およびCG(2)の各ゲートは、ノードNbと接続される。

【0206】

一方、リード選択ゲートRCSGは、対応するコラム選択線が非活性化される場合には、対応するコラム選択ゲートCGのゲートを接地電圧Vssと接続する。これにより、非選択のコラム選択線に対応するコラム選択ゲートCGの各々は、オフされる。

【0207】

メモリアレイ10外に基準セルとして配置されるレプリカメモリセルRMCは、基準ノードNrと接地電圧Vssとの間に接続される。レプリカメモリセルRMCは、図13に示したダミーメモリセルDMCと同様の電気抵抗Rmを有し、直列に接続されたレプリカ磁気抵抗素子TMRrと、レプリカアクセス素子ATRrとを有する。レプリカ磁気抵抗素子TMRrおよびレプリカアクセス素子ATRrは、ダミーメモリセルDMC中のダミー磁気抵抗素子TMRdおよびダミーアクセス素子ATRdのそれぞれと同様に設計される。レプリカアクセス素子ATRrのゲートは電源電圧Vccに固定され、常時オン状態に設定される。

【0208】

実施の形態6の変形例に従うデータ読出回路150は、電流源120と、トランジスタ122と、電流検出抵抗124と、電圧増幅器130, 140とを含む。電圧増幅器130は、レプリカメモリセルRMCを介して接地電圧Vssと結合された基準ノードNrと所定の基準電圧Vrとの電圧差を増幅して、帰還電圧VfbをノードNbへ出力する。トランジスタ122は、基準ノードNrとノードNoとの間に電氣的に結合されて、ゲートへ帰還電圧Vfbを受ける。

【0209】

データ読出回路150は、さらに、電源電圧VccおよびノードNoの間に設けられ一定電流IsをノードNoへ供給する電流源165と、データバスDB1およびDB2とノードNoとの間の接続を切り替えるための選択スイッチ167と、ノードNoと接地電圧Vssとの間に接続される電流検出抵抗169とをさらに含む。電流検出抵抗124および169の電気抵抗は、同一値RLに設定される。

【0210】

選択スイッチ167は、制御信号SWGにตอบสนองして、データバスDB1およびDB2のうちの選択メモリセルと結合される一方をノードNoと接続する。たとえば、制御信号SWGは、選択メモリセルが偶数列および奇数列のいずれに属するかを示す1ビット信号で構成することができる。

【0211】

データ読出前においては、各ワード線WLおよび各コラム選択線は非活性化され、かつビット線プリチャージ信号BLPRが活性化される。したがって、各ビット線BLは、メモリセルMCと切離されて、接地電圧Vssへプリチャージされる。さらに、データバスDBおよび/DBも、接地電圧Vssへプリチャージされる。

【0212】

データ読出時には、ビット線プリチャージ信号BLPRは非活性化されて、各ビット線BL, /BLおよびデータバスDB1, DB2の各々は、接地電圧Vssから切離される。さらに、アドレス選択に応じて、選択行のワード線および選択列のコラム選択線が選択的に活性化される。また、選択スイッチ167によって、データバスDB1およびDB2の一方が、ノードNoと接続される。

【0213】

これに応じて、選択列のコラム選択ゲートCGを構成するMOSトランジスタのゲートには、トランジスタ122のゲートと同様に、基準ノードNrを基準電圧Vrに維持するた

10

20

30

40

50

めの帰還電圧 V_{fb} が入力される。したがって、電圧増幅器 130、トランジスタ 122 および選択列のコラム選択ゲート CG によって構成されるデータ線電圧クランプ部によって、選択列のビット線は、レプリカメモリセル RMC の通過電流に基づいて、所定電圧 V_r にクランプされる。

【0214】

これに応じて、データバス DB1 および DB2 の選択された一方および選択列のビット線 BL は、選択されたメモリセル MC を介して、電源電圧 V_{cc} および接地電圧 V_{ss} の間に電氣的に結合される。同様に、基準ノードは、レプリカメモリセル RMC を介して、電源電圧 V_{cc} および接地電圧 V_{ss} の間に電氣的に結合される。

【0215】

したがって、データ読出回路 110 は、基準ノード Nr および選択列のビット線 BL が上記の所定電圧にクランプされた状態で、選択されたメモリセル MC およびレプリカメモリセル RMC の電気抵抗差 ($R/2$) に応じた電流差を、選択されたデータバスおよび基準ノード Nr の通過電流間に生じさせる。

【0216】

これに応じて、同一の電気抵抗 RL を有する電流検出抵抗 124 および 159 によって、ノード No および /No の間に、選択されたメモリセル MC の記憶データに応じた電圧差が発生される。この結果、電圧増幅器 130 は、実施の形態 6 と同様に読出データ DOUT を生成できる。

【0217】

このような構成とすることにより、実施の形態 6 に従うデータ読出動作と同様に、高速かつ高精度にデータ読出を実行することができる。また、行列状に配置されたダミーメモリセル DMC に代えて、1 個のレプリカメモリセル RMC を配置すればよいため、実施の形態 6 に従う構成と比較して、メモリアレイ 10 の面積を小型化できる。

【0218】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0230】

【発明の効果】

請求項 1 ~ 5 に記載の半導体集積回路は、選択メモリセルと接続されるデータ線の電圧をクランプした上でデータ読出動作を実行できる。したがって、比較的大きな寄生容量を有するこれらのデータ線の充放電を伴うことなく、高速にデータ読出を実行できる。また、データ線電圧のクランプ動作を、基準セルの通過電流、すなわち実際の電気抵抗に基づいて実行できるので、製造プロセス変動に起因する電気抵抗特性のばらつきに追従させて、データ読出精度を確保できる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態に従う MRAM デバイス 1 の全体構成を示す概略ブロック図である。

【図 2】 メモリアレイおよびその周辺回路の実施の形態 1 に従う構成を示す回路図である。

【図 3】 実施の形態 1 に従う MRAM デバイスにおけるデータ読出動作を説明する動作波形図である。

【図 4】 メモリアレイおよびその周辺回路の実施の形態 2 に従う構成を示す回路図である。

【図 5】 実施の形態 2 に従う MRAM デバイスにおけるデータ読出動作を説明する動作波形図である。

【図 6】 実施の形態 3 に従うデータ読出回路系の構成を示す回路図である。

【図 7】 実施の形態 3 の変形例 1 に従うデータ読出回路系の構成を示す回路図である。

10

20

30

40

50

【図 8】 実施の形態 3 の変形例 2 に従うデータ読出回路系の構成を示す回路図である。

【図 9】 メモリアレイおよびその周辺回路の実施の形態 4 に従う構成を示す回路図である。

【図 10】 メモリアレイおよびその周辺回路の実施の形態 4 の変形例に従う構成を示す回路図である。

【図 11】 実施の形態 5 に従う差動増幅器の構成を示す回路図である。

【図 12】 相補のデータ線によってデータ読出動作を行なうためのアレイ構成のバリエーションを説明する概念図である。

【図 13】 実施の形態 6 に従うデータ読出回路系の構成を示す回路図である。

【図 14】 実施の形態 6 の変形例に従うデータ読出回路系の構成を示す回路図である。

【図 15】 M T J メモリセルの構成を示す概略図である。

【図 16】 M T J メモリセルに対するデータ書込動作を説明する概念図である。

【図 17】 データ書込時におけるデータ書込電流とトンネル磁気抵抗素子の磁化方向との関係を説明する概念図である。

【図 18】 M T J メモリセルからのデータ読出を説明する概念図である。

【図 19】 従来の技術に従う M R A M デバイスのデータ読出回路の構成を示す回路図である。

【符号の説明】

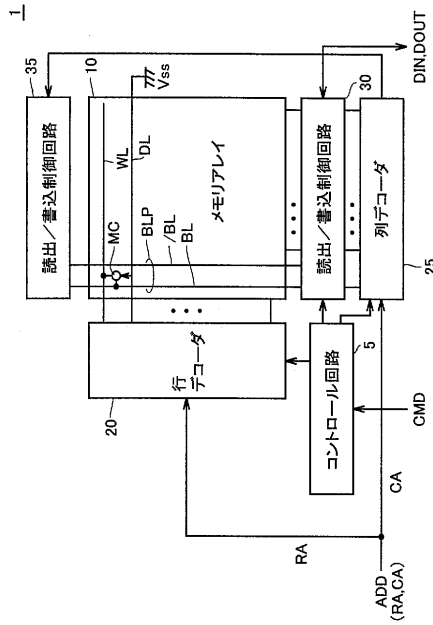
1 M A R A M デバイス、10, 10L, 10R メモリアレイ、20 行デコーダ、25 列デコーダ、50, E Q G イコライズ回路、60, 60', 60#, 92 差動増幅器、80, 85 データ伝達回路、90 メインアンプ、110, 150 データ読出回路、120, 125, 155 電流源、124, 129, 159 電流検出抵抗、130, 140 電圧増幅器、167 選択スイッチ、/ S E, / S E 0 ~ / S E n センスイネーブル信号、/ S E L 0 ~ / S E L n ブロック選択信号、A T R アクセストラジスタ、A T R d ダミーアクセス素子、A T R r レプリカアクセス素子、B L, / B L, B L L, / B L L, B L R, / B L R ビット線、C G, C S G コラム選択ゲート、C S L コラム選択線、D B, / D B データバス、L I O, / L I O データ線、D L デジタル線、D M C ダミーメモリセル、D O U T 読出データ、D W L 1, D W L 2 ダミーワード線、G I O, / G I O グローバルデータ線、L I O, / L I O データ線、M B メモリブロック、M C メモリセル、M C # 比較セル、N b, N o, / N o ノード、N r 基準ノード、R M C レプリカメモリセル、R m a x, R m i n 電気抵抗、S A センサアンプ、T M R トンネル磁気抵抗素子、T M R d ダミー磁気抵抗素子、T M R r レプリカ磁気抵抗素子、V c c 電源電圧、V f b 帰還電圧、V r, V r e f 基準電圧、V s s 接地電圧、W L ワード線、I 電流差、R 電気抵抗差、V 電圧差。

10

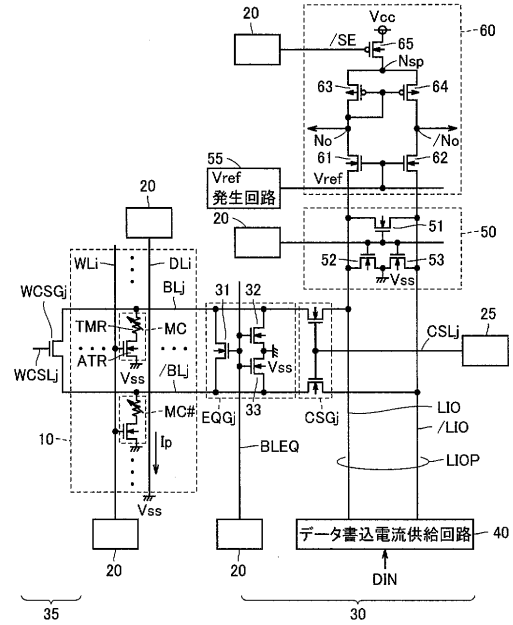
20

30

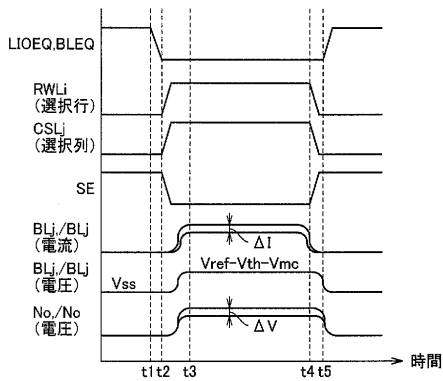
【図 1】



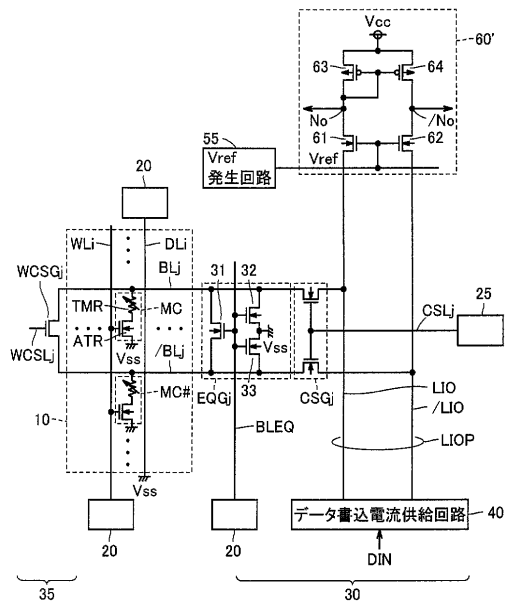
【図 2】



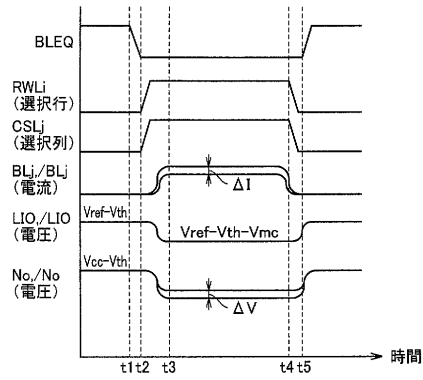
【図 3】



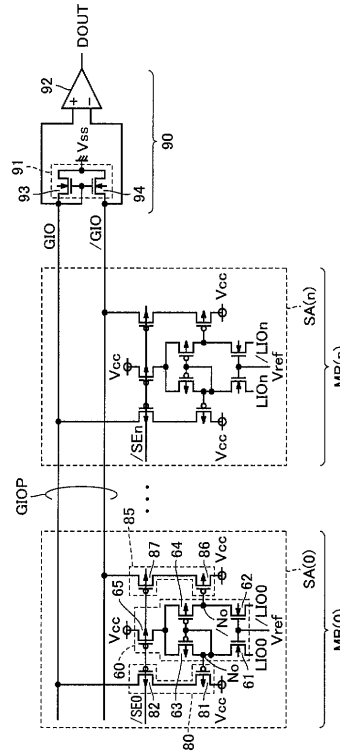
【図 4】



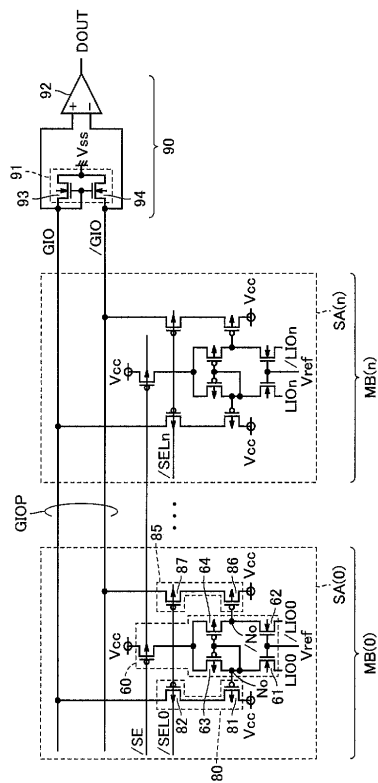
【図 5】



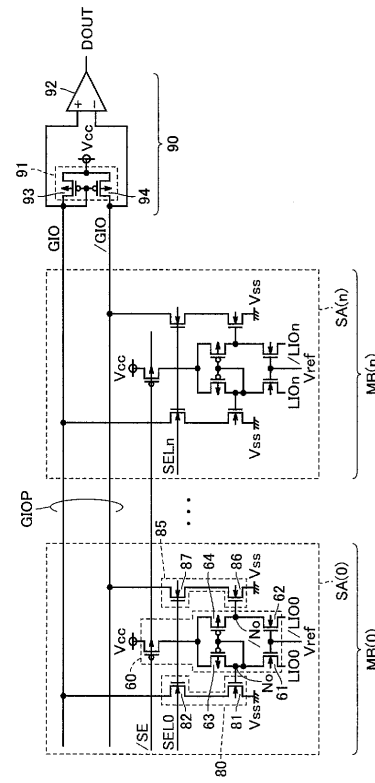
【図 6】



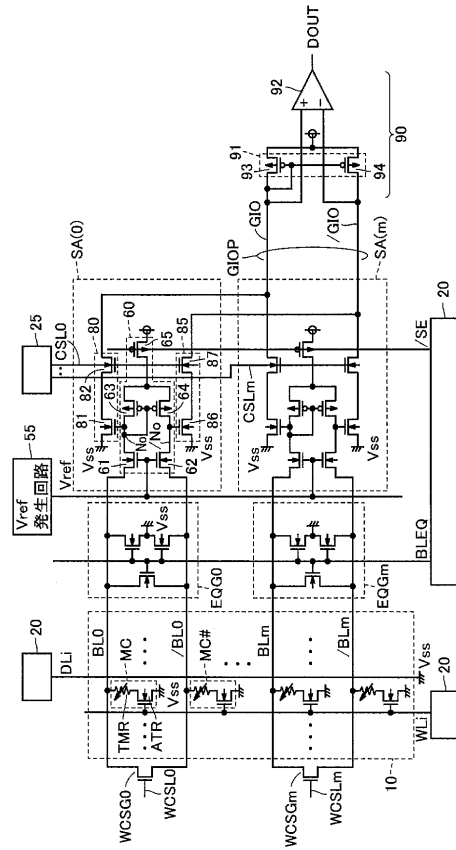
【図 7】



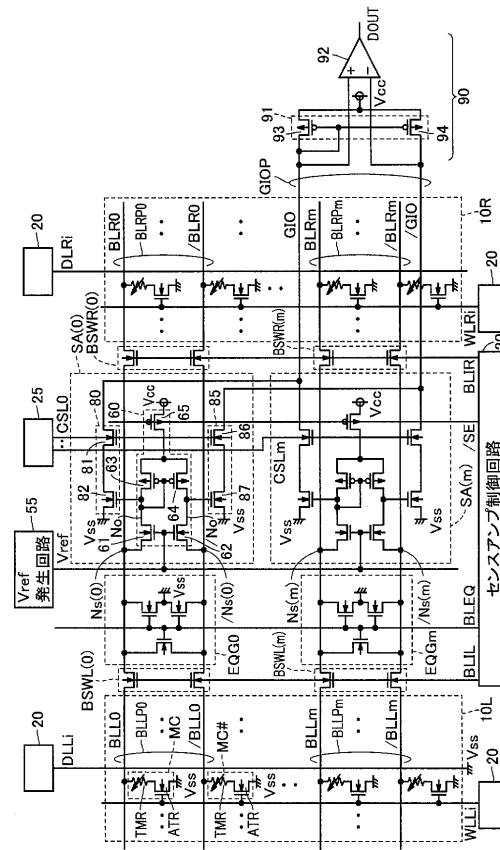
【図 8】



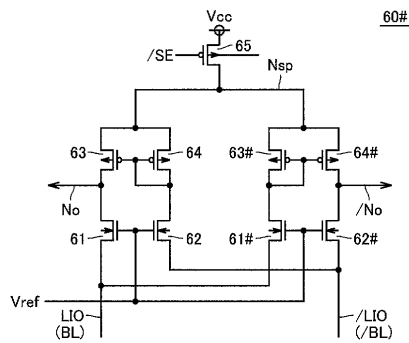
【図 9】



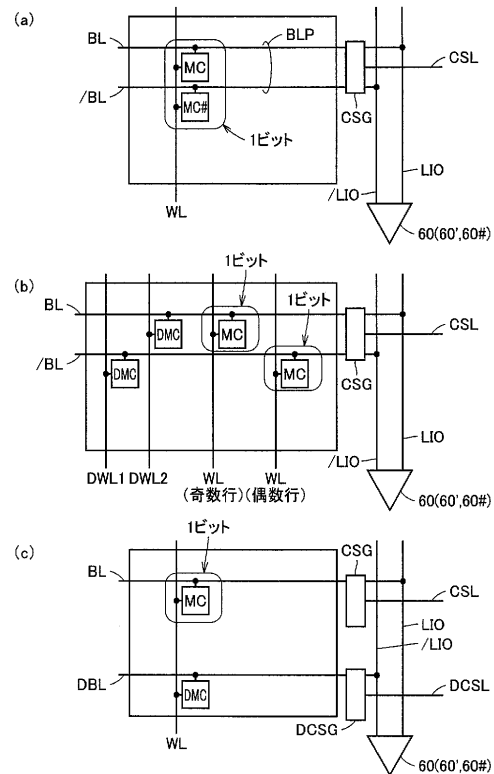
【図 10】



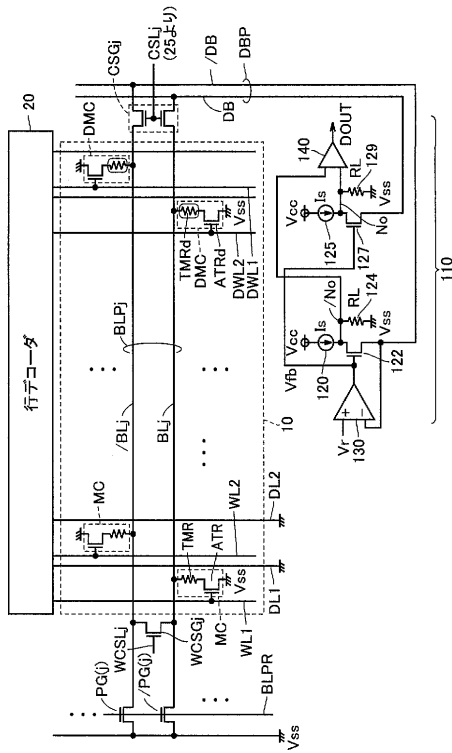
【図 11】



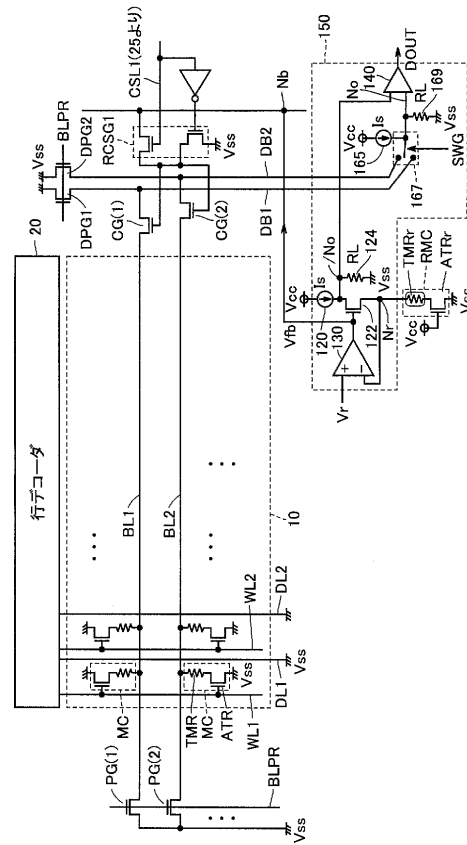
【図 12】



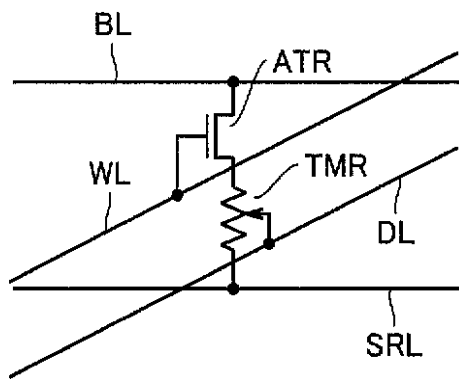
【図 13】



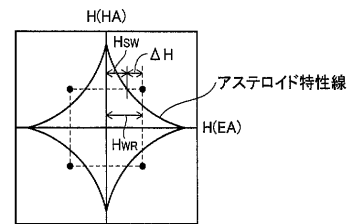
【図 14】



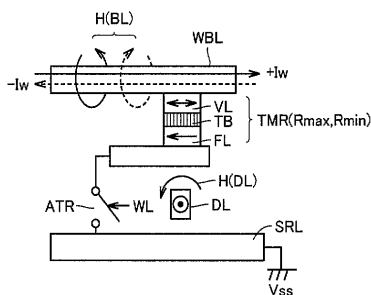
【図 15】



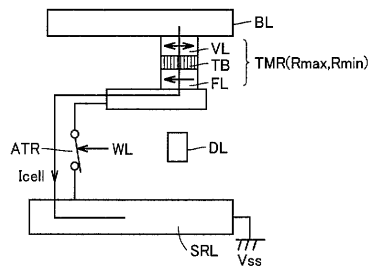
【図 17】

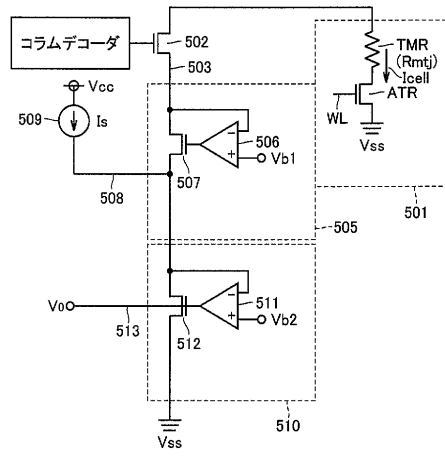


【図 16】



【図 18】





フロントページの続き

- (74)代理人 100085132
弁理士 森田 俊雄
- (74)代理人 100091409
弁理士 伊藤 英彦
- (74)代理人 100096781
弁理士 堀井 豊
- (74)代理人 100096792
弁理士 森下 八郎
- (72)発明者 谷崎 弘晃
東京都千代田区大手町二丁目6番2号 三菱電機エンジニアリング株式会社内
- (72)発明者 日高 秀人
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 大石 司
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 滝谷 亮一

- (56)参考文献 特許第6191989(JP,B2)
国際公開第01/075891(WO,A1)
特開平08-147991(JP,A)
特開2001-256783(JP,A)
特開昭63-142598(JP,A)
特開2002-197853(JP,A)
米国特許第5859798(US,A)
Roy Scheuerlin, William Gallagher, Stuart Parkin, Alex Lee, Sam Ray, Ray Robertazzi, William Reohr, A 10ns Read and Write Non-Volatile Memory Array Us, 2000 IEEE International Solid State Circuit Confer, 米国, IEEE, 2000年 2月, p. 128-129

- (58)調査した分野(Int.Cl., DB名)
G11C 11/15
G11C 16/02-16/06