

申請日期：	88-10-20	案號：	88115273
類別：	G10H 1/2, G10H 7/0		

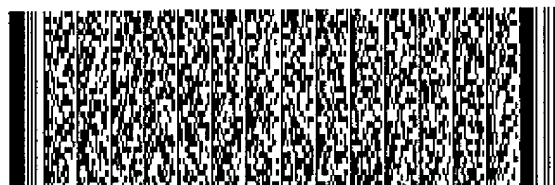
(以上各欄由本局填註)

公告本	發明專利說明書	457471
-----	---------	--------

一、 發明名稱	中文	具有虛擬快取記憶體之數位式聲音產生積體電路
	英文	DIGITAL SOUND-PRODUCING INTEGRATED CIRCUIT WITH VIRTUAL CACHE

二、 發明人	姓名 (中文)	1. 洛朗·林
	姓名 (英文)	1. Laurent Rinn
	國籍	1. 法國
	住、居所	1. 法國塞默貝雷市王室路17號

三、 申請人	姓名 (名稱) (中文)	1. 艾特梅爾公司
	姓名 (名稱) (英文)	1. Atmel Corporation
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州聖約瑟市奧查德林蔭大道2325號
	代表人 姓名 (中文)	1. 朱莉·Y·瑪-斯皮諾拉
	代表人 姓名 (英文)	1. Julie Y. Mar-Spinola



457471

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/09/04 09/148,437

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

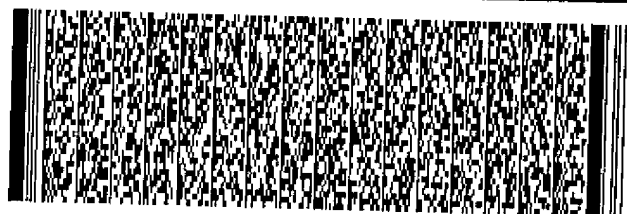
技術領域

本發明係關於電樂音產生，尤指數位式聲頻信號處理系統，其採用數位聲頻樣本記憶體及資料快取記憶體，供處理系統使用於聲音合成。

背景技藝

MIDI 及音樂合成能力在電子樂器，伴唱機及PC多媒體應用之增加使用，刺激高性能，但具成本效益之聲音產生系統之要求。數位聲音合成及處理系統利用數位聲頻樣本記憶體供各種目的，包括作為儲存聲頻樣本供合成聲音之波表記憶體，作為供回響及合聲效果處理之延遲緩衝器記憶體，及作為自外部聲頻輸入諸如音樂鍵盤，麥克風，或多媒體PC之硬碟接收聲頻樣本之流線式聲頻記憶體。此等系統也採用一種資料快取記憶體，俾減低所需要之樣本記憶體存取數，並藉以使在此時間臨界環境之瓶頸最小。Chris Deforeit 等人在1995年2月25日，在第98屆 Convention of Audio Engineering Society (AES) 所提出，名稱為 "A Music Synthesizer Architecture which Integrates a Specialized DSP Core and a 16-bit Microprocessor on a Single Chip" 之論文，說明一種供音樂合成應用之聲頻信號處理器積體電路架構之實例。其曾在本發明之受讓人，Atmel Corporation of San Jose, California 之子公司，Dream S. A. of Semur-en-Auxois, France 所發售之 SAM 9407 整合聲音工作室電路予以具體實施。

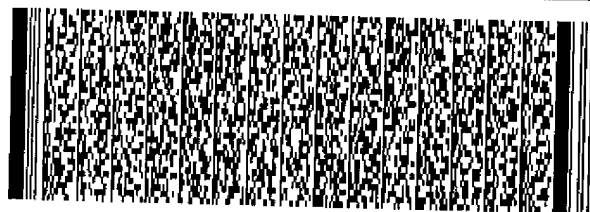
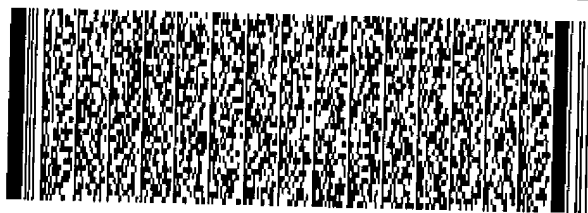
上述電路架構將一合成數位式信號處理器(DSP)核心，



五、發明說明 (2)

一控制處理器，一記憶體管理單元，及週邊I/O介面邏輯合併在一單一晶片。合成DSP係利用已予以最佳化，供音樂合成工作之硬體，並藉重複及有效率進行實施合成特定算法所需要之有限數操作構造而成，其使用自外部樣本記憶體所存取之數位聲頻樣本資料，直接產生及處理多至64同時語音。DSP合成算法予以儲存在晶片上程式記憶體，同時供合成語音之參數資料予以儲存在數塊晶片上參數記憶體。控制處理器通過週邊I/O邏輯與外部週邊裝置，諸如主電腦或MIDI鍵盤介接。控制處理器語法分析及解釋來自此等週邊裝置之進入命令及資料，並且然後寫入至DSP之參數記憶體，藉以控制合成DSP。除了此等命令語法分析及控制工作外，控制處理器也可週期性更新在參數記憶體之合成參數，藉以進行緩慢改變合成操作，諸如低頻振盪及波形包絡管理。記憶體管理單元允許控制處理器及合成DSP均共用外部記憶體資源。因此，例如一單一外部ROM裝置可用作供控制處理器之程式記憶體，及供DSP之樣本記憶體，以及一單一外部RAM裝置可用作供控制處理器之外部資料記憶體，及供DSP所完成效果處理之延遲緩衝器記憶體。

合成DSP依一種框定時基礎操作，每一合成框劃分為若干處理槽（例如在上述SAM 9407裝置為64槽）。‘處理’係關於一種基本聲音產生功能，諸如語音波表合成，供效果之延遲線路等，並且每一處理通常涉及對數位聲頻樣本記憶體讀或寫一個或多個聲頻樣本。在一合成框（亦即槽之數）



五、發明說明 (3)

內所可執行之最大處理數，確定裝置之能力。例如，如果所有處理槽專用於波表合成，槽之數將為最大多音（雖然槽也可予以連結在一起，以實施更複雜合成算法）。而且，可能需要若干數之槽（例如八）供效果處理，而留下較少槽可供多音波表聲音合成利用。

宜於增加每合成框之處理槽之數。因為每一處理槽一般為需要至少每框存取二數位聲頻樣本記憶體，一128槽裝置將需要每框256或更多存取。以現代化48 kHz框速率而，這導致至多81毫微秒之樣本記憶體循環。幸好，在大多數情形，相同聲頻樣本必須在連續框予以存取。因此，使用一晶片上資料快取記憶體使所需要之樣本記憶體存取之數為最小，藉以可避免合成DSP與樣本記憶體間之潛在之通信瓶頸。在一種簡單實施，其中資料快取有記憶體空間供分配至每一槽之至少二聲頻樣本，在樣本中之快取記憶體大小至少為二倍槽之數。以一種代表性聲頻樣本之寬度約16或24位元而言，資料快取將會需要保持最少4或6千位元供一128-槽裝置。

然而，在一種多媒體PC環境，數位聲頻樣本記憶體另外宜共用PC之主記憶體，代替使用單獨之ROM及RAM。但是，現代PC匯流排之結構（諸如PCI）使用256位元之記憶體字寬度（稱作PC快取線）。因此，一種可使用於此種PC記憶體共用環境之合成DSP之資料快取記憶體，其正規實施將需要每處理槽二PC快取線路，並因此需要大小至少為64千位元之晶片上快取，供一128-槽裝置。



五、發明說明 (4)

本發明之一項目的為實現一種在快取記憶體組織之改進，供聲音合成DSP應用，其在資料快取記憶體之所需要大小導致顯著之減低。

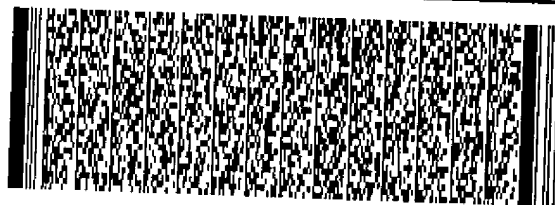
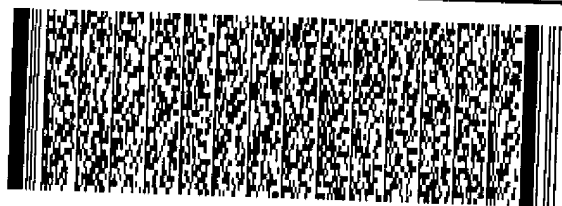
本發明之另一目的為使合成DSP快取管理最佳化至現代PC匯流排之大型快取線路結構，俾改進聲頻樣本資料在位於PC之主機板之樣本記憶體與晶片上資料快取記憶體間之轉移。

本發明之另外目的為提供可變數位聲頻樣本記憶體字大小。

發明之概述

此等目的係藉一種數位式聲音產生積體電路裝置所滿足，其使用外部樣本記憶體，供儲存數位聲頻資料樣本，其中晶片上資料快取記憶體組織不與合成槽相關，而是依需要採用一另外虛擬快取記憶體，以動態分配真實資料快取記憶體線路至各槽。

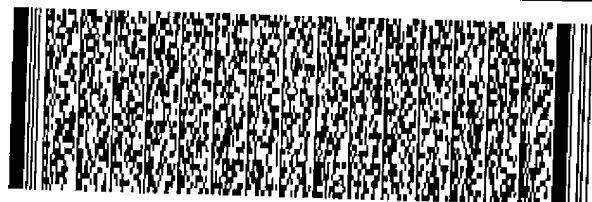
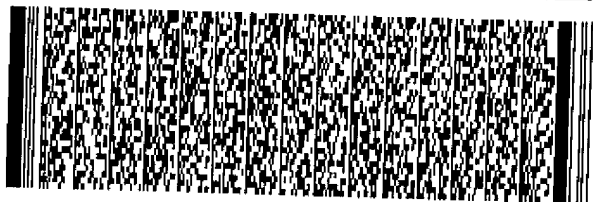
特別是，數位式聲音產生裝置包括一數位信號處理器(DSP)核心，其供給一虛擬位址至一虛擬快取記憶體塊，藉以要求對樣本記憶體之存取。該裝置也包括一在一資料路徑在DSP與樣本記憶體間之資料快取記憶體。資料快取記憶體在其快取線路儲存聲頻樣本資料，包括已自樣本記憶體讀取供DSP使用之資料，及DSP已對其寫入之資料。裝置另包括上述虛擬快取記憶體塊，其位於一在DSP與樣本記憶體及資料快取記憶體間之位址路徑。虛擬快取記憶體塊自DSP接收虛擬位址，要求對樣本記憶體之存取，並確定位



五、發明說明 (5)

址是否已對應於資料快取記憶體之一分配之快取線路。如為否，其分配一新快取線路為對應於虛擬記憶體及位址樣本記憶體，供聲頻樣本資料轉移至快取線。資料在次一處理框時為DSP可利用。如果已分配一對應於虛擬位址之快取線路，虛擬快取記憶體塊將資料快取記憶體定址，供聲頻樣本資料在該對應之快取線路及DSP之間轉移。虛擬快取記憶體塊也重新分配在當前或先前框所未使用之快取線路，將樣本記憶體定址，供聲頻樣本自資料快取轉移至樣本記憶體。虛擬快取記憶體塊包括一資料線路表，儲存對應之分配之資料快取位址，供每一虛擬位址，並且如以下所更詳細說明，也包括一虛擬快取位址表及供處理當前存取要求之其他電路。

樣本記憶體可為一ROM或快閃記憶體，RAM或DRAM，並可通過一PC匯流排予以間接存取。在樣本記憶體與資料快取記憶體間之快取線路轉移，可由一串之若干存取(讀或寫)循環所組成。例如，在資料快取記憶體為DRAM之情形，轉移可為一串之若干DRAM快速分頁模式存取循環。儲存在資料快取記憶體之聲頻樣本資料塊，可匹配供個人電腦(PC)之快取線路大小，或聲頻樣本在資料快取之各快取線路可具有不同大小。同樣，如DSP所要求，DSP自資料快取所讀取之資料，可具有可變數之位元。DSP所提供之虛擬位址，可為與對應樣本記憶體位址相同。要不然，虛擬快取記憶體塊可使所接收之虛擬位址移位一量與聲頻樣本字大小同等，並將該移位之結果加至一基本暫存器(或若干基本暫存



五、發明說明(6)

器), 以提供樣本記憶體位址, 藉以存取樣本記憶體。虛擬快取記憶體塊也可提供先前聲頻樣本, 代替無樣本, 藉以處理任何資料快取記憶體滿情況, 並因此避免聲頻噪音。

圖式之簡單說明

圖1為本發明之一種數位式聲音產生積體電路裝置, 連同一外部樣本記憶體之示意方塊圖, 示位址及資料路徑。

圖2為圖1之裝置中之一資料快取記憶體, 連同供其之關聯輸入/輸出選擇元件之示意方塊圖。

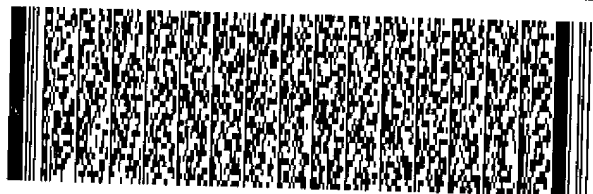
圖3為示意方塊圖, 詳細說明圖1之裝置中之一虛擬快取記憶體塊。

圖4為示意方塊圖, 更詳細說明圖3之虛擬快取記憶體塊中之DSP-快取介面。

實施本發明之最佳方式

請參照圖1, 圖示負責合成及處理聲頻信號之數位式聲音產生積體電路10, 亦即數位信號處理器(DSP)核心12, 以及負責使DSP與一外部數位聲頻樣本記憶體18, 亦即本發明之快取記憶體結構介接, 使一資料快取記憶體16與一虛擬快取記憶體14合併之部份, 連同其主位址及資料路徑。為清楚起見, 控制信號予以自此圖省略。

樣本記憶體18儲存系列個別聲頻樣本作為一聲頻流。供一既定聲頻流, 樣本可為8, 16或32位元寬, 並可以一種多通道交插方式予以編組。樣本記憶體18僅予以表示為一習知功能塊, 並將不予另外詳細說明。其基本上與任何使用於先前聲音合成應用者相同。例如, 其可為一種ROM



五、發明說明 (7)

或DRAM裝置，或其可為個人電腦(PC)之記憶體，通過PCI匯流排自PC快取記憶體存取。其藉聲音晶片10在晶片輸出線路17提供一樣本記憶體位址，藉以經由資料I/O線路19存取。

DSP核心12在一位址線路13提供一對應於一聲頻樣本之位址，連同一讀或寫要求，至一虛擬快取記憶體塊14。因為DSP12在本發明不直接將樣本記憶體18或資料快取記憶體16定址，在匯流排13之位址稱作'虛擬'位址，其被虛擬快取記憶體塊14用以確定記憶體16或18之適當真實位址。在寫入要求之情形，DSP 12也在一連接至資料快取記憶體16之資料匯流排20提供予以寫入之實際資料。

虛擬快取記憶體14在匯流排13自DSP 12接收虛擬位址，並分配一對應於資料快取記憶體16之快取線路之新或已存在資料快取位址。(以下將解釋此種分配之細節。)在此點，如果DSP 12曾已要求讀取操作，虛擬快取記憶體塊14將會決定是否可直接自晶片上資料快取16讀取聲頻樣本資料，或是否必要對外部樣本記憶體18存取。如果必要對樣本記憶體18存取，虛擬快取記憶體14將會自所接收之虛擬位址計算一樣本記憶體位址，一個或多個基本暫存器(選用)及樣本寬度之內容。其然後將會在外部位址匯流排線路17提供樣本記憶體位址至樣本記憶體18，並起始一樣本記憶體至資料快取線路寫入循環，其將會在資料線路19將讀自樣本記憶體18之資料轉移至加在匯流排15之資料快取位址所指示之分配資料快取記憶體線路。如果所要求之資

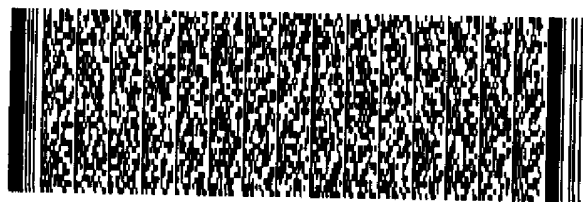


五、發明說明 (8)

料已儲存在分配快取線，則然後不必要對樣本記憶體18存取，並且在次一合成框DSP 12，在資料匯流排20將可利用所要求之資料。如果DSP 12曾已要求寫入要求，在資料匯流排20自DSP 12所提供之聲頻樣本，將會如在匯流排15自虛擬快取14提供至資料快取記憶體16之資料快取位址所指示，儲存至資料快取16之分配資料快取線路。(稍後將解釋自資料快取16至樣本記憶體18之寫入。)

請參照圖2，如通過標準PCI匯流排共用應用之PC記憶體之代表性資料快取記憶體塊16，較佳為有一256位元之快取線路寬度，及一匯流排寬度供至或自32位元之樣本記憶體資料匯流排19。然而，只要快取線路可儲存至少一聲頻樣本，可設計任何其他大小快取線路及匯流排寬度。如所看出，供較佳256-位元快取線大小，一快取線路可保持32個8-位元聲頻樣本(快取線路21所表示)，16個16-位元聲頻樣本(快取線路22)或8個32-位元聲頻樣本。樣本寬度選擇予以控制為自DSP至虛擬快取記憶體。資料快取記憶體16可如圖示予以實施如一單埠SRAM。要不然，其可予以實施為有雙埠RAM供在與快速PC匯流排連通時之最佳性能。

資料快取記憶體16在匯流排15自虛擬快取記憶體塊接收一位址，並通過一PCI資料匯流排19自聲頻樣本記憶體，或通過資料匯流排20自DSP讀取(或寫入)樣本資料。匯流排19或20之選擇由虛擬快取記憶體塊通過一多工器24予以控制。在與PCI匯流排19連通時，使用一8個32-位元轉移之叢發模式，使用一有控制輸入30之多工器31讀取(或寫入)一

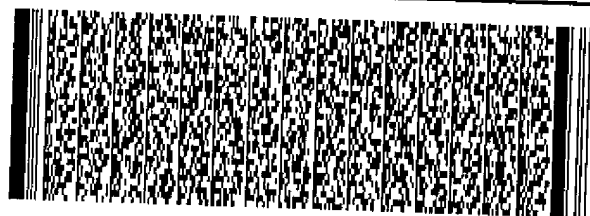


五、發明說明 (9)

全256-位元快取線路。作成此種轉移之此一方式，為精於此項技藝者所熟知，並在PCI匯流排規範完全詳細說明。在通過資料匯流排20與DSP連通時，依個別聲頻樣本基礎出現聲頻樣本轉移，其可為8, 16, 或32位元寬。此等轉移藉虛擬快取記憶體塊，使用控制信號26及28予以控制。特別是，在讀取資料快取16時，正確之聲頻樣本藉多工器27及29予以選擇。在寫入至資料快取16時，可能有二種實施。一讀/修改/寫循環可用以在快取線在正確位置儲存聲頻樣本，或至資料快取記憶體之若干寫入啟動信號，可使能修改僅所儲存快取線之必要部份。

請參照圖3，虛擬快取記憶體塊14包括一DSP-快取介面33。介面33有信號輸入13及35-37，分別接收虛擬位址，當前處理槽數，當前槽之當前存取要求數，及當前槽之當前讀/寫要求數。每一此等輸入予以自DSP連接至對應之輸出。介面33也有信號輸出39, 41及45連接至一虛擬快取位址表43及一虛擬快取資料線路表47。在要求存取時，介面33在信號線路39提供一虛擬快取位址，將虛擬快取位址表43及虛擬位址在線路41定址至位址表43之資料輸入。在讀或寫操作存取資料時，介面33提供當前DSP虛擬快取位址至虛擬快取資料線路表47，俾檢索所儲存之對應資料快取位址。

虛擬快取記憶體塊14也包括一虛擬快取位址表43。此表之大小對應於在一單一框內所可進行樣本記憶體存取之最大數。當前虛擬位址(VADDR)，一有效位元(V)，及一指示該虛擬位址是否實際要求存取之要求位元(R)，對每一可能



五、發明說明 (10)

之存取均適用。為技術原因，虛擬快取位址表43較佳為以二裝置構成，亦即一保持虛擬位址位元組(VADDR)及有效位元(V)之隨機存取記憶體或RAM，以及一保持要求位元(R)之暫存器組。在一種實施，發出當前虛擬位址(VADDR)作為在位址線路17之樣本記憶體位址。一相等性比較器49將自介面33進入之虛擬位址41對(VADDR)儲存在虛擬快取位址表43在線路17輸出之虛擬位址比較。藉遮蔽5低位元進行此比較，因此對快取管理器71指示所要求之資料是否已存在於資料快取之快取線路。

一優先性編碼器51自虛擬快取位址表43之暫存器組並行接收所有要求位元(R)。其確定任一虛擬快取位址(VCADDR)要求服務($R = 1$)。優先性編碼器51輸出該虛擬快取位址(VCADDR)至一增量/減量裝置55，其如自快取管理器71藉控制信號(*)所確定，輸出 $VCADDR-1$ ， $VCADDR$ ，或 $VCADDR+1$ 。該輸出57復存取虛擬快取位址表43及虛擬快取資料線路表47。因此，自一既定虛擬快取位址(VCADDR)也可讀取前一或次一虛擬快取位址。遮蔽5低位元，自此等前一及次一虛擬快取位址讀取之虛擬位址，可予以分別儲存至二暫存器59及60。二相等性比較器61及62將遮蔽5低位元之此等虛擬位址與自快取位址表43之對應當前虛擬位址比較，以確定位址是否指相同資料快取線，並對快取管理器71指示此情形。

虛擬快取記憶體塊14也包括一虛擬快取資料線路表47。可予以實施如標準RAM之此表，具有與虛擬快取位址表43相

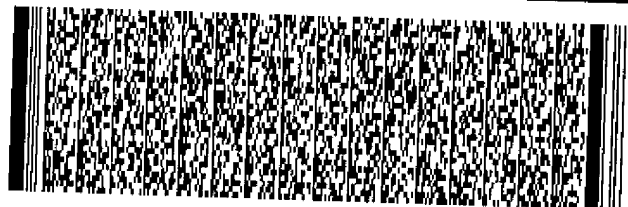


五、發明說明 (11)

同大小。資料快取之對應快取線路之位址(DCADDR)對每一有效項目均適用。使用二暫存器組65及66以及一優先性編碼器67,以分配一自由資料快取線。供當前FRAME及先前FRAME-1,每一"使用中"暫存器組65及66有一大小等於表43及47之儲存位置之數。此等暫存器組之每一位元指示對應資料快取線路為已在使用。優先性編碼器67指示何者為設定在零之第一暫存器位元(自由或不在使用),並因此優先性編碼器之輸出為可予以指定至對應於一虛擬位址之第一可利用資料快取位址(DCADDR)。

一快取管理器塊71用以將關於一來自虛擬快取位址表43之要求之所有操作排序。快取管理器71自圖3之塊14之各元件43,49,61及62接收資訊,並順序產生控制信號。如在此項技藝上所熟知,快取管理器71可使用一微程式,一PLA,或一以開解碼之真值表予以實施。以下將另外說明虛擬快取記憶體塊14之操作。

請參照圖4,圖3之DSP快取介面33包括一虛擬快取構形表75,一先進先出(FIFO)記憶體91,加法器81及100以及一多工器87。構形表75在大小等於來自DSP之處理槽之數。其自DSP在輸入線路35接收當前槽數。供每一槽,其在一欄位77指示應該使用之第一虛擬快取位址(1st Vcache),以及在一欄位79指示在一槽內予以進行之連續讀或寫操作(R/W)。在欄位79指示此等連續操作之個別位元之數,等於可在一槽內進行之記憶體存取之最大數(例如在所示之實施為四)。虛擬快取構形表75由DSP予以載入一



五、發明說明 (12)

次，供一既定合成/處理構形。如果一種應用使用固定構形，則表75可予以實施為ROM。

在要求樣本記憶體存取時，除了在輸入35之槽數外，DSP提供虛擬位址(VADDR)，供在輸入13之存取(至FIFO記憶體91)，及在輸入36在槽內之存取要求數。加法器81將存取要求數加至在線路78自構形表75之欄位77所接收之槽之第一虛擬快取位址(1st Vcache)，以在線路83提供當前虛擬快取位址(VCADDR)至FIFO記憶體91。在構形表75之欄位79之個別讀/寫存取位元(R/W)，在線路85輸出，並由多工器87，使用來自輸入36之存取要求數予以選擇作為選擇控制信號。多工器87因此在輸出89提供一位元至FIFO記憶體91，指示此特定存取為讀取抑或為寫入。

FIFO記憶體91有欄位93, 95, 97及99，分別儲存當前虛擬快取位址(VCADDR)，供存取(VADDR)之虛擬位址，一指示此是否為供槽之第一要求(1stRQST)之位元，以及指示所要求存取之類型之讀/寫位元(R/W)。FIFO記憶體91將來自DSP之所有存取要求存檔，並有一大小為二倍供一槽之最大存取計數。FIFO記憶體91在輸出39及41提供虛擬快取位址(VCADDR)及虛擬位址(VADDR)，連同在欄位97及99之對應要求位元，以供載入至圖3中之虛擬快取位址表43。

在要求資料存取時，DSP也在一輸入37提供當前槽之當前讀/寫要求數，其被加法器100加至在線路78自構形表75所接收之第一虛擬快取位址(1st Vcache)，俾在線路45提供當前DSP虛擬快取位址至圖3之資料線路表47。



五、發明說明 (13)

使用下列實例，便最佳瞭解裝置之操作。首先應該瞭解，所有資料轉移出現DSP框延遲。亦即，DSP在框F要求存取，然後並在框F+1轉移資料。這賦予虛擬快取記憶體塊14一全框，以自樣本記憶體獲致所要求之資料。每當樣本記憶體通過PCI匯流排或任何其他匯流排予以存取，其中若干媒介可能在匯流排同時要求服務時，這尤其重要。

讀取實例

吾人假設DSP槽#3想要在位址1000H(H意為十六進制記號)存取二連續樣本。在使用線性內插之合成，此為一種代表性情形。(線性內插為在二連續樣本之間確定未知樣本之近似值之最容易方法。一種更準確方法涉及卷積。)二方法均為精於此項技藝者所熟知，並經詳細說明於Hal Chamberlain所著，Hayden Book Company 1985年出版之"Musical Application of Microprocessors"一書中。

請參照圖4，槽#3將會存取Vcache構形表75，自欄位77提供第一Vcache位址(例如10)。在欄位79之首二個別位元將為零，以指示讀取操作。在該槽時將會出現二至FIFO記憶體91之寫入：

第一寫入：Vcache位址 = 10

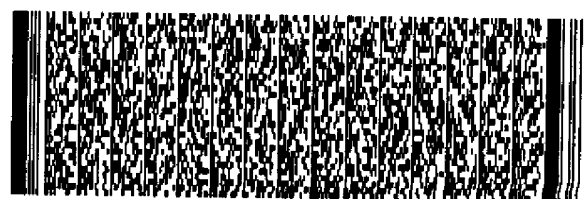
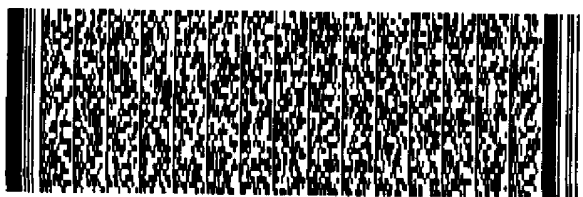
 虛擬位址 = 1000H

 第一要求 = 1

 R/W = 0

第二寫入：Vcache位址 = 11

 虛擬位址 = 1001H



五、發明說明 (14)

第一要求 = 0

R/W = 0

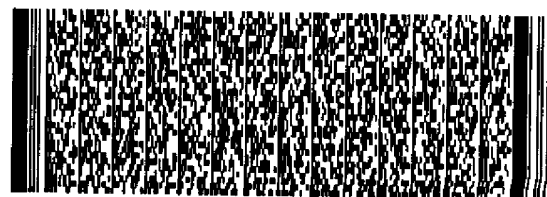
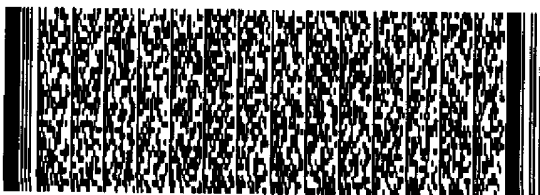
在次一槽(槽#4)時,將會讀取FIFO記憶體91,直到其為空或設定一在欄位97之第一要求位元(意為在槽#4時DSP當前填滿FIFO)。在FIFO讀取後,Vcache位址表43之內容(圖3)將為:

位址10: 虛擬位址1000H, VALID = 0, RQST = 1

位址11: 虛擬位址1001H, VALID = 0, RQST = 1

在此點,吾人將自圖3詳細說明快取管理器控制邏輯操作。因為RQST位元業經設定,優先性編碼器51將會指示Vcache位址10要求服務。快取管理器71將會注視前一Vcache位址(9)及次一Vcache位址(11),檢查VALID位元。此等位元不予以設定,快取管理器將會寫入優先性編碼器51(例如3)所賦予之第一可利用資料快取位址至Vcache資料線路表47,藉以分配一新快取資料線路。其然後將會執行一取樣記憶體存取叢發循環,其將會在位址3(圖2)將資料快取記憶體16填滿一快取線路(位元組位址1000H至101FH)。其然後將會設定VALID位元,並重設RQST位元供Vcache位址10。

來自Vcache位址10之RQST位元予以重設,優先性編碼器將會指示Vcache位址11要求服務。快取管理器71,注視前一Vcache位址(10),將會發現VALID位元設定。其也將會發現Vcache位址10保持與Vcache位址11遮蔽5低位元之相同虛擬位址(使用R-1儲存器59及相等性比較器61)。



五、發明說明 (15)

因此其將會自Vcache資料線路表47之位址10讀取資料快取位址(3)至暫時暫存器R,並將R在位址11寫回至Vcache資料線路表47,藉以指定與Vcache位址10相同之資料快取位址(3)至Vcache位址11。快取管理器71然後將會設定VALID位元及重設RQST位元供Vcache位址11。

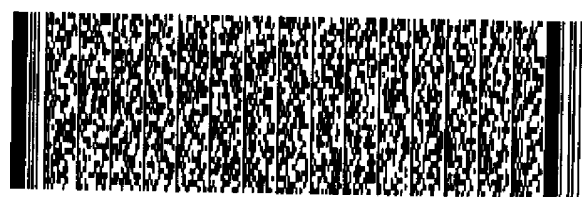
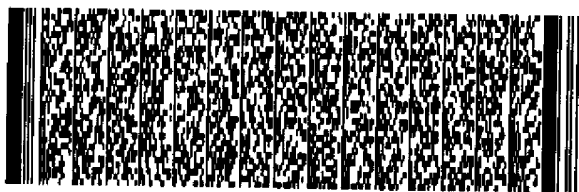
假設無其他RQST在進行中,快取管理器71將會進入一種閒置狀態,直到次一框。

在次一框槽#3, DSP現在可讀取在前一框所要求之資料。槽#3存取Vcache構形表75(圖4),提供第一Vcache位址(10)。由加法器81加至第一Vcache位址之第一存取(0),提供一DSP Vcache位址10,其通過Vcache資料線路表47指示資料快取位址3。在位址3讀取資料快取,以提供正確之資料至DSP。第二存取(1)同樣將會讀取相同資料快取線。

如果虛擬位址不改變,在隨後框之讀取將會始終自資料快取出現。吾人現將詳細說明二其他情形:

- 虛擬位址予以增量
- 虛擬位址穿越快取線路邊界。

虛擬位址予以增量(現為1001H及1002H:吾人自FIFO讀取操作開始。在Vcache位址表43儲存在位址10(目前為1000H)之虛擬位址(VADDR),藉比較器49與遮蔽5低位元之進入虛擬位址(1001H)予以比較。因此,其被發現完全相同。然後設定有效位元,並且無RQST予以設定。將會如前面所說明,自資料快取記憶體16出現另外讀取操作。相同情形在位址11適用於Vcache位址表43。



五、發明說明 (16)

虛擬位址穿越快取線路邊界(現為101FH及1020H):自FIFO讀取操作開始,在Vcache位址表43儲存在位址10(目前為1000H)之虛擬位址(VADDR),藉比較電路49與遮蔽5低位元之進入虛擬位址(101FH)予以比較。因此其被發現完全相同,並且將會如前面所說明,自資料快取記憶體16出現第一讀取。在Vcache位址表43儲存在位址11(目前為1001H)之虛擬位址與遮蔽5低位元之進入虛擬位址(1020H)予以比較。其被發現不同。因此,進入虛擬位址(1020H)在位址11予以儲存至Vcache位址表43,有效位元予以重設,並且要求位元予以設定。來自快取管理器71之RQST位元處理然後將會如前面所解釋,分配一新快取資料線路。

資料快取線路分配及重新分配原理

一未使用於處理框內之資料快取線路予以重新分配(使自由供新分配)。要完成如此,使用二"使用中"暫存器組65及66,每一暫存器組具有資料快取線之總數之大小。在每一框之開始,"使用中"暫存器"Frame" 65予以轉移至"使用中"暫存器"Frame-1" 66,並且"使用中"暫存器"Frame" 65予以清除。在一框內,存取每一次一資料快取線路時,來自"使用中"暫存器"Frame" 65之對應位元便予以設定。因此,在框之結尾,"使用中"暫存器"Frame" 65有位元終對應於所有使用之快取線路,並因此,"使用中"暫存器"Frame-1" 66為在一全框內有效。連接至"使用中框-1"暫存器66之優先性編碼器67,指示第一位元在零,其為第一可利用資料快取線。



五、發明說明 (17)

寫入資料至樣本記憶體

來自DSP 12至樣本記憶體18之資料寫入要求，予以在資料快取記憶體16直接寫入至資料快取線路。在虛擬位址穿越快取線路邊界時（例如自101FH至1020H），一全資料快取線予以寫入至樣本記憶體18。此係在虛擬位址儲存在Vcache位址表43不匹配在線路41之進入虛擬位址（遮蔽5低位元）時，藉比較電路49在FIFO讀取時間予以檢測。

虛擬位址轉換至樣本記憶體位址

在一種PC環境，極宜於計算一不同於DSP虛擬位址之樣本記憶體位址。這允許簡單重新分配PC記憶體，而不必改變DSP程式。這也允許處理交插之多通道聲頻格式如自DSP所見之若干單音聲頻流。

在先前之說明，在線路17之樣本記憶體位址輸出（圖3），係與DSP在線路13所提供之虛擬位址（VADDR）完全相同。一種改進在於計算樣本記憶體位址（SMA）如下：

$$SMA = \text{BASE} + ((VA * NCHAN) + CHAN) * \text{BYTESPERCHANNEL}$$

其中VA為虛擬位址，SMA為樣本記憶體位址，NCHAN為交插通道之數，CHAN為當前通道，BYTESPERCHANNEL為將一樣本在一通道編碼之位元組之數，及BASE為一暫存器。為避免高代價之乘法，NCHAN及BYTESPERCHANNEL可予以限制為二之乘方，然後乘法僅只變成向左移位。

另一層次之改進為有若干基本暫存器，根據VA內容所選擇。這允許PC記憶體予以分段，其允許PC記憶體空間之較佳最佳化。



四、中文發明摘要 (發明之名稱：具有虛擬快取記憶體之數位式聲音產生積體電路)

一種有一數位信號處理器(digital signal processor, 簡稱DSP)及資料快取記憶體, 並使用一外部樣本記憶體, 供儲存數位聲頻樣本資料之數位式聲音產生裝置, 包括一虛擬快取記憶體塊, 供動態分配資料快取記憶體之快取線路。虛擬快取記憶體塊位於DSP與資料快取記憶體及樣本記憶體間之位址路徑, 而資料快取記憶體為在DSP與樣本記憶體間之資料路徑。DSP對存取至樣本記憶體之要求, 係成一種對應於一特定樣本記憶體位址之虛擬位址之形式。虛擬快取記憶體塊確定虛擬位址是否已有一分配之快取線路, 供資料快取記憶體, 並且如為是, 在該快取線路與DSP之間轉移所要求之資料。如為否, 其分配一資料快取線路為對應於虛擬位址, 並自對應樣本記憶體位址轉移資料至快

英文發明摘要 (發明之名稱：DIGITAL SOUND-PRODUCING INTEGRATED CIRCUIT WITH VIRTUAL CACHE)

A digital sound-producing device having a digital signal processor (DSP) and data cache memory, and using an external sample memory for storing digital audio sample data, includes a virtual cache memory block for dynamically allocating cache lines of the data cache memory. The virtual cache memory block is located in the address path between the DSP and both the data cache memory and sample memory, while the data cache memory is on the data path between the DSP



457471

四、中文發明摘要 (發明之名稱：具有虛擬快取記憶體之數位式聲音產生積體電路)

取線。然後DSP在次一處理時間框可利用樣本資料。

英文發明摘要 (發明之名稱：DIGITAL SOUND-PRODUCING INTEGRATED CIRCUIT WITH VIRTUAL CACHE)

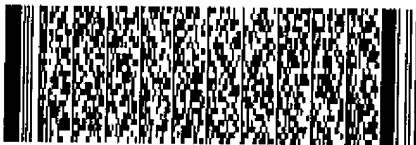
and sample memory. Requests by the DSP for access to the sample memory are in the form of a virtual address corresponding to a particular sample memory address. The virtual cache memory block determines whether the virtual address already has an allocated cache line for the data cache memory, and if so transfers the requested data between that cache line and the DSP. If not, it allocates a data cache line as corresponding to the virtual address, and transfers data from the corresponding



四、中文發明摘要 (發明之名稱：具有虛擬快取記憶體的數位式聲音產生積體電路)

英文發明摘要 (發明之名稱：DIGITAL SOUND-PRODUCING INTEGRATED CIRCUIT WITH VIRTUAL CACHE)

sample memory address to the cache line. The sample data is then available to the DSP in the next processing time frame.



六、申請專利範圍

1. 一種數位式聲音產生裝置，使用一樣本記憶體，供儲存數位聲頻樣本資料，該聲音產生裝置包含：

一數位信號處理器(DSP)；

一資料快取記憶體，在一資料路徑在DSP與樣本記憶體之間，該資料快取記憶體在其快取線路儲存自樣本記憶體讀取之聲頻樣本資料，供DSP使用，並且也儲存DSP所處理對其寫入之聲頻樣本資料；以及

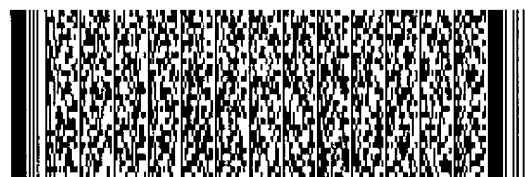
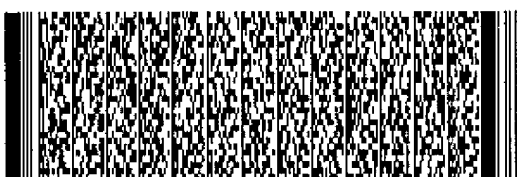
虛擬快取記憶體裝置，在一位址路徑在DSP與樣本記憶體及資料快取記憶體之間，該虛擬快取記憶體裝置自DSP接收虛擬位址，要求對樣本記憶體存取，分配資料快取記憶體之快取線路，以與虛擬位址對應，將樣本記憶體定址供聲頻樣本資料在樣本記憶體與分配快取線之間轉移，及將資料快取記憶體定址在對應分配快取線路，供聲頻樣本資料在快取線與DSP之間轉移。

2. 如申請專利範圍第1項之裝置，其中該資料快取記憶體之快取線路有一位元大小匹配轉移至樣本記憶體或自其轉移之聲頻樣本資料塊之位元大小。

3. 如申請專利範圍第1項之裝置，其中該資料快取記憶體之快取線路有一位元大小能儲存來自樣本記憶體之多塊聲頻樣本資料。

4. 如申請專利範圍第1項之裝置，其中該虛擬快取記憶體裝置包含：

一介面，自DSP接收至少一當前處理槽數，一存取要求數，及一虛擬位址，該介面有一構形表儲存一指定之第一虛



六、申請專利範圍

擬快取位址，供每一該槽數，一加法器將接收之槽數自構形表存取之第一虛擬快取位址加至接收存取要求數，以獲致一當前虛擬快取位址，及一先進先出(FIFO)記憶體，儲存自DSP所接收之虛擬快取位址，虛擬位址及一讀/寫位元；

一位址表，能儲存一如自FIFO記憶體所接收之虛擬位址，供每一虛擬快取位址，一有效位元指定一儲存在位址表之虛擬位址是否為一供虛擬快取位址之有效當前位址，及一要求位元指定那些虛擬快取位址對應於DSP之當前存取要求；

一第一比較器，自位址表接收在當前虛擬快取位址儲存在其中之該虛擬位址，並且也自FIFO記憶體接收虛擬位址，其中為相等之虛擬位址指示聲頻樣本資料對應於已儲存在資料快取記憶體之虛擬位址；

一第一優先性編碼器，自位址表接收要求位元供所有虛擬快取位址，該編碼器輸出一其要求位元已予以設定之虛擬快取位址；以及

一資料線路表，儲存一對應資料快取位址，供每一虛擬快取位址，以供對資料快取記憶體存取。

5. 如申請專利範圍第4項之裝置，其中該虛擬快取記憶體裝置另包含：

連接在第一優先性編碼器與資料線路表之間之裝置，供除了虛擬快取位址外，提供增量及減量之位址，該增量及減量之位址存取位址表，供自其讀取對應之虛擬位址；

暫存器，自該位址表接收對應於增量及減量位址之虛擬



六、申請專利範圍

位址；

第二及第三比較器，分別自該等暫存器接收對應虛擬位址，該二比較器也自位址表接收一對應於虛擬快取位址之虛擬位址，並輸出一比較結果，指定減量及增量之位址是否對應於虛擬快取位址，供提供增量及減量位址之裝置在一正比較結果後，也對該資料線路表存取。

6. 如申請專利範圍第4項之裝置，其中該虛擬快取記憶體裝置另包含：

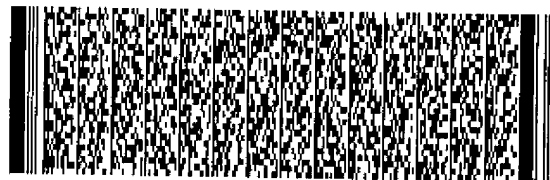
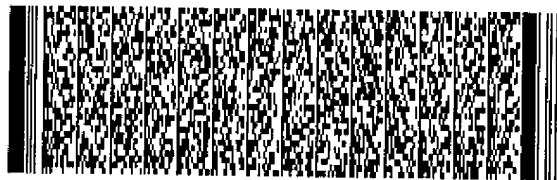
第一及第二使用中暫存器組，串聯連接至資料線路表之一資料輸出，使用中暫存器組儲存位元，指定分別在資料線路表儲存在一當前處理時間框及一先前處理時間框之資料快取位址；

一優先性編碼器，連接至第二使用中暫存器組之一輸出，及連接至資料線路表之一資料輸入，該優先性編碼器提供一第一可利用資料快取位址至該資料線路表，供分配至一虛擬快取位址。

7. 一種在一數位式聲音產生裝置中供存取對應於裝置之數位信號處理器(DSP)所規定之樣本記憶體位址之聲頻樣本資料之方法，該方法包含下列步驟：

在一在DSP與一樣本記憶體間之資料路徑，提供一資料快取記憶體，及在一在DSP與樣本記憶體及資料快取記憶體間之位址路徑提供一虛擬快取記憶體塊；

自DSP藉虛擬快取記憶體塊接收一虛擬位址，該虛擬位址表示DSP供在一對應樣本記憶體位址存取至聲頻樣本資



六、申請專利範圍

料之要求；

確定接收虛擬位址是否對應於資料快取記憶體之一分配之快取線路，並且如為否，則分配資料快取記憶體之一快取線路為對應於虛擬位址，並供讀取要求，將聲頻樣本資料自樣本記憶體之對應樣本記憶體位址轉移至資料快取記憶體之新分配之快取線路；以及

在一隨後處理時間框，將資料快取記憶體定址在一分配至虛擬位址之快取線路，並在分配快取線路與DSP之間轉移聲頻樣本資料。

8. 如申請專利範圍第7項之方法，其中至及自資料快取記憶體之快取線路之完全聲頻樣本資料轉移，包含一串連續轉移數塊之聲頻樣本位元，其中該快取線有一位元大小能儲存多塊之聲頻樣本資料。

9. 如申請專利範圍第7項之方法，其中接收該虛擬位址包含：

存取對一構形表存取一自DSP所接收之當前處理槽數，該構形表儲存一指定之第一虛擬快取位址供每一槽數；

對自構形表所存取，供所接收槽數之第一虛擬快取位址加一也自DSP所接收之存取要求數，以獲致一當前虛擬快取位址；以及

在一先進先出(FIFO)記憶體儲存該前虛擬快取位址，所接收之虛擬位址，及一讀/寫要求位元。

10. 如申請專利範圍第9項之方法，其中確定所接收之虛擬位址是否已對應於資料快取記憶體之一分配之快取線



六、申請專利範圍

路，包含：

在自FIFO記憶體所接收之位址表之當前虛擬快取位址，存取一位址表之虛擬位址欄位；以及

將讀自位址表之所存取之虛擬位址欄位之內容，與儲存在FIFO記憶體之所接收之虛擬位址比較，正比較指示快取線路已分配，及負比較指示快取線路尚未分配為對應於所接收之虛擬位址。

11. 如申請專利範圍第10項之方法，其中分配一快取線路，包含：

將所接收之虛擬位址在位址表儲存在當前虛擬快取位址；以及

將資料快取記憶體之一對應之快取線路在資料線路表儲存在當前虛擬快取位址。

12. 如申請專利範圍第11項之方法，其中分配一快取線路，另包含：

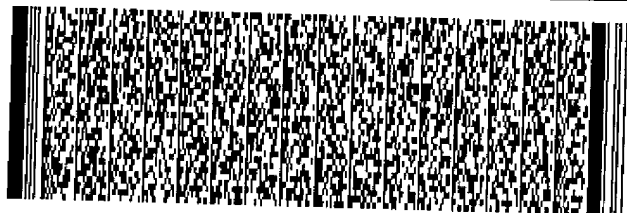
將所接收之虛擬位址在位址表儲存在一相對於當前虛擬快取位址之增量位址；以及

將資料快取記憶體之另一對應之快取線路在資料線路表儲存在增量位址。

13. 如申請專利範圍第7項之方法，另包含：

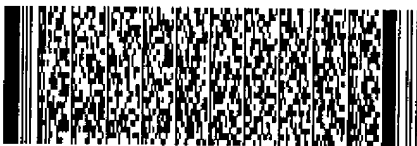
每當虛擬快取記憶體塊在一規定數之處理時間框不接收該虛擬位址時，重新分配資料快取記憶體之快取線路為不再對應於虛擬位址。

14. 如申請專利範圍第13項之方法，其中重新分配快取



六、申請專利範圍

線路包括在予以重新分配回至樣本記憶體之快取線路，在對應於虛擬位址之樣本位址，轉移儲存在資料快取記憶體之聲頻樣本資料。



+

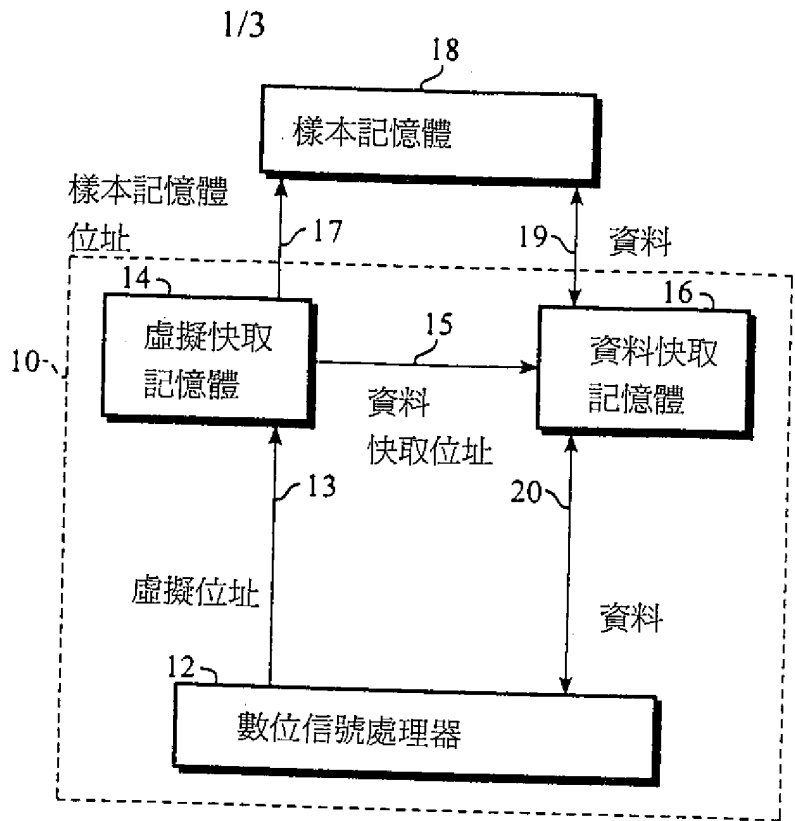


圖 1

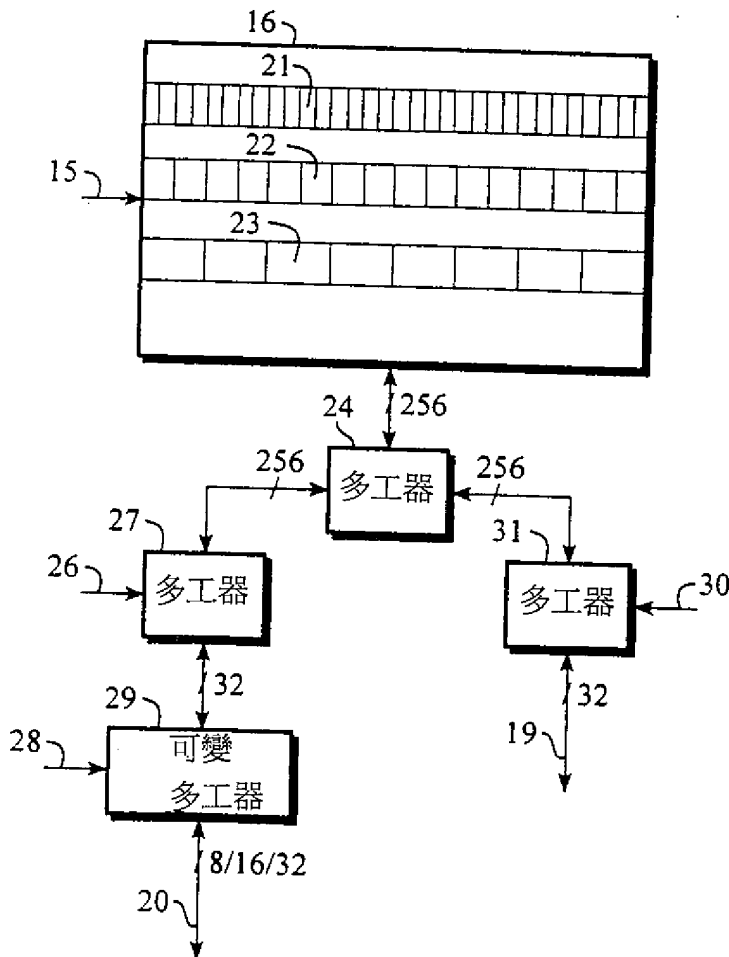


圖 2

+

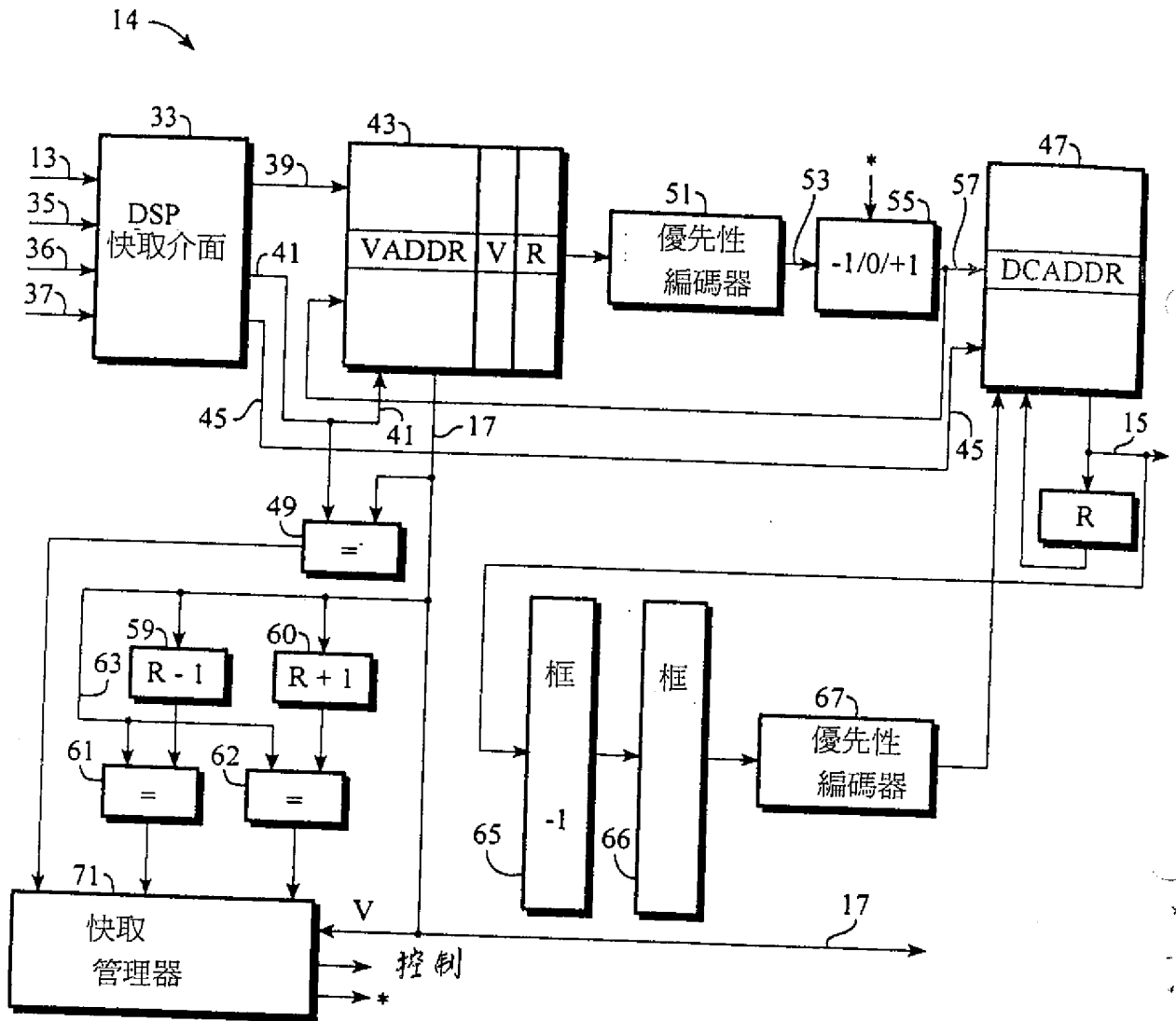


圖 3

+

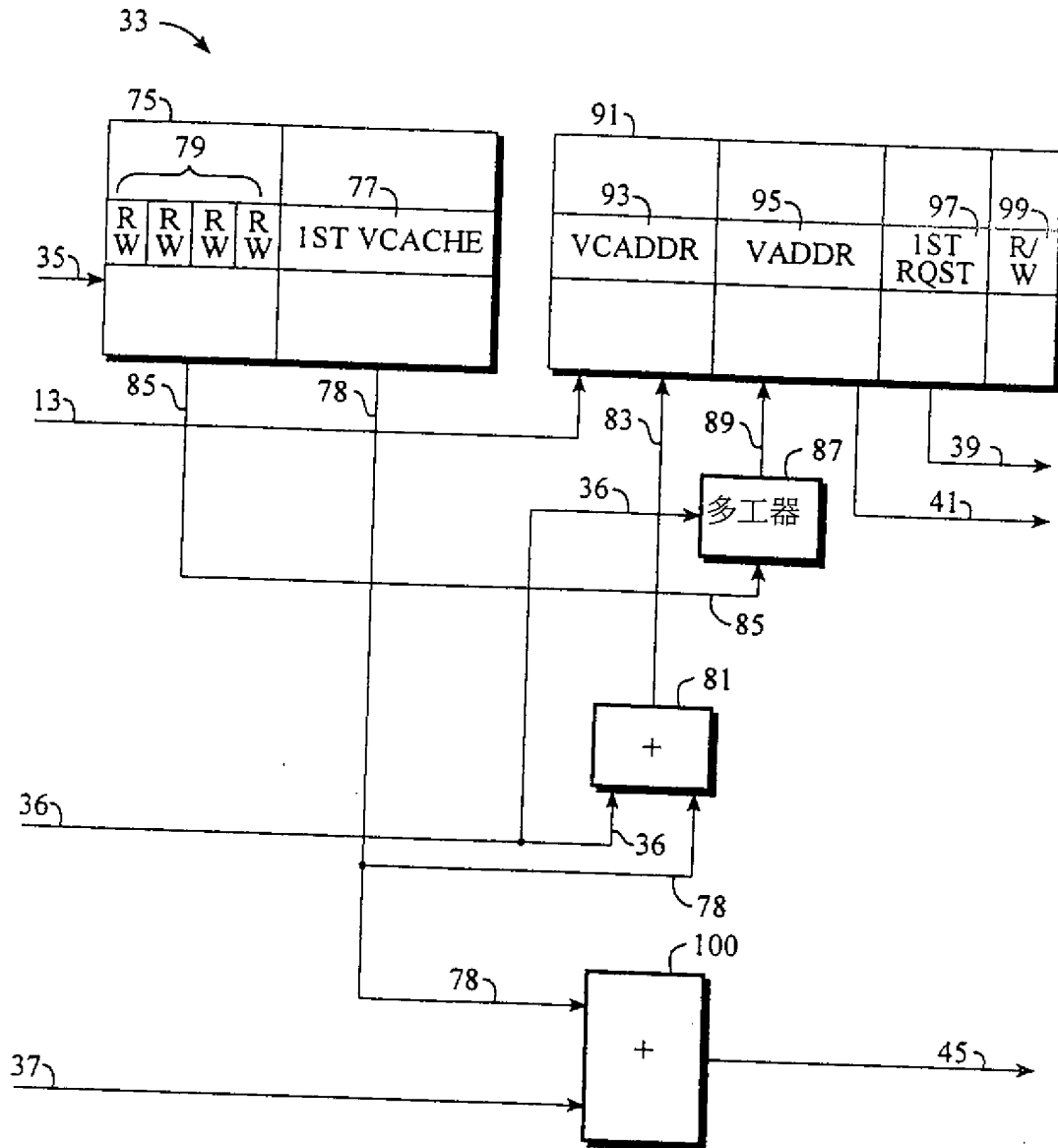


圖 4