

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4434314号
(P4434314)

(45) 発行日 平成22年3月17日 (2010.3.17)

(24) 登録日 平成22年1月8日 (2010.1.8)

(51) Int. Cl.	F I
HO 1 T 4/10 (2006.01)	HO 1 T 4/10 D
HO 1 T 4/12 (2006.01)	HO 1 T 4/12 F
HO 1 T 1/20 (2006.01)	HO 1 T 1/20 F

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2009-541655 (P2009-541655)	(73) 特許権者	000006231
(86) (22) 出願日	平成21年1月22日 (2009.1.22)		株式会社村田製作所
(86) 国際出願番号	PCT/JP2009/050928		京都府長岡京市東神足1丁目10番1号
(87) 国際公開番号	W02009/098944	(74) 代理人	100114502
(87) 国際公開日	平成21年8月13日 (2009.8.13)		弁理士 山本 俊則
審査請求日	平成21年9月24日 (2009.9.24)	(72) 発明者	足立 淳
(31) 優先権主張番号	特願2008-25392 (P2008-25392)		京都府長岡京市東神足1丁目10番1号
(32) 優先日	平成20年2月5日 (2008.2.5)		株式会社村田製作所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	浦川 淳
(31) 優先権主張番号	特願2008-314771 (P2008-314771)		京都府長岡京市東神足1丁目10番1号
(32) 優先日	平成20年12月10日 (2008.12.10)		株式会社村田製作所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	鷲見 高弘
早期審査対象出願			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内

最終頁に続く

(54) 【発明の名称】 ESD保護デバイス

(57) 【特許請求の範囲】

【請求項1】

セラミック多層基板と、

前記セラミック多層基板に形成され、間隔を設けて互いに対向する、少なくとも一対の放電電極と、

前記セラミック多層基板の表面に形成され、前記放電電極と接続される外部電極と、を有するESD保護デバイスであって、

前記一対の放電電極間を接続する領域に、導電性を有さない無機材料によりコートされた導電材料が分散してなる補助電極を備えたことを特徴とする、ESD保護デバイス。

【請求項2】

前記無機材料は、少なくとも前記セラミック多層基板を構成する元素の一部を含有していることを特徴とする、請求項1に記載のESD保護デバイス。

【請求項3】

前記補助電極には、セラミック材料が添加されていることを特徴とする、請求項1又は2に記載のESD保護デバイス。

【請求項4】

前記セラミック材料は、少なくとも前記セラミック多層基板を構成する元素の一部を含有していることを特徴とする、請求項3に記載のESD保護デバイス。

【請求項5】

前記セラミック材料は、半導体であることを特徴とする、請求項3に記載のESD保護

10

20

デバイス。

【請求項 6】

前記補助電極において、前記無機材料によりコートされた前記導電材料が 10 vol % 以上、85 vol % 以下の割合で含有されていることを特徴とする、請求項 3 乃至 5 のいずれか一つに記載の ESD 保護デバイス。

【請求項 7】

前記セラミック多層基板は、その内部に空洞部を有し、前記放電電極は前記空洞部の内面に沿って形成されていることを特徴とする、請求項 1 乃至 6 のいずれか一つに記載の ESD 保護デバイス。

【請求項 8】

前記セラミック多層基板は、実質的に焼結していない第一のセラミック層と、焼結が完了している第二のセラミック層を交互に積層してなることを特徴とする、請求項 1 乃至 7 のいずれか一つに記載の ESD 保護デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は ESD 保護デバイスに関し、詳しくは、セラミック多層基板の空洞部内に放電電極が対向して配置された ESD 保護デバイスにおいて、セラミック多層基板のクラック等による破壊、変形を防止する技術に関する。

【背景技術】

【0002】

ESD (Electro-Static Discharge; 静電気放電) とは、帯電した導電性の物体 (人体等) が、他の導電性の物体 (電子機器等) に接触、あるいは充分接近したときに、激しい放電が発生する現象である。ESD により電子機器の損傷や誤作動などの問題が発生する。これを防ぐためには、放電時に発生する過大な電圧が電子機器の回路に加わらないようにする必要がある。このような用途に使用されるのが ESD 保護デバイスであり、サージ吸収素子やサージアブソーバとも呼ばれている。

【0003】

ESD 保護デバイスは、例えば回路の信号線路とグランド (接地) との間に配置する。ESD 保護デバイスは、一对の放電電極を離間して対向させた構造であるので、通常の使用状態では高い抵抗を持っており、信号がグランド側に流れることはない。これに対し、例えば携帯電話等のアンテナから静電気が加わる場合のように、過大な電圧が加わると、ESD 保護デバイスの放電電極間で放電が起こり、静電気をグランド側に導くことができる。これにより、ESD デバイスよりも後段の回路には、静電気による電圧が印加されず、回路を保護することができる。

【0004】

例えば図 9 の分解斜視図、図 10 の断面図に示す ESD 保護デバイスは、絶縁性セラミックシート 2 が積層されるセラミック多層基板 7 内に空洞部 5 が形成され、外部電極 1 と導通した放電電極 6 が空洞部 5 内に対向配置され、空洞部 5 に放電ガスが閉じ込められている。放電電極 6 間で絶縁破壊を起こす電圧が印加されると、空洞部 5 内において放電電極 6 間で放電が起こり、その放電により過剰な電圧をグランドへ導き、後段の回路を保護することができる (例えば、特許文献 1 参照)。

【特許文献 1】特開 2001-43954 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、このような ESD 保護デバイスでは、次のような問題点がある。

【0006】

図 9、図 10 に示す ESD 保護デバイスでは、放電電極間の間隔のばらつきによって、ESD 応答性が変動し易い。また、放電電極が対向する領域の面積によって ESD 応答性

10

20

30

40

50

を調整する必要があるが、その調整には製品サイズ等による制限のため、所望とする E S D 応答性を実現しにくい場合がある。

【0007】

本発明は、かかる実情に鑑み、E S D 特性の調整や安定化が容易である E S D 保護デバイスを提供しようとするものである。

【課題を解決するための手段】

【0008】

本発明は、上記課題を解決するために、以下のように構成した E S D 保護デバイスを提供する。

【0009】

E S D 保護デバイスは、(a) セラミック多層基板と、(b) 前記セラミック多層基板に形成され、間隔を設けて互いに対向する、少なくとも一対の放電電極と、(c) 前記セラミック多層基板の表面に形成され、前記放電電極と接続される外部電極とを有する。E S D 保護デバイスは、前記一対の放電電極間を接続する領域に、導電性を有さない無機材料によりコートされた導電材料が分散してなる補助電極を備える。

【0010】

上記構成において、外部電極間に所定以上の大きさの電圧が印加されると、対向する放電電極間で放電が発生する。この放電は、一対の放電電極間の前記間隔が設けられた領域に沿って発生する。この放電が発生する領域に、導電材料が分散している補助電極を備えているので、電子の移動が起こりやすく、より効率的に放電現象を生じさせ、E S D 応答性を高めることができる。そのため、放電電極間の間隔のばらつきによる E S D 応答性の変動を小さくすることができる。したがって、E S D 特性の調整や安定化が容易になる。

【0011】

さらに、放電が発生する放電電極の対向部に隣接して、導電材料が分散している補助電極を備えるので、補助電極に含まれる導電材料の量や種類などを調整することにより、放電開始電圧を所望の値に設定することができる。これにより、放電開始電圧は、放電電極の対向部間の間隔を変えることだけで調整する場合よりも、精度よく設定することができる。

【0012】

好ましくは、前記無機材料は、少なくとも前記セラミック多層基板を構成する元素の一部を含有している。

【0013】

導電材料をコートする無機材料が、セラミック多層基板を構成する元素の一部を含有していることにより、補助電極のセラミック多層基板への密着性が向上し、焼成時における補助電極の剥離が発生しにくくなる。また、繰り返し耐性も向上する。

【0014】

好ましくは、前記補助電極には、セラミック材料が添加されている。

【0015】

補助電極中にセラミック材料が含有されていることにより、補助電極とセラミック多層基板との収縮挙動や熱膨張率の差を小さくすることができる。また、導電材料の間にセラミック材料を介在させることにより、導電材料同士の接触がさらに妨げられるため、放電電極間でのショートが発生を防止できる。

【0016】

好ましくは、前記セラミック材料は、少なくとも前記セラミック多層基板を構成する元素の一部を含有している。

【0017】

この場合、補助電極とセラミック多層基板との収縮挙動や熱膨張率の差を小さくすることが容易である。

【0018】

好ましくは、前記セラミック材料は、半導体である。

【0019】

この場合、半導体材料が介在しているので、半導体材料も放電に寄与し、ESD特性が向上する。

【0020】

好ましくは、補助電極において、前記無機材料によりコートされた前記導電材料が10vol%以上、85vol%以下の割合で含有されている。

【0021】

補助電極において導電材料の含有割合が10vol%以上であると、焼成の際の補助電極の収縮開始温度が、放電電極の収縮開始温度とセラミック多層基板の収縮開始温度との中間の値となるようにすることができる。一方、導電材料の含有割合が85vol%以下であると、補助電極内の導電材料によって放電電極間でショートすることがないようにすることができる。

10

【0022】

好ましくは、前記セラミック多層基板は、その内部に空洞部を有し、前記放電電極は前記空洞部の内面に沿って形成されている。

【0023】

この場合、外部電極間に所定以上の大きさの電圧が印加されて放電電極間で発生する放電は、主に空洞部とセラミック多層基板の界面に沿って発生する沿面放電である。この沿面、すなわち空洞部の内面に沿って補助電極が形成されているので、電子の移動が起こりやすく、より効率的に放電現象を生じさせ、ESD応答性を高めることができる。そのため、放電電極間の間隔のばらつきによるESD応答性の変動を小さくすることができる。したがって、ESD特性の調整や安定化が容易になる。

20

【0024】

好ましくは、前記セラミック多層基板は、実質的に焼結していない第一のセラミック層と、焼結が完了している第二のセラミック層を交互に積層してなる

【0025】

この場合、セラミック多層基板は、焼成時に第一のセラミック層により第二のセラミック層の面方向の収縮が抑制された、いわゆる無収縮基板である。無収縮基板は面方向の寸法ばらつきがほとんど生じないため、セラミック多層基板に無収縮基板を用いると、対向する放電電極間の間隔を精度よく形成することができ、放電開始電圧などの特性バラツキを小さくすることができる。

30

【発明の効果】

【0026】

本発明のESD保護デバイスは、ESD特性の調整や安定化が容易である。

【図面の簡単な説明】

【0027】

【図1】ESD保護デバイスの断面図である。（実施例1）

【図2】ESD保護デバイスの要部拡大断面図である。（実施例1）

【図3】図1の直線A-Aに沿って切断した断面図である。（実施例1）

【図4】焼成前の補助電極の組織を模式的に示す組織図である。（実施例1）

40

【図5】ESD保護デバイスの透視図である。（変形例）

【図6】ESD保護デバイスの透視図である。（変形例）

【図7】ESD保護デバイスの透視図である。（変形例）

【図8】ESD保護デバイスの断面図である。（実施例2）

【図9】ESD保護デバイスの分解斜視図である。（従来例）

【図10】ESD保護デバイスの断面図である。（従来例）

【符号の説明】

【0028】

10, 10a~10i, 10s ESD保護デバイス

12, 12s セラミック多層基板

50

13 空洞部
14, 14a~14i, 14s 補助電極
15, 15s 間隔
16, 16a~16i, 16s 放電電極
17, 17a~17c 対向部
18, 18a~18i, 18s 放電電極
19, 19a~19c 対向部
22, 22a~22i 外部電極
24, 24a~24i 外部電極
30 セラミック粒
32 無機材料
34 導電材料

10

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態として実施例を、図1~図8を参照しながら説明する。

【0030】

＜実施例1＞ 実施例1のESD保護デバイス10について、図1~図4を参照しながら説明する。図1は、ESD保護デバイス10の断面図である。図2は、図1において鎖線で示した領域11を模式的に示す要部拡大断面図である。図3は、図1の線A-Aに沿って切断した断面図である。

20

【0031】

図1に示すように、ESD保護デバイス10は、セラミック多層基板12の内部に空洞部13と、一对の放電電極16, 18とが形成されている。放電電極16, 18は、空洞部13の内面に沿って形成された対向部17, 19を含む。放電電極16, 18は、空洞部13からセラミック多層基板12の外周面まで延在し、セラミック多層基板12の外側、すなわちセラミック多層基板12の表面に形成された外部電極22, 24に接続されている。外部電極22, 24は、ESD保護デバイス10を実装するために用いる。

【0032】

図3に示すように、放電電極16, 18の対向部17, 19の先端17k, 19kは、間隔15を設けて互いに対向している。外部電極22, 24から所定値以上の電圧が印加されると、放電電極16, 18の対向部17, 19間において放電が発生する。

30

【0033】

図1に示すように、空洞部13の周縁には、放電電極16, 18の対向部17, 19及び対向部17, 19間の間隔15が形成された部分に隣接して、補助電極14が形成されている。すなわち、補助電極14は、放電電極16, 18間を接続する領域に形成されている。補助電極14は、放電電極16, 18の対向部17, 19とセラミック多層基板12とに接している。図2に簡略に示すように、補助電極14は、セラミック材料の基材中に分散された粒子状の導電材料34を含んでいる。

【0034】

詳しくは図4の模式図に組織を模式的に示すように、補助電極14は、導電性を有さない無機材料32によりコートされた導電材料34とセラミック材料30とを含む。例えば、導電材料34は直径2~3 μm のCu粒子であり、無機材料32は直径1 μm 以下の Al_2O_3 粒子であり、セラミック材料30は Al_2O_3 、Ba、SiからなるBAS材の粒子である。

40

【0035】

無機材料32とセラミック材料30は、焼成時に反応し、焼成後には変質する可能性がある。また、セラミック材料と多層基板12を構成するセラミック粉末も、焼成時に反応し、焼成後には変質する可能性がある。

【0036】

導電材料34が無機材料32によりコートされていない場合には、焼成前の状態ですで

50

に導電材料 3 4 同士が接している可能性があり、導電材料 3 4 同士がつながってショートが発生する可能性がある。ショートが発生する可能性は、導電材料 3 4 の比率が高くなるほど、高くなる。

【0037】

これに対し、導電材料 3 4 が無機材料 3 2 によりコートされていると、焼成前に導電材料 3 4 同士が接する可能性がない。また、焼成後にたとえ無機材料 3 2 が変質したとしても、導電材料 3 4 同士が離間している状態が保持される。そのため、導電材料 3 4 が無機材料 3 2 にコートされていることによって、導電材料 3 4 同士がつながってショートが発生する可能性が低下する。

【0038】

補助電極 1 4 の基材中のセラミック材料 3 0 は、セラミック多層基板 1 2 のセラミック材料と同じものであっても、異なるものであってもよいが、同じものにすれば、収縮挙動等をセラミック多層基板 1 2 に合わせることが容易になり、使用する材料の種類を少なくすることができる。特にセラミック材料 3 0 がセラミック多層基板 1 2 のセラミック材料と同じであり、区別できない場合、補助電極は、無機材料によりコートされた導電材料のみによって形成されていると見ることもできる。

【0039】

補助電極 1 4 に含まれる導電材料 3 4 は、放電電極 1 6, 1 8 と同じものであっても、異なるものであってもよいが、同じものにすれば、収縮挙動等を放電電極 1 6, 1 8 に合わせることが容易になり、使用する材料の種類を少なくすることができる。

【0040】

補助電極 1 4 は導電材料 3 4 とセラミック材料 3 0 とを含むので、補助電極 1 4 の焼成時の収縮挙動が、対向部 1 7, 1 9 を含む放電電極 1 6, 1 8 とセラミック多層基板 1 2 との中間の状態になるようにすることができる。これによって、放電電極 1 6, 1 8 の対向部 1 7, 1 9 とセラミック多層基板 1 2 との焼成時の収縮挙動の差を補助電極 1 4 で緩和することができる。その結果、放電電極 1 6, 1 8 の対向部 1 7, 1 9 の剥離等による不良や特性バラツキを小さくすることができる。また、放電電極 1 6, 1 8 の対向部 1 7, 1 9 間に間隔 1 5 のバラツキも小さくなるので、放電開始電圧などの特性のバラツキを小さくすることができる。

【0041】

また、補助電極 1 4 の熱膨張率が、放電電極 1 6, 1 8 とセラミック多層基板 1 2 との中間の値になるようにすることができる。これによって、放電電極 1 6, 1 8 の対向部 1 7, 1 9 とセラミック多層基板 1 2 との熱膨張率の差を補助電極 1 4 で緩和することができる。その結果、放電電極 1 6, 1 8 の対向部 1 7, 1 9 の剥離等による不良や特性の経年変化を小さくすることができる。

【0042】

さらに、補助電極 1 4 に含まれる導電材料 3 4 の量や種類などを調整することにより、放電開始電圧を所望の値に設定することができる。これにより、放電開始電圧を放電電極 1 6, 1 8 の対向部 1 7, 1 9 間の間隔 1 5 のみで調整する場合よりも、精度よく放電開始電圧を設定することができる。

【0043】

次に、ESD 保護デバイス 1 0 の作製例について、説明する。

【0044】

(1) 材料の準備

セラミック多層基板 1 2 の材料となるセラミック材料には、Ba、Al、Si を中心とした組成からなる材料を用いた。各素材を所定の組成になるよう調合、混合し、800-1000℃で仮焼した。得られた仮焼粉末をジルコニアボールミルで12時間粉碎し、セラミック粉末を得た。このセラミック粉末に、トルエン・エキネンなどの有機溶媒を加え混合する。さらにバインダー、可塑剤を加え混合し、スラリーを得る。このようにして得られたスラリーをドクターブレード法により成形し、厚さ50 μmのセラミックグリーン

10

20

30

40

50

シートを得る。

【0045】

また、放電電極16、18を形成するための電極ペーストを作製する。平均粒径約2 μ mのCu粉80wt%とエチルセルロース等からなるバインダー樹脂に溶剤を添加し、ロールで攪拌、混合することで電極ペーストを得た。

【0046】

補助電極14を形成するための混合ペーストは、平均粒径約2 μ mのAl₂O₃コートCu粉と、上記BAS材仮焼後セラミック粉末を所定の割合で調合し、バインダー樹脂と溶剤を添加し、ロールで攪拌、混合することで得た。混合ペーストは樹脂と溶剤を20wt%とし、残りの80wt%をセラミックとコートCu粉とした。各混合ペーストのセラミック／コートCu粉の比率を、次の表1に示す。比較評価に用いたコートCu粉種を表2に示す。表2中のコート量(wt%)は、コートCu粉に占めるコート種の質量割合である。

【表1】

セラミック/コートCu体積比率

ペースト No.	体積比率(vol%)	
	セラミック粉	コートCu粉
*1	100	0
2	90	10
3	70	30
4	50	50
5	40	60
6	30	70
7	20	80
8	15	85
9	0	100

*印:本発明の範囲外

【表2】

評価コートCu種

コート種	コート量(wt%)		
Al ₂ O ₃	0(コートなし)	1	3

【0047】

また、空洞部13を形成するための樹脂ペーストも同様の方法にて作製する。樹脂ペーストは、樹脂と溶剤のみからなる。樹脂材料には焼成時に分解、消失する樹脂を用いる。例えばPET、ポリプロピレン、エチルセルロース、アクリル樹脂などである。

【0048】

(2)スクリーン印刷による混合ペースト、電極ペースト、樹脂ペーストの塗布

セラミックグリーンシート上に、補助電極14を形成するため、混合ペーストを所定のパターンになるよう、スクリーン印刷にて塗布する。混合ペーストの厚みが大きい場合などには、セラミックグリーンシートに予め設けた凹部に、セラミック／コート金属の混合ペーストを充填するようにしても構わない。

【0049】

その上に、電極ペーストを塗布して、対向部17、19間に放電ギャップとなる間隔15を有する放電電極16、18を形成する。ここでは、放電電極16、18の太さを100 μ m、放電ギャップ幅(対向部17、19間の間隔15の寸法)を30 μ mとなるように形成した。さらにその上に、空洞部13を形成するため、樹脂ペーストを塗布する。

【0050】

(3)積層、圧着

通常のセラミック多層基板と同様に、セラミックグリーンシートを積層し、圧着する。作製例では、厚み0.3mm、その中央に放電電極16、18の対向部17、19、空洞

10

20

30

40

50

部13が配置されるように積層した。

【0051】

(4)カット、端面電極塗布

LCフィルタのようなチップタイプの電子部品と同様に、マイクロカッタでカットして、各チップにわけると。作製例では、 $1.0\text{ mm} \times 0.5\text{ mm}$ になるようにカットした。その後、端面に電極ペーストを塗布し、外部電極22, 24を形成する。

【0052】

(5)焼成

次いで、通常のセラミック多層基板と同様に、 N_2 雰囲気中で焼成する。また、ESDに対する応答電圧を下げるため空洞部13にAr、Neなどの希ガスを導入する場合には、セラミック材料の収縮、焼結が行われる温度領域をAr、Neなどの希ガス雰囲気中で焼成すればよい。酸化しない電極材料(Agなど)の場合には、大気雰囲気でも構わない。

10

【0053】

焼成により、樹脂ペーストは消失し、空洞部13が形成される。また、焼成により、セラミックグリーンシート中の有機溶剤や、混合ペースト中のバインダー樹脂及び溶剤も消失する。

【0054】

(6)めっき

LCフィルタのようなチップタイプの電子部品と同様に、外部電極上に電解Ni-Snメッキを行う。

20

【0055】

以上により、断面が図1～図3のように構成されたESD保護デバイス10が完成する。

【0056】

なお、セラミック材料は、特に上記の材料に限定されるものではなく、フォレストライトにガラスを加えたものや、 CaZrO_3 にガラスを加えたものなど、他のものを加えてもよい。

【0057】

デラミネーション抑制の観点から、前記セラミック多層基板の少なくとも1層を形成するセラミック材料と同じであることが好ましい。

30

【0058】

また、半導体材料も沿面放電に寄与するため、ESD応答性の観点から、セラミック材料は半導体であることが好ましい。半導体のセラミック材料とは、炭化ケイ素、炭化チタン、炭化ジルコニウム、炭化モリブデン、炭化タングステン等の炭化物、窒化チタン、窒化ジルコニウム、窒化クロム、窒化バナジウム、窒化タンタル等の窒化物、ケイ化チタン、ケイ化ジルコニウム、ケイ化タングステン、ケイ化モリブデン、ケイ化クロム、ケイ化クロム等のケイ化物、ホウ化チタン、ホウ化ジルコニウム、ホウ化クロム、ホウ化ランタン、ホウ化モリブデン、ホウ化タングステン等のホウ化物、酸化亜鉛、チタン酸ストロンチウム等の酸化物をいう。特に、比較的安価で、かつ、各種粒径のバリエーションが市販されていることから、炭化ケイ素が特に好ましい。これらの半導体のセラミック材料は、適宜、単独又は2種類以上を混合して使用してもよい。また、半導体のセラミック材料は、適宜、アルミナやBAS材等の絶縁性セラミック材料と混合して使用してもよい。

40

【0059】

導電材料も、Cuだけでなく、Ag、Pd、Pt、Al、Ni、Wや、これらの組合せでもよい。導電材料として、SiC粉等の半導体材料や抵抗材料など、金属材料よりも導電性の低い材料を用いてもよい。導電材料として半導体材料や抵抗材料を用いると、ショート抑制の効果をえられる。

【0060】

導電材料をコートするコート材料は、無機材料であれば特に限定されるものではない。 Al_2O_3 、 ZrO_2 、 SiO_2 等の無機材料や、BASのような混合仮焼材料などでも

50

よい。デラミネーション抑制の観点から、前記セラミック材料と同一の成分を有しているか、少なくとも前記セラミック材料又は前記セラミック多層基板を構成する元素を含有していることが好ましい。導電材料をコートするコート材が、セラミック多層基板を構成する元素の一部を含有していると、補助電極のセラミック多層基板への密着性が向上し、焼成時における補助電極の剥離が発生しにくくなり、繰り返し耐性も向上するからである。

【0061】

また、セラミック／コート金属の混合材料は、ペーストとして形成するだけでなく、シート化して配置してもよい。

【0062】

また、空洞部13を形成するために樹脂ペーストを塗布したが、樹脂でなくともカーボンなど焼成で消失するものならばよいし、また、ペースト化して印刷で形成しなくとも、樹脂フィルムなどを所定の位置のみ貼り付けるようにして配置してもよい。

10

【0063】

上述した作製例のESD保護デバイス10の100個の試料について、放電電極16, 18間のショート、焼成後の断線、デラミネーションの有無を、内部断面観察により評価した。ショート不良率が40%以下のものをショート特性が良好、ショート不良率が40%を超えるものをショート特性が不良と判定した。デラミネーションの発生が全く認められなかったものを合格(○印)、デラミネーションの発生が1個でも認められたものを不合格(×印)と判定した。デラミネーションとは、補助電極・放電電極間又は補助電極・セラミック多層基板間での剥離を意味する。

20

【0064】

さらに、ペーストの収縮開始温度を比較した。具体的には、各ペースト単体の収縮挙動を調べるため、ペーストを乾燥後その粉末をプレスし、高さ3mmの圧着体を作製し、TMA(熱機械分析)法にて測定を行った。セラミックの収縮開始温度は、試料No. 1のペーストと同様に885℃であった。

【0065】

また、ESDに対する放電応答性を評価した。ESDに対する放電応答性は、IECの規格、IEC 61000-4-2に定められている、静電気放電イミュニティ試験によって行った。接触放電にて8kV印加して試料の放電電極間で放電が生じるかどうかを調べた。保護回路側で検出されたピーク電圧が700Vを超えるものを放電応答性が不良(×印)、ピーク電圧が500V~700Vのものを放電応答性が良好(○印)、ピーク電圧が500V未満のものを放電応答性が特に良好(◎印)と判定した。

30

【0066】

さらに、ESD繰り返し耐性を評価した。接触放電にて8kV印加を10回、4kV印加を10回、2kV印加を10回、1kV印加を10回、0.5kV印加を10回、0.2kV印加を10回行い、続いて、前記のESDに対する放電応答性を評価した。保護回路側で検出されたピーク電圧が700Vを超えるものを放電応答性が不良(×印)、ピーク電圧が500V~700Vのものを放電応答性が良好(○印)、ピーク電圧が500V未満のものを放電応答性が特に良好(◎印)と判定した。

【0067】

次の表3~表5に、セラミック／コート金属の混合ペーストの条件と、評価結果を示す。

40

【表 3】

コート量 0wt% (コートなし)

試料 No.	体積比率(vol%)		ペースト収縮 開始温度(°C)	ショート率 (%)	断線率 (%)	デラミネーション 有無	ESD 放電 応答性	ESD 繰返 し耐性	総合判定
	セラミック粉	Cu 粉							
*1	100	0	885	10	6	×	○	—	×
*2	90	10	840	0	0	○	◎	×	×
*3	70	30	810	0	0	○	◎	×	×
*4	50	50	780	0	0	○	◎	×	×

*印:本発明の範囲外

【表 4】

コート量 1wt%

試料 No.	体積比率(vol%)		ペースト収縮 開始温度(°C)	ショート率 (%)	断線率 (%)	デラミネーション 有無	ESD 放電 応答性	ESD 繰返 し耐性	総合判定
	セラミック粉	コート Cu 粉							
*1	100	0	885	10	6	×	○	—	×
2	90	10	850	0	0	○	○	○	○
3	70	30	830	0	0	○	○	○	○
4	50	50	800	0	0	○	◎	○	○
5	40	60	790	0	0	○	◎	○	○
6	30	70	780	0	0	○	◎	○	○
7	20	80	765	20	2	○	◎	○	○
8	15	85	765	20	2	○	◎	○	○
9	0	100	760	40	4	○	◎	○	○

*印:本発明の範囲外

【表 5】

コート量 3wt%

試料 No.	体積比率(vol%)		ペースト収縮 開始温度(°C)	ショート率 (%)	断線率 (%)	デラミネーション 有無	ESD 放電 応答性	ESD 繰返 し耐性	総合判定
	セラミック粉	コート Cu 粉							
*1	100	0	885	10	6	×	○	—	×
2	90	10	860	0	0	○	○	○	○
3	70	30	840	0	0	○	○	○	○
4	50	50	810	0	0	○	○	○	○
5	40	60	800	0	0	○	○	○	○
6	30	70	790	0	0	○	◎	◎	◎
7	20	80	785	0	0	○	◎	◎	◎
8	15	85	785	5	0	○	◎	◎	◎
9	0	100	780	20	2	○	◎	○	○

*印:本発明の範囲外

【0068】

表3～表5から分かるように、セラミック／コート金属の混合ペーストを用いることで、セラミック粉比率が低い条件でも、ペーストの収縮開始温度はセラミックの収縮開始温度に近づけることができ、デラミネーション、放電電極剥離の解消が見られた。

【0069】

表3から分かるように、補助電極がセラミックと金属とからなる場合、ESD繰返し耐性は極めて悪く、また、セラミック／金属の混合ペースト中に占める金属の割合が50vol%を超えると、混合ペースト中の金属粒同士が接触することで放電電極間のショート発生率が25%を超えてしまい、実用に供し得るESD保護デバイスは得られなかった。一方、表4及び表5から分かるように、補助電極がセラミックとコート金属とからなる場合、コート金属の含有量を増やしても、ショート耐性の向上を得ることができる。

【0070】

表3～表5から分かるように、ESDに対する放電応答性は、セラミック／コート金属

10

20

30

40

50

の混合ペーストを配置しても悪化しておらず、良好である。また、放電電極間ギャップ幅のばらつきも小さかった。

【0071】

コート量が7wt%を超えるとショート発生率は0%であったが、ペースト収縮開始温度が放電電極の収縮開始温度と乖離しすぎ、デラミネーションを発生させた。コート量は、0.5~5wt%が良好である。

【0072】

以上に説明したように、コート金属とセラミックの混合材料を放電電極とセラミック多層基板の間及び放電ギャップ部に配置することで、電極とセラミック間にかかる応力を小さくでき、放電電極の断線や放電電極のデラミネーション、空洞部での電極剥離によるショートや電極の収縮ばらつきによる放電ギャップ幅のばらつきが生じにくくなる。

10

【0073】

コート量0.5~5wt%のコート金属割合を混合材料中10~85vol%とすることが、良好である。

【0074】

コートなしの場合、混合材料中の金属分はショート発生から50vol%以下が望ましい。コート金属を用いることでショート発生を抑制し、85vol%までの投入が可能になる。金属分を増やすことで、静電気放電(火花発生)時に生じる熱をより放熱できる。放熱性の向上で熱応力によるセラミックへのマイクロクラック発生を低減できる。

20

【0075】

<変形例> 変形例のESD保護デバイス10a~10iについて、図5~図7を参照しながら説明する。図5~図7は、ESD保護デバイス10a~10iの透視図であり、互いに間隔を設けて形成された放電電極16a~16i;18a~18iの対と、補助電極14a~14iと、外部電極22a~22i;24a~24iとに、それぞれ斜線を付している。補助電極14a~14iは、放電電極16a~16i;18a~18i間の隙間領域にのみ形成されている場合を図示しているが、図示された領域よりも広く、例えば放電電極16a~16i;18a~18iに重なるように形成してもよい。すなわち、補助電極14a~14iは、放電電極16a~16i;18a~18i間を接続する領域に形成されていればよい。図示していないが空洞部は、放電電極16a~16i;18a~18i間の領域とその近傍部分の放電電極16a~16i;18a~18iとに重なるように形成される。放電電極16a~16i;18a~18iのうち、放電電極16a~16i;18a~18i間の領域の近傍部分は、空洞部の内面に沿って互いに対向するように配置される対向部である。

30

【0076】

図5に示すESD保護デバイス10a~10cは、略直線状の放電電極16a~16c;18a~18cの先端同士が対向している。放電電極16a~16c;18a~18cの互いに対向する対向部17a~17c;19a~19cの幅が広がるほど、放電開始電圧が低下するため、ESDに対する応答を早めることができる。

【0077】

図6に示すESD保護デバイス10d~10fは、放電電極16d~16f;18d~18f同士が対向する領域、すなわち補助電極14d~14fが折れ曲がる形状となるように形成され、放電電極16d~16f;18d~18f同士が対向する幅が、図5のESD保護デバイス10a~10cに比べ、大きいため、ESDに対する応答をより早めることができる。

40

【0078】

図7(g)及び(h)に示すESD保護デバイス10g,10hは、矩形のセラミック多層基板の長辺に沿って外部電極22g,22h;24g,24hが形成されている。図5及び図6のESD保護デバイス10a~10fのように矩形のセラミック多層基板の短辺に沿って外部電極22a~22f;22a~24fを形成する場合と比べると、放電電極16g,16h;18g,18h同士が対向する幅を大きくすることが容易である。

50

【0079】

図7(i)に示すESD保護デバイス10iは、一つのESD保護デバイス10iに、複数組の放電電極16i、18i、補助電極14i及び外部電極22i、24iを備えている。このような形状によっても、放電電極16i、18i同士が対向する幅を大きくして、ESDに対する応答を早めることができる。

【0080】

＜実施例2＞ 実施例2のESD保護デバイス10sについて、図8を参照しながら説明する。図8は、ESD保護デバイス10sの断面図である。

【0081】

実施例2のESD保護デバイス10sは、実施例1のESD保護デバイス10と略同様に構成されている。以下では、実施例1と同じ構成部分には同じ符号を用い、実施例1のESD保護デバイス10との相違点を中心に説明する。

【0082】

図8に示すように、実施例2のESD保護デバイス10sは、空洞部13を有していない点が実施例1のESD保護デバイス10と異なる。すなわち、実施例2のESD保護デバイス10sは、セラミック多層基板12sの上面12tに、互いに対向する一対の放電電極16s、18sが形成され、樹脂42で覆われている。

【0083】

放電電極16s、18sは、実施例1のESD保護デバイス10と同様に、間隔15sを設けて互いに対向するように形成されている。セラミック多層基板12sの上面12t側には、放電電極16s、18s間の間隔15sが形成された部分及びその近傍に隣接して、すなわち放電電極15s、18s間を接続する領域に、導電性を有さない無機材料によりコートされた導電材料34が分散した補助電極14sが形成されている。放電電極16s、18sは、セラミック多層基板12sの表面に形成された外部電極22、24に接続されている。

【0084】

次に、実施例2の作製例について説明する。実施例2のESD保護デバイスは、実施例1のESD保護デバイスと略同様の方法で作製したが、実施例2のESD保護デバイスは空洞部を有しないため、樹脂ペーストを塗布しない。導電材料として、実施例1の作製例と同じ3wt%A_l₂O₃コートCu、セラミック材料として実施例1の作製例と同じBAS材仮焼後セラミック粉末を用いた。

【0085】

次の表6に、セラミック／コート金属の混合ペーストの条件と、評価結果を示す。

【表6】

コート量 3wt%

試料 No.	体積比率(vol%)		ペースト収縮 開始温度(°C)	ショット率 (%)	断線率 (%)	デラミネーション 有無	ESD 放電 応答性	ESD 繰返し 耐性	総合判定
	セラミック粉	コート Cu 粉							
*1	100	0	885	10	6	×	○	—	×
2	90	10	860	0	0	○	○	○	○
3	70	30	840	0	0	○	○	○	○
4	50	50	810	0	0	○	○	○	○
5	40	60	800	0	0	○	○	○	○
6	30	70	790	0	0	○	○	○	○
7	20	80	785	0	0	○	○	○	○
8	15	85	785	5	0	○	○	○	○
9	0	100	780	20	2	○	○	○	○

*印:本発明の範囲外

【0086】

表5及び表6の比較から、実施例2の空洞部を有しないESD保護デバイスは、実用に供し得るものの、空洞部を有する実施例1のESD保護デバイスに比してESD放電応答

性が低下する傾向が認められた。空洞部を有する E S D 保護デバイスは、E S D 印加時に放電電極の補助電極において沿面放電を発生できるため、E S D 放電応答性が良好化したと推察される。

【0087】

＜実施例 3＞ 実施例 3 の E S D 保護デバイスについて、説明する。

【0088】

実施例 3 の E S D 保護デバイスは、補助電極のセラミック材料が半導体である以外は、実施例 1 と同じである。

【0089】

実施例 3 の作製例では、セラミック材料としてセラミック半導体の炭化ケイ素を用いて E S D 保護デバイスを作製した。なお、炭化ケイ素の粒径は約 $1\ \mu\text{m}$ のものを使用した。また、導電材料として、実施例 1 の作製例と同じ $3\text{wt}\%\text{Al}_2\text{O}_3$ コート Cu を使用した。

【0090】

次の表 7 に、セラミック／コート金属の混合ペーストの条件と、評価結果を示す。

【表 7】

コート量 3wt%

試料 No.	体積比率(vol%)		ペースト収縮 開始温度(°C)	ショート率 (%)	断線率 (%)	デラミネーション 有無	ESD 放電 応答性	ESD 繰返し 耐性	総合判定
	SiC 粉	コート Cu 粉							
*1	100	0	890	8	5	×	○	—	×
2	90	10	865	0	0	○	◎	◎	◎
3	70	30	845	0	0	○	◎	◎	◎
4	50	50	815	0	0	○	◎	◎	◎
5	40	60	805	0	0	○	◎	◎	◎
6	30	70	795	0	0	○	◎	◎	◎
7	20	80	790	0	0	○	◎	◎	◎
8	15	85	790	5	0	○	◎	◎	◎
9	0	100	785	20	2	○	◎	○	○

*印:本発明の範囲外

【0091】

表 5 及び表 7 の比較から分かるように、セラミック材料として炭化ケイ素を用いることで、コート金属含有量が少なくても E S D 放電応答性を向上させることができる。セラミック半導体も放電に寄与し、E S D 特性が向上するからである。

【0092】

＜実施例 4＞ 実施例 4 の E S D 保護デバイスについて、説明する。

【0093】

実施例 4 の E S D 保護デバイスは、コート材料とセラミック材料に同じ材料を用いている点以外は、実施例 1 の E S D 保護デバイスと同じである。

【0094】

実施例 4 の E S D 保護デバイスの作製例では、B A S 材仮焼超微細粉でコートした Cu 粉末を用いた以外は、実施例 1 の作製例と同様にして E S D 保護デバイスを作製した。すなわち、実施例 1 の作製例において得られた B A S 材仮焼後セラミック粉末をアセトン媒体に分散し、その分散液中にジルコニア製微小メディアを投入し、連続式メディア型湿式粉砕機にて粉砕した。粉砕後、アセトン及びジルコニア製微小メディアを除去し、粒径約 100nm の B A S 材仮焼超微細粉を作製した。得られた B A S 材仮焼超微細粉と平均粒径約 $2\ \mu\text{m}$ の Cu 粉とをメカノフュージョン法で混合し、B A S 材仮焼超微細粉でコートした Cu 粉末を得た。なお、B A S 材仮焼超微細粉のコート量は約 $1\text{wt}\%$ であった。

【0095】

次の表 8 に、セラミック／コート金属の混合ペーストの条件と、評価結果を示す。

【表 8】

コート量 1wt%

試料 No.	体積比率(vol%)		ペースト収縮 開始温度(°C)	ショート率 (%)	断線率 (%)	デラミネーション 有無	ESD 放電 応答性	ESD 繰返し 耐性	総合判定
	セラミック粉	コート Cu 粉							
*1	100	0	885	10	6	×	○	—	×
2	90	10	840	0	0	○	○	○	○
3	70	30	820	0	0	○	○	○	○
4	50	50	790	0	0	○	◎	◎	◎
5	40	60	780	0	0	○	◎	◎	◎
6	30	70	770	0	0	○	◎	◎	◎
7	20	80	755	15	1	○	◎	○	○
8	15	85	755	15	1	○	◎	○	○
9	0	100	750	30	2	○	◎	○	○

*印:本発明の範囲外

10

【0096】

表4及び表8の比較から、コート材としてセラミック材料と同一成分の無機材料を用いることで、明確な機構は不明であるが、ショート発生率及び断線率が改善される傾向が認められる。

【0097】

＜実施例5＞ 実施例5のESD保護デバイスについて、説明する。

20

【0098】

実施例5のESD保護デバイスは、収縮抑制層と基材層とが交互に積層されたセラミック多層基板を用いている点以外は、実施例1のESD保護デバイスと同じである。

【0099】

実施例5のESD保護デバイスの作製例では、実施例1の作製例と同じセラミックグリーンシート上に、収縮抑制層用ペースト（例えば、 Al_2O_3 粉末とガラスフリットと有機ビヒクルとからなる）を全面にスクリーン印刷にて塗布する。さらに、その上に、補助電極14を形成するため、混合ペーストを所定のパターンになるよう、スクリーン印刷にて塗布する。さらに、その上に、電極ペーストを塗布して、対向部17，19間に放電ギャップとなる間隔15を有する放電電極16，18を形成する。ここでは、放電電極16，18の太さを $100\mu m$ 、放電ギャップ幅（対向部17，19間の間隔15の寸法）を $30\mu m$ となるように形成した。さらにその上に、空洞部13を形成するため、樹脂ペーストを塗布する。さらに、その上に、前記収縮抑制層用ペーストをスクリーン印刷にて塗布する。

30

【0100】

上記のようにセラミック多層基板を収縮抑制層と基材層とが交互に積層された以外は、実施例1の作製例と同様にして、セラミック多層基板が収縮抑制層と基材層とが交互に積層された無収縮基板であるESD保護デバイスを形成した。すなわち、焼成後、基材層は焼結が完了しているが、収縮抑制層は実質的に焼結していない。なお、導電材料は、実施例1の作製例と同じ3wt% Al_2O_3 コートCuを使用した。

40

【0101】

次の表9に、セラミック／コート金属の混合ペーストの条件と、評価結果を示す。

【表 9】

コート量 3wt%

試料 No.	体積比率(vol%)		ペースト収縮 開始温度(°C)	ショート率 (%)	断線率 (%)	デラミネーション 有無	ESD 放電 応答性	ESD 繰返し 耐性	総合判定
	セラミック粉	コート Cu 粉							
*1	100	0	885	10	6	×	○	—	×
2	90	10	860	0	0	○	○	○	○
3	70	30	840	0	0	○	○	○	○
4	50	50	810	0	0	○	○	○	○
5	40	60	800	0	0	○	○	○	○
6	30	70	790	0	0	○	◎	◎	◎
7	20	80	785	0	0	○	◎	◎	◎
8	15	85	785	5	0	○	◎	◎	◎
9	0	100	780	20	2	○	◎	○	○

*印:本発明の範囲外

【0102】

表 9 から分かるように、実施例 1 の作製例と同様に、優れた ESD デバイスを得ることができた。さらに、無収縮基板は、焼成時に収縮抑制層により基材層の面方向の収縮が抑制され、面方向の寸法ばらつきがほとんど生じないため、セラミック多層基板を無収縮基板にしたことで、反りが極めて小さい ESD 保護デバイスを得ることができた。

【0103】

<まとめ> 以上に説明したように、導電材料とセラミック材料の混合によりセラミック材料と電極材料の中間の収縮挙動を持つ材料を、放電電極とセラミック多層基板との間及び放電電極の先端間のギャップ部に配置して補助電極を形成すると、放電電極とセラミック多層基板との間に作用する応力を小さくでき、放電電極の断線や放電電極のデラミネーション、空洞部での放電電極の剥離や放電電極の収縮ばらつきによる放電ギャップ幅のばらつき、ショートなどが生じにくくなる。

【0104】

また、導電材料は導電性を有さない無機材料にコートされているため、補助電極内で導電材料同士が接することを防止することができる。これによって、導電材料同士がつながってショートが発生する可能性が低下する。

【0105】

したがって、ESD 保護デバイスの放電開始電圧を精度よく設定することができ、ESD 保護デバイスの調整や安定化が容易である。

【0106】

本発明による効果は、次の通りである。

(1) コート導電材料を用いているので、導電材料含有量を高くでき、優れた ESD 応答性を発現できる。

(2) コート導電材料を用いているので、ESD 印加を繰返しても ESD 応答性が劣化しない。

(3) 無機材料は、セラミック材料と同一の成分、又は、少なくとも前記セラミック材料又は前記セラミック多層基板を構成する元素の一部を含有しているので、デラミネーションが発生し難い。

(4) セラミック材料は、セラミック多層基板の少なくとも 1 層を形成するセラミック材料と同じであるため、デラミネーションが発生し難い。

(5) 空洞部を有すると、沿面放電が期待でき、ESD 応答性をさらに向上できる。

(6) セラミック材料としてセラミック半導体を用いると、コート金属含有量が低くても優れた ESD 応答性を得ることができる。

(7) セラミック材料として炭化ケイ素を用いることで、安価、かつ、良好な ESD 保護デバイスを提供できる。

(8) 導電材料として Cu 粉末を用いることで、安価、かつ、良好な ESD 保護デバイス

10

20

30

40

50

を提供できる。

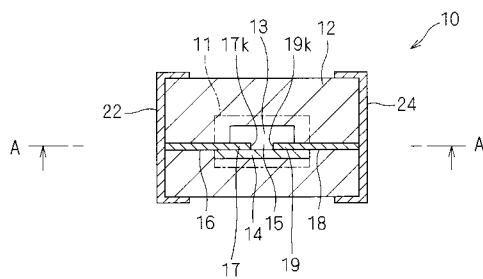
【0107】

なお、本発明は、上記した実施の形態に限定されるものではなく、種々変更を加えて実施することが可能である。

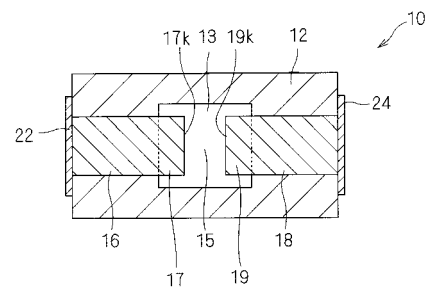
【0108】

例えば、実施例2では補助電極をセラミック多層基板側に形成しているが、樹脂側に補助電極を形成することも可能である。

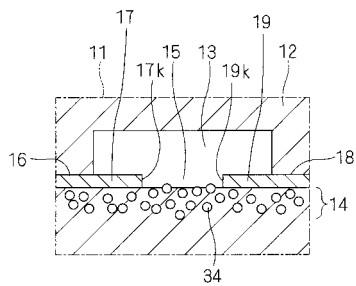
【図1】



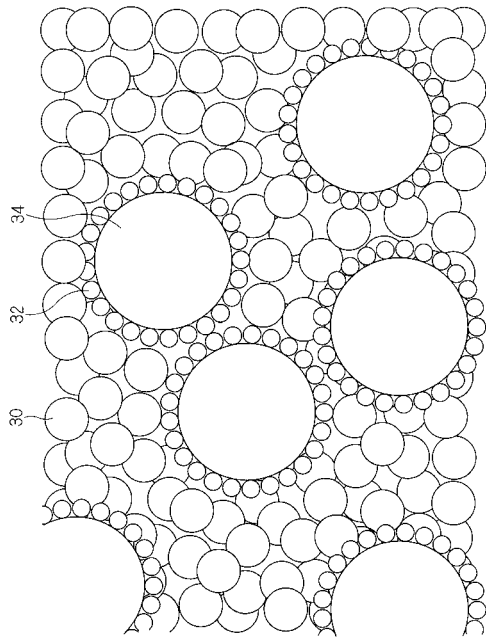
【図3】



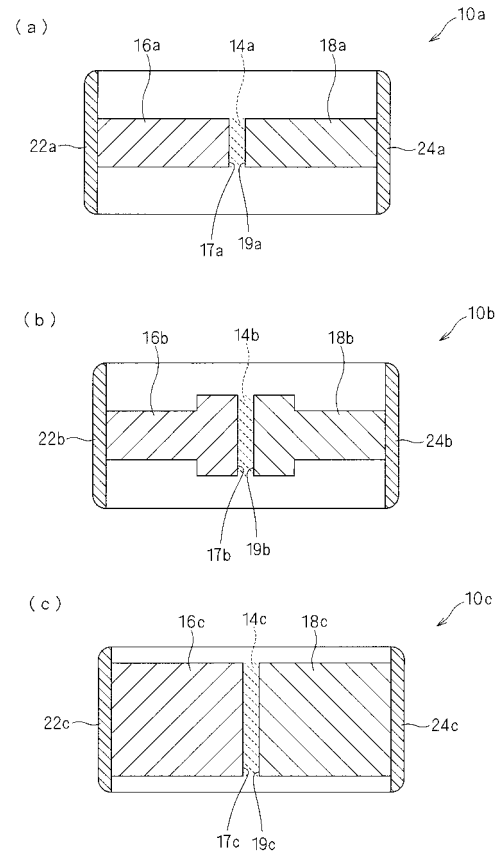
【図2】



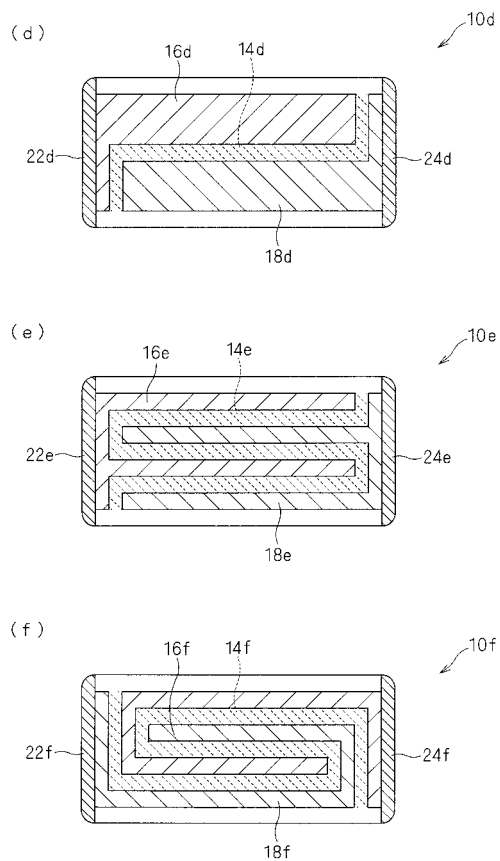
【図 4】



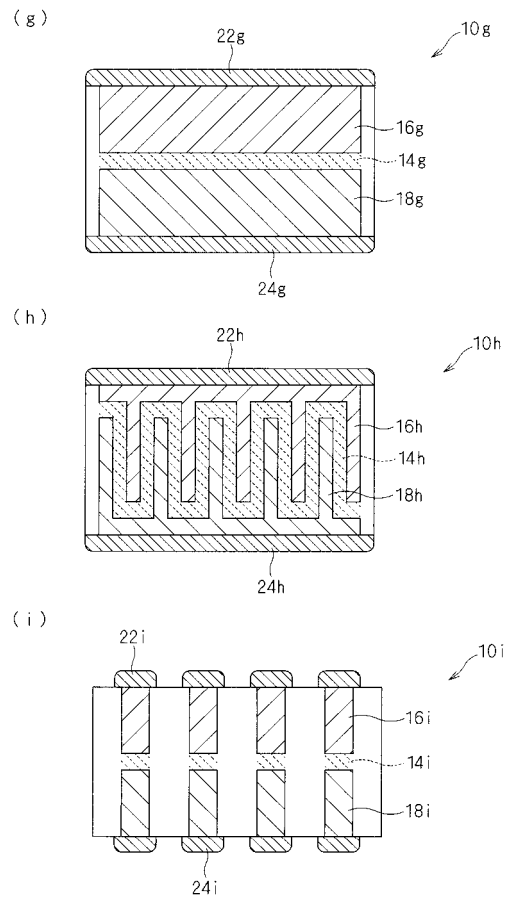
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 北爪 貴大

京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内

審査官 高橋 学

(56)参考文献 特開2003-297524 (JP, A)

特開2004-14437 (JP, A)

特開2005-276666 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01T 1/00-4/20