



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0122353
(43) 공개일자 2007년12월31일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2007-0009516

(22) 출원일자 2007년01월30일

심사청구일자 2007년01월30일

(30) 우선권주장

095122927 2006년06월26일 대만(TW)

(71) 출원인

타통 컴퍼니 리미티드

대만 타이페이, 3 섹션, 중산 엔. 로드, 22

(72) 발명자

린, 치웅-웨이

대만, 타이페이 시티 104, 중산 디스트릭, 중산 엔. 로드., 섹션.3, 넘버. 22

리, 치엔-펑

대만, 타이페이 시티 104, 중산 디스트릭, 중산 엔. 로드., 섹션.3, 넘버. 22

첸, 이-리앙

대만, 타이페이 시티 104, 중산 디스트릭, 중산 엔. 로드., 섹션.3, 넘버. 22

(74) 대리인

최덕규

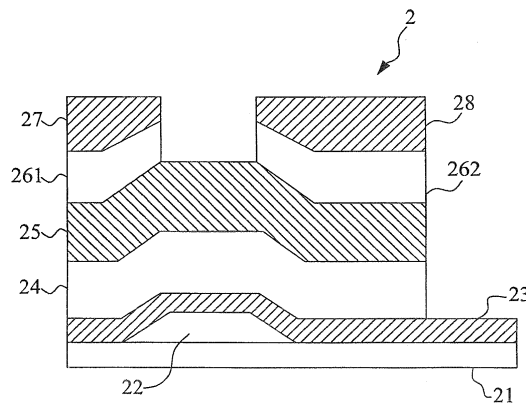
전체 청구항 수 : 총 26 항

(54) 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조

(57) 요약

본 발명은 낮은 핫-캐리어 효과(hot-carrier effect) 특성을 갖는 반도체 구조에 관한 것으로 보다 구체적으로, 트랜지스터가 고채널 전기장(high channel electric field)을 가지는 작동 환경 하에서 작동된 후에도 상기 반도체 구조를 가진 트랜지스터가 작동되는 경우 발생하는 핫-캐리어 효과의 악영향을 감소시킬 수 있는 반도체 구조에 관한 것이다. 상기 반도체 구조는 기판; 상기 기판 표면의 일부분 위에 형성된 금속층; 상기 기판의 표면의 일부분 위에 형성되고 상기 금속층의 표면을 덮는 절연층; 상기 절연층 표면의 일부분을 덮는 제1 반도체층; 및 상기 제1 반도체층 표면의 일부분을 덮는 제2 반도체층으로 이루어진다. 또한 상기 제2 반도체층의 제2 저항은 상기 제1 반도체층의 제1 저항보다 크다.

대표도 - 도2



특허청구의 범위

청구항 1

기관;

상기 기관 표면의 적어도 일부분 위에 형성된 금속층;

상기 기관 표면의 적어도 일부분 위에 형성되고 상기 금속층의 표면에 증착된 절연층;

상기 절연층 표면의 적어도 일부분을 덮고 제1 저항을 갖는 제1 반도체층; 및

상기 제1 반도체층 표면의 적어도 일부분을 덮고 제2 저항을 갖는 제2 반도체층;

으로 이루어지고, 상기 제2 반도체층의 제2 저항은 상기 제1 반도체층의 제1 저항보다 큰 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조.

청구항 2

제1항에 있어서, 상기 금속층은 알루미늄으로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조.

청구항 3

제1항에 있어서, 상기 제1 반도체층은 플라즈마 화학 기상 증착방법에 의해 형성되는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조.

청구항 4

제1항에 있어서, 상기 제2 반도체층은 플라즈마 화학 기상 증착방법에 의해 형성되는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조.

청구항 5

제1항에 있어서, 상기 반도체 구조는 OLED 디스플레이 장치의 IC 드라이버 내에 적용되는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조.

청구항 6

제1항에 있어서, 상기 제2 반도체층의 제2 저항은 상기 제1 반도체층의 제1 저항의 10^2 내지 10^9 배인 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조.

청구항 7

제1항에 있어서, 상기 제2 반도체층은 상기 제1 반도체층의 상부 측면을 덮는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조.

청구항 8

기관;

상기 기관 표면의 적어도 일부분 위에 형성된 게이트 전극 금속층;

상기 기관 표면의 적어도 일부분 위에 형성되고 상기 게이트 전극 금속층의 표면을 덮는 절연층;

상기 절연층 표면의 적어도 일부분을 덮고 제1 저항을 갖는 제1 반도체층;

상기 제1 반도체층 표면의 적어도 일부분을 덮고 제2 저항을 갖는 제2 반도체층;

제1 상부 표면과 제2 상부 표면을 가지고, 제2 반도체층 표면의 적어도 일부분을 덮는 고농도 불순물이 도핑된 반도체층;

상기 고농도 불순물이 도핑된 반도체층의 제1 상부 표면 위에 형성된 소스 전극 금속층; 및

상기 고농도 불순물이 도핑된 반도체층의 제2 상부 표면 위에 형성된 드레인 전극 금속층;

으로 이루어지고, 상기 제2 반도체층의 제2 저항은 상기 제1 반도체층의 제1 저항보다 큰 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 9

제8항에 있어서, 상기 게이트 전극 금속층은 알루미늄으로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 10

제8항에 있어서, 상기 소스 전극 금속층은 알루미늄으로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 11

제8항에 있어서, 상기 드레인 전극 금속층은 알루미늄으로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 12

제8항에 있어서, 상기 게이트 전극 금속층은 구리로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 13

제8항에 있어서, 상기 소스 전극 금속층은 구리로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 14

제8항에 있어서, 상기 드레인 전극 금속층은 구리로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 15

제8항에 있어서, 상기 게이트 전극 금속층은 몰리브덴-텅스텐 합금으로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 16

제8항에 있어서, 상기 소스 전극 금속층은 몰리브덴-텅스텐 합금으로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 17

제8항에 있어서, 상기 드레인 전극 금속층은 몰리브덴-텅스텐 합금으로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 18

제8항에 있어서, 상기 제1 반도체층은 플라즈마 화학 기상 증착방법에 의해 형성되는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 19

제8항에 있어서, 상기 제1 반도체층은 채널층인 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 20

제8항에 있어서, 상기 제2 반도체층은 플라즈마 화학 기상 증착방법을 통해 형성되는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 21

제8항에 있어서, 상기 제2 반도체층은 높은 저항을 갖는 보상층인 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 22

제8항에 있어서, 상기 트랜지스터는 OLED 디스플레이 장치의 IC 드라이버 내에 적용되는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 23

제8항에 있어서, 상기 고농도 불순물이 도핑된 반도체층의 캐리어 농도는 10^{14} atom/cm³ 내지 10^{19} atom/cm³ 범위인 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 24

제8항에 있어서, 상기 고농도 불순물이 도핑된 반도체층은 비결정 실리콘으로 이루어지는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 25

제8항에 있어서, 상기 제2 반도체층의 제2 저항은 상기 제1 반도체층의 제1 저항의 10^2 내지 10^9 배인 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

청구항 26

제8항에 있어서, 상기 제2 반도체층은 상기 제1 반도체층의 상부 측면을 덮는 것을 특징으로 하는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 발명의 분야
- <17> 본 발명은 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조에 관한 것으로, 보다 구체적으로 트랜지스터가 고채널 전기장(high channel electric field)을 가지는 작동 환경 하에서 작동된 후에도, 상기 반도체 구조를 가진 트랜지스터가 작동되는 경우 발생하는 핫-캐리어 효과의 악영향을 감소시킬 수 있는 반도체 구조에 관한 것이다.
- <18> 발명의 배경
- <19> 최근, 반도체 구조의 크기가 소형화되어, 반도체가 작동되는 경우 핫-캐리어 효과가 빈번하게 발생한다. 트랜지스터 채널층의 두 개의 터미널(terminal) 사이에서의 전압 강하가 매우 크게 발생하여 상기 채널층 내에서 움직이고 있는 전하 캐리어가 게이트 전극 절연층 및/또는 상기 게이트 전극 절연층과 채널층 사이의 접촉면 내로 주입되고, 그 결과 트랜지스터가 작동하는데 악영향을 미치는데, 이를 소위 핫-캐리어 효과라 한다. 일반적으로, 핫-캐리어 효과는 작은 크기의 채널층을 갖는 트랜지스터에 발생한다. 그러나 OLED 디스플레이 장치의 ICs 드라이버의 트랜지스터와 같이 일상적으로 적용되는 환경에서 요구하는 수준보다 더 큰 트랜지스터의 작동 전류가 요구된다면, 핫-캐리어 효과는 또한 일반 크기의 채널층을 가진 트랜지스터가 작동하는 경우에도 발생할 수 있다.
- <20> 트랜지스터가 작동하는 경우 발생하는 핫-캐리어 효과의 악영향을 최소화하기 위해서, 저농도 불순물이 도핑된

드레인 전극 구조(LDD 구조)를 갖는 트랜지스터가 제안되었는데, 이는 트랜지스터의 채널층 내에서 움직이는 전하 캐리어의 운동 에너지를 제한하기 위한 것이다. 저농도 불순물이 도핑된 드레인 전극 구조를 가진 트랜지스터가 도 1에 도시되어 있고, 여기서 트랜지스터(1)는 유리 기판(11), 게이트 전극 절연층(13), 채널층(14), 저농도 불순물이 도핑된 드레인 전극부(15), 고농도 불순물이 도핑된 드레인 전극부(16), 게이트 전극층(17) 및 소스 전극 금속층(source electrode metal layer)(도시되지 않음)을 포함하여 이루어진다. 채널층(14)과 고농도 불순물이 도핑된 전극부(16) 사이에 위치한 저농도 불순물이 도핑된 드레인 전극부(15)를 도핑(doping)함으로써, 채널층(14)의 두 개의 터미널 사이의 대부분의 전압 강하(voltage drop)가 높은 저항을 갖는 저농도 불순물이 도핑된 드레인 전극부(15)에 지정되고, 그리하여 고농도 불순물이 도핑된 드레인 전극부(16)와 소스 전극 금속층 사이의 전압 강하가 감소된다. 따라서 채널층(14) 내에서 움직이는 전하 캐리어의 에너지가 제한되고, 그리고 저농도 불순물이 도핑된 드레인 전극 구조를 갖는 트랜지스터에서 핫-캐리어 효과가 발생될 가능성이 줄어든다.

<21> 그러나 저농도 불순물이 도핑된 드레인 전극부(5)의 도핑 농도(doping concentration)가 고농도 불순물이 도핑된 드레인 전극부(16)의 도핑 농도보다 낮더라도, 저농도 불순물이 도핑된 드레인 전극부(15)의 도핑 농도가 채널층(14)의 도핑 농도보다 현저히 크기 때문에 트랜지스터가 핫-캐리어 효과로부터 완전한 상태에 있지 못하다. 이와 같이, "측면 채널 전압(lateral channel voltage)"의 감소, 즉 저농도 불순물이 도핑된 드레인 전극부(15)의 두 터미널 사이의 전압 강하는 제한적이다. 결과적으로, 핫-캐리어 효과는 트랜지스터가 장시간 작동되어진 후, 선행 기술인 고농도 불순물이 도핑된 드레인 전극 구조를 가진 트랜지스터 상에서 여전히 발생할 수 있다. 게다가, 1991년에 발표된 논문(Tomohisa Mizuno, Shizuo Sawada, Yishikazu Saitoh, and Takeshi Tanaka, IEEE TRANSACTION ON ELECTRON DEVICE, VOL. 38, NO. 3, MARCH 1991)과 도 1b에 도시된 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 가진 트랜지스터의 작동 시간에 따른 인가 전류 변화를 나타내는 개략적인 도면에 도시된 바와 같이, 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 가진 트랜지스터가 2000초 동안 $V_{gs}=3V$, $V_{ds}=6V$ 인 환경에서 작동된 후, 트랜지스터의 인가 전류는 초기값의 98%보다 낮아진다. 상기 트랜지스터의 인가 전류의 감소는 핫-캐리어 효과가 발생되어 트랜지스터 작동에 악영향을 미친다는 사실을 나타내는 것이다.

<22> 도 1a를 참조하면, 저농도 불순물이 도핑된 드레인 전극부(15)와 도핑 농도를 가진 채널층(14)이 수평 방향으로 배치되어 있고 서로 겹쳐 있지 않기 때문에, 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 가진 트랜지스터가 기판 표면의 많은 면적을 덮어야 한다. 또한 생산 과정에서 다수의 마스크(mask)와 이온 주입법 공정과 같이 비용이 많이 드는 제조 공정이 필요로 되기 때문에, 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 가진 트랜지스터의 생산 비용은 낮춰질 수 없고, 또한 생산 과정에서의 수율도 증가될 수 없다.

<23> 따라서, 트랜지스터의 작동에 있어 악영향을 미치는 핫-캐리어 효과를 최소화할 수 있을 뿐만 아니라, OLED 디스플레이 장치의 ICs 드라이버와 같이 높은 전류가 인가된 환경에 적용될 수 있도록 단순한 생산 공정을 가지는 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터가 제공될 것이 요구된다.

발명이 이루고자 하는 기술적 과제

<24> 본 발명의 목적은 반도체 구조를 제공하기 위한 것이다.

<25> 본 발명의 다른 목적은 핫-캐리어 효과의 발생이 적은 반도체 구조를 제공하기 위한 것이다.

<26> 본 발명의 또 다른 목적은 높은 전류가 인가된 환경 또는 높은 전압이 인가된 환경에서 작동된 후에도 트랜지스터가 작동하는 경우 발생하는 핫-캐리어 효과의 악영향의 최소화할 수 있는 트랜지스터를 제공하기 위한 것이다.

<27> 본 발명의 또 다른 목적은 트랜지스터가 고체 전계장 가지는 작동 환경 하에서 작동된 후에도 트랜지스터가 작동되는 경우 발생하는 핫-캐리어 효과의 악영향을 감소시킬 수 있는 반도체 구조를 제공하기 위한 것이다.

<28> 본 발명의 상기 및 기타의 목적들은 하기 설명되는 본 발명에 의하여 모두 달성될 수 있다.

발명의 구성 및 작용

<29> 발명의 요약

<30> 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조는 기판; 상기 기판의 적어도 일부분에 형성된 금속층; 상기 기판 표면의 적어도 일부분에 형성되고 상기 금속층의 표면을 덮는 절연층; 상기 절연층의 표면의 적어도

일부분을 덮고 제1 저항을 갖는 제1 반도체층; 및 상기 제1 반도체층의 표면의 적어도 일부분을 덮고 제2 저항을 갖는 제2 반도체층으로 이루어지고, 상기 제2 반도체층의 제2 저항은 상기 제1 반도체층의 제1 저항보다 크다.

<31> 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 기판; 상기 기판 표면의 적어도 일부분에 형성된 게이트 전극 금속층; 상기 기판 표면의 적어도 일부분에 형성되고 상기 게이트 전극 금속층의 표면을 덮는 절연층; 상기 절연층 표면의 적어도 일부분을 덮고 제1 저항을 갖는 제1 반도체층; 및 상기 제1 반도체층 표면의 적어도 일부분을 덮고 제2 저항을 갖는 제2 반도체층; 제1 상부 표면과 제2 상부 표면을 갖고 상기 제2 반도체층 표면의 적어도 일부분을 덮는 고농도 불순물이 도핑된 반도체층; 상기 고농도 불순물이 도핑된 반도체층의 제1 상부 표면에 형성된 소스 전극 금속층; 및 상기 고농도 불순물이 도핑된 반도체층의 제2 상부 표면에 형성된 드레인 전극 금속층으로 이루어지고, 상기 제2 반도체층의 제2 저항은 상기 제1 반도체층의 제1 저항보다 크다.

<32> 이와 같이, 낮은 저항을 갖는 제1 반도체층(즉, 낮은 저항을 갖는 채널층) 위에 높은 저항을 갖는 제2 반도체층(즉, 높은 저항을 갖는 보상층(compensation layer))을 형성함으로써, 드레인 전극 금속층과 소스 전극 금속층 사이의 대부분의 전압 강하(즉 드레인 전극/소스 전극 전압 강하)가 트랜지스터가 작동되는 경우 보상층에 지정된다. 다시 말하자면, 상기 드레인 전극/소스 전극 전압 강하의 매우 적은 부분만이 채널층에 지정된다. 결과적으로, 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터가 OLED 디스플레이 장치의 ICs 드라이버 내의 환경과 같이 높은 전류가 인가된 환경에서 오랜 시간동안 작동된 후에도, 트랜지스터의 채널층 내에서 움직이고 있는 전자들은 제한된 운동 에너지를 가질 수 있다. 이와 같이 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터가 높은 전류가 인가된 환경 또는 높은 전압이 인가된 환경에서 오랜 시간동안 작동된 후에도, 트랜지스터의 채널층에서 움직이는 전하 캐리어의 운동 에너지가 계속적으로 제한되고, 그리하여 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터 상에서 "핫-캐리어 효과"가 발생할 가능성이 최소화된다. 게다가, 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 수명은 유사한 작동 환경에서 작동되는 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 가진 트랜지스터의 수명보다 길다.

<33> 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조는 임의의 종류의 금속층을 가질 수 있고, 상기 금속층은 알루미늄, 알루미늄 합금, 몰리브덴, 몰리브덴-텅스텐 합금, 크롬, 구리, 니켈, 금, 은 혹은 티타늄으로 이루어지는 것이 바람직하다. 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조의 제1 반도체층은 임의의 방법을 통해 형성될 수 있지만, 플라즈마 화학 기상 증착방법(plasma-enhanced chemical vapor deposition method)(PECVD) 또는 다른 화학 기상 증착방법(CVD)을 통해 형성되는 것이 바람직하다. 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 반도체층의 제2 반도체층은 임의의 방법을 통해 형성될 수 있지만, 플라즈마 화학 기상 증착방법(PECVD) 또는 다른 화학 기상 증착방법(CVD)을 통해 형성되는 것이 바람직하다. 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조의 제2 반도체층은 임의의 범위의 제2 저항을 가질 수 있으나, 상기 제2 반도체층의 제2 저항은 상기 제1 반도체층의 제1 저항보다 10^2 내지 10^9 배인 것이 바람직하고, 상기 제2 반도체층의 제2 저항은 상기 제1 반도체층의 제1 저항보다 10^5 배인 것이 가장 바람직하다. 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 반도체 구조는 임의의 종류의 IC에 적용될 수 있으나, OLED 디스플레이 장치의 IC 드라이버 내부에 적용되는 것이 바람직하다.

<34> 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 임의의 종류의 게이트 전극 금속층을 가질 수 있고, 상기 게이트 전극 금속층은 알루미늄, 알루미늄 합금, 몰리브덴, 몰리브덴-텅스텐 합금, 크롬, 구리, 니켈, 금, 은 혹은 티타늄으로 이루어지는 것이 바람직하다. 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 임의의 종류의 소스 전극 금속층을 가질 수 있으나, 상기 소스 전극 금속층은 알루미늄, 알루미늄 합금, 몰리브덴, 몰리브덴-텅스텐 합금, 크롬, 구리, 니켈, 금, 은 혹은 티타늄으로 이루어지는 것이 바람직하다. 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 임의의 종류의 드레인 전극 금속층을 가질 수 있으나, 상기 드레인 전극 금속층은 알루미늄, 알루미늄 합금, 몰리브덴, 크롬, 구리, 몰리브덴-텅스텐 합금, 니켈, 금, 은 혹은 티타늄으로 이루어지는 것이 바람직하다. 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 제1 반도체층은 임의의 종류의 방법을 통해 형성될 수 있으나, 상기 제1 반도체층은 플라즈마 화학 기상 증착방법(PECVD) 또는 다른 화학 기상 증착방법(CVD)을 통해 제조되는 것이 바람직하다. 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 임의의 종류의 IC에 적용될 수 있지만, OLED 디스플레이 장치의 IC 드라이버 내부에 적용되는 것이 바람직하다. 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 제2 반도체층은 임의의 종류의 방법을 통해 형성될 수 있고, 플라즈마 화학 기상 증착방법(PECVD) 또는 다른 화학 기

상 증착방법(CVD)을 통해 제조되는 것이 바람직하다. 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 임의 종류의 고농도 불순물이 도핑된 반도체층을 가질 수 있고, 상기 고농도 불순물이 도핑된 반도체층은 비결정 실리콘, 단결정 실리콘 혹은 다결정 실리콘으로 이루어지는 것이 바람직하다. 상기 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 제2 반도체층은 임의 범위의 제2 저항을 가질 수 있고, 상기 제2 반도체층의 제2 저항은 상기 제1 반도체층의 제1 저항보다 10^2 에서 10^9 배인 것이 바람직하고, 상기 제2 반도체층의 제2 저항은 제1 반도체층의 제1 저항보다 10^5 배인 것이 가장 바람직하다.

<35> 본 발명의 상기 및 기타의 목적들은 첨부된 도면을 참고로 하기 상세한 설명에 의하여 보다 더 명확해질 것이다.

<36> 발명의 바람직한 구체예에 대한 상세한 설명

<37> 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 개략적인 도면인 도 2를 참조하면, 트랜지스터(2)는 기판(21), 게이트 전극 금속층(22), 게이트 전극 절연층(23), 채널층(24), 높은 저항을 갖는 보상층(25), 제1 고농도 불순물이 도핑된 반도체층(261), 제2 고농도 불순물이 도핑된 반도체층(262), 소스 전극 금속층(27), 및 드레인 전극 금속층(28)으로 이루어지고, 상기 게이트 전극 금속층(22), 소스 전극 금속층(27) 및 드레인 전극 금속층(28)은 알루미늄으로 이루어져 있다. 또한, 채널층(24)과 채널층(24)의 상부 표면에 형성된 보상층(25)은 플라즈마 화학 기상 증착방법(PECVD)를 통해 형성된다. 또한, 이 두 개의 층에 다른 농도의 불순물을 도핑함으로써, 보상층(25)의 저항은 채널층(24)의 저항보다 크도록 조절된다. 일반적으로, 보상층(25)의 저항은 채널층(24)의 저항의 10^2 내지 10^9 배이고, 상기 보상층(25)의 저항은 채널층(24)의 저항의 10^5 배인 것이 바람직하다. 또한, 제1 고농도 불순물이 도핑된 반도체층(261)과 제2 고농도 불순물이 도핑된 반도체층(262)는 비결정 실리콘으로 이루어지고, 고농도 불순물이 도핑된 반도체층의 캐리어 농도는 10^{14} atom/cm² 내지 10^{19} atom/cm²이다.

<38> 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터(2)가 "작동 상태"에 있는 경우, 드레인 전극 금속층(28)과 소스 전극 금속층(27) 사이의 대부분의 전압 강하, 즉 드레인 전극/소스 전극 전압 강하는 높은 저항을 갖는 보상층(25)에 지정된다. 결과적으로 상기 드레인 전극/소스 전극 전압 강하의 매우 적은 부분이 보상층(25) 아래의 있는 채널층(24)에 지정된다. 그 결과, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터(2)가 OLED 디스플레이 장치의 ICs 드라이버 내에서 작동되는 것과 같이 높은 전류가 인가된 환경에서 작동되는 경우에도, 상기 트랜지스터(2)의 채널층(24) 내를 움직이는 전자의 운동 에너지는 계속적으로 제한되는데, 이는 채널층(24)을 움직이는 전자의 운동에너지가 채널층(24)의 두 개의 터미널 사이의 전압 강하에 비례하기 때문이다. 그리하여, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터(2)가 높은 전류가 인가된 환경 또는 높은 전압이 인가된 환경에서 오랜 시간동안 작동된 후에도, 트랜지스터의 채널층 내를 움직이는 전하 캐리어, 즉 전자의 운동 에너지는 계속적으로 제한되고, 그리하여 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터 상에 "핫-캐리어 효과"가 발생할 수 있는 가능성을 최소화한다. 그 결과, 높은 전류가 인가된 환경 또는 높은 전압이 인가된 환경에서 작동된 후에도, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 수명은 유사한 환경에서 작동하는 선행 기술인 저농도 불순물을 도핑한 드레인 전극 구조를 갖는 트랜지스터의 수명보다 길다.

<39> 또한, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터 내에 보상층(25)이 채널층(24)의 상부 표면 위에 형성되고, 그 아래의 채널층(24)과 자동-정렬(self-aligned)되어, 보상층(25)은 기판 표면의 어떠한 부분도 덮지 않는다. 그 대신, 보상층은 채널층(24)의 상부 표면의 적어도 일부분을 덮는다. 따라서, 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 갖는 트랜지스터와 같이 낮은 핫-캐리어 효과 특성을 갖는 종래의 트랜지스터와 비교하여 볼 때, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 단지 상기 기판 표면의 일부분만을 차지한다. 게다가, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 생산 공정은 이온 주입법 공정(ion implantation process)이나 도펀트 활성화 열처리 공정(dopant activation annealing process)과 같이 비용이 많이 드는 공정을 포함하지 않고, 전체 생산 공정에서 필요로 되는 다수의 마스크 또한 적게 요구되기 때문에, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 생산 비용은 선행 기술인 저농도 불순물이 포함된 드레인 전극 구조를 갖는 트랜지스터에 비하여 비용이 훨씬 적게 든다.

- <40> 도 3a 및 도 3b를 참조하면, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 생산 공정은 하기의 단계로 이루어진다:
- <41> 단계 (a) : 유리 기판(21)을 준비하고;
- <42> 단계 (b) : 스퍼터링 증착방법(sputtering deposition method)과 기상 증착방법을 통해 유리 기판(21)의 표면 위에 알루미늄층을 형성하고, 포토리소그래피(photolithography) 공정에 의해 게이트 전극 금속층(22)의 패턴(pattern)을 한정하고, 그리고 에칭(etching) 공정에 의해 게이트 전극 금속층(22)의 패턴을 형성하고;
- <43> 단계 (c) : 게이트 전극 금속층(22)과 유리 기판(21)의 표면 위에 플라즈마 화학 기상 증착방법(PECVD)을 통해 게이트 전극 절연층(23)을 형성하고; 플라즈마 화학 기상 증착방법(PECVD)을 통해 게이트 전극 절연층(23)의 표면 위에 채널층(24)을 형성하고; 채널층(24)의 저항보다 보상층(25)의 저항을 더 크게 하기 위해, 채널층을 형성하는 플라즈마 화학 기상 증착방법(PECVD)과 다른 공정 변수를 갖는 플라즈마 화학 기상 증착방법(PECVD)을 통해 상기 채널층의 표면 위에 보상층(25)을 형성하고; 플라즈마 화학 기상 증착방법(PECVD)을 통해 보상층(25)의 표면 위에 고농도 불순물이 도핑된 반도체층(26)을 형성하고;
- <44> 단계 (d) : 스퍼터링 증착방법과 기상 증착방법을 통해 고농도 불순물이 도핑된 반도체층(26)의 표면 위에 알루미늄층을 형성하고, 포토리소그래피 공정에 의해 소스 전극 금속층(27)과 드레인 전극 금속층(28)의 패턴을 한정하고, 그리고 에칭 공정에 의해 소스 전극 금속층(27)과 드레인 전극 금속층(28)의 패턴을 형성하고;
- <45> 단계 (e) : 상기 포토리소그래피 공정에 의해 트랜지스터의 활성 영역의 패턴을 한정하고, 그리고 에칭 공정에 의해 트랜지스터의 활성 영역의 패턴을 형성하고;
- <46> 단계 (f) : 보상층(25) 표면 위에 제1 고농도 불순물이 도핑된 반도체층(261)과 제2 고농도 불순물이 도핑된 반도체층(262)을 형성하기 위해서 에칭 공정에 의해 소스 전극 금속층(27)과 드레인 전극 금속층(28) 사이의 고농도 불순물이 도핑된 반도체층(26)을 제거하고;
- <47> 단계 (g) : 제1 고농도 불순물이 도핑된 반도체층(261)과 소스 전극 금속층(27) 사이의 옴 접촉(ohmic contact)과 제2 고농도 불순물이 도핑된 반도체층(262)과 드레인 전극 금속층(28) 사이의 옴 접촉을 향상시키기 위해서 퍼네이스(furnace) 안에서 소결 공정(sintering process)을 실행한다.
- <48> 도 4에서 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 작동 시간에 대한 전류 변화를 나타내는 개략적인 도면이다. 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터가 작동하는 동안, 트랜지스터의 게이트 전극/소스 전극 전압 강하(V_{gs})는 20V이고 트랜지스터의 드레인 전극/소스 전극 전압 강하(V_{ds})는 80V이다. 도 4에 도시된 바와 같이, 이러한 극한 환경에서 작동되는 경우에도, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 인가 전류는 트랜지스터의 초기값의 98%보다 더 큰 수치를 유지할 수 있다. 특히 상기 트랜지스터가 2000 초 이상의 시간동안 작동된 후에도, 트랜지스터의 전류는 10000 초 이상 작동된 후 마지막 측정시까지 트랜지스터의 초기값의 98%보다 더 큰 수치를 꾸준히 유지할 수 있다. 따라서, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 극한 환경에서 오랜 시간(10000 초 이상) 작동된 후에도 상기 트랜지스터의 작동 변수는 그 변수들의 초기값과 유사한 수치로 유지된다. 다시 말하자면, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 트랜지스터의 작동 중에 발생하는 핫-캐리어 효과의 악영향을 최소화하는데 있어서 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 갖는 트랜지스터보다 우수하다.
- <49> 도 5a는 게이트 전극 전압과 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 드레인 전극 전류 사이의 관계를 트랜지스터의 작동 시간에 따라 나타낸 개략적인 도면이고, 상기 트랜지스터의 상기 게이트 전극/소스 전극 전압 강하(V_{gs})는 20V이고, 상기 트랜지스터의 드레인 전극/소스 전극 전압 강하(V_{ds})는 80V이다. 또한, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터가 그 작동 변수에 대하여 측정되는 경우, 상기 게이트 전극/소스 전극 전압 강하(V_{gs})는 5.1V로 감소된다. 도 5a에서 도시된 바와 같이, 트랜지스터의 각기 다른 작동 시간에 따른 트랜지스터의 게이트 전극 전압과 드레인 전극 전류 사이의 관계들은 서로 유사하다. 이것은 상기 트랜지스터의 게이트 전극 전압과 드레인 전극 전류 사이의 관계와 같이 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 작동 변수들이 상기 트랜지스터가 오랜 시간 작동된 후에도 핫-캐리어 효과의 발생에 영향을 받지 않는다는 증거이다.

- <50> 도 5b는 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 게이트 전극 전압이 2V에서 10V 사이의 범위에 해당하는 도 5a의 일부분을 도시한 확대도이다. 도 5b에서 도시된 바와 같이, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터가 오랜 시간동안 작동된 후에도 상기 트랜지스터의 문턱 전압(threshold voltage)(V_{th})은 그리 크게 증가하지 않는다. 일반적으로, 트랜지스터 내에서 핫-캐리어 효과가 발생하는 경우, 상기 트랜지스터의 채널층 내에서 움직이고 있는 전하 캐리어가 게이트 전극 절연층 및/또는 상기 게이트 전극 절연층과 채널층 사이의 접촉면 사이에 주입될 것이고, 그 결과 트랜지스터의 문턱 전압과 트랜지스터의 작동에 대한 악영향은 증가한다. 결과적으로, 본 발명의 바람직한 제1 구체예에 따른 트랜지스터가 극한 환경($V_{gs}=20V$, $V_{ds}=80V$)에서 오랜 시간(10000 초 이상)동안 작동된 후에도, 본 발명의 바람직한 제1 구체예에 따른 트랜지스터는 작동 중에 발생하는 핫-캐리어 효과의 악영향을 최소화할 수 있고, 그리하여 문턱 전압을 초기값과 유사한 수치로 유지할 수 있다. 이러한 유리한 특징으로, 낮은 핫-캐리어 효과 특성을 갖는 상기 트랜지스터는 OLED 디스플레이 장치의 ICs 드라이버와 같이 높은 전류가 인가되는 환경에 적용되는 경우에 적합하다.
- <51> 본 발명의 바람직한 제2 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 개략적인 도면은 도 2에 도시된 것과 유사하다. 즉, 본 발명의 바람직한 제2 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 구조는 게이트 전극 금속층(22), 소스 전극 금속층(27) 및 드레인 전극 금속층(28)의 재료를 달리한 것을 제외하고는 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 구조와 유사하다. 본 발명의 바람직한 제2 구체예에 있어서, 게이트 전극 금속층(22), 소스 전극 금속층(27) 및 드레인 전극 금속층(28)은 모두 구리로 이루어져 있다.
- <52> 상기에서 설명한 바와 같이, 본 발명의 상기와 같은 두 개의 바람직한 구체예에 따른 트랜지스터의 구조는 서로 유사하기 때문에, 본 발명의 바람직한 제2 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터가 높은 전류가 인가된 환경 또는 높은 전압이 인가된 환경에서 오랜 시간동안 작동된 후에도, 트랜지스터의 채널층 내를 움직이는 전하 캐리어의 운동 에너지는 계속적으로 제한되고, 상기 트랜지스터 상에 "핫-캐리어 효과"가 발생할 수 있는 가능성을 최소화한다. 그 결과, 높은 전류가 인가된 환경 또는 높은 전압이 인가된 환경에서 작동된 후에도, 본 발명의 바람직한 제2 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 수명은 유사한 환경에서 작동되는 선행 기술인 저농도 불순물을 도핑한 드레인 전극 구조를 갖는 트랜지스터의 수명보다 길다.
- <53> 또한, 본 바람직한 구체예에 따른 트랜지스터 내에 높은 저항을 갖는 보상층(25)이 채널층(24)의 상부 표면 위에 형성되고, 그 아래의 채널층(24)과 자동-정렬(self-aligned)되어, 보상층(25)은 기판 표면의 어느 부분도 덮지 않는다. 그 대신, 보상층은 채널층(24)의 상부 표면의 적어도 일부분을 덮는다. 따라서, 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 갖는 트랜지스터와 같은 낮은 핫-캐리어 효과 특성을 갖는 종래의 트랜지스터와 비교하여 볼 때, 본 발명의 바람직한 제2 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 단지 상기 기판 표면의 일부분만을 차지한다. 게다가, 본 발명의 바람직한 제2 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 생산 공정은 이온 주입법 공정이나 도펀트 활성화 열처리 공정과 같이 비용이 많이 드는 공정을 포함하지 않고, 전체 생산 공정에서 필요로 되는 다수의 마스크 또한 적게 요구되기 때문에, 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 생산 비용은 선행 기술인 저농도 불순물이 포함된 드레인 전극 구조를 갖는 트랜지스터에 비하여 비용이 훨씬 적게 든다.
- <54> 도 3a 및 도 3b를 참조하면, 본 발명의 바람직한 제2 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 생산 공정은 하기의 단계로 이루어진다:
- <55> 단계 (a) : 유리 기판(21)을 준비하고;
- <56> 단계 (b) : 스퍼터링 증착방법 또는 기상 증착방법을 통해 유리 기판(21)의 표면 위에 구리층을 형성하고, 포토 리소그래피 공정에 의해 게이트 전극 금속층(22)의 패턴을 한정하고, 그리고 에칭 공정에 의해 게이트 전극 금속층(22)의 패턴을 형성하고;
- <57> 단계 (c) : 게이트 전극 금속층(22)과 유리 기판(21)의 표면 위에 플라즈마 화학 기상 증착방법(PECVD)을 통해 게이트 전극 절연층(23)을 형성하고; 플라즈마 화학 기상 증착방법(PECVD)을 통해 게이트 전극 절연층(23)의 표면 위에 채널층(24)을 형성하고; 채널층(24)의 저항보다 보상층(25)의 저항을 더 크게 하기 위해, 채널층을 형성하는 플라즈마 화학 기상 증착방법(PECVD)과 다른 공정 변수를 갖는 플라즈마 화학 기상 증착방법(PECVD)을 통해 상기 채널층의 표면 위에 보상층(25)을 형성하고; 플라즈마 화학 기상 증착방법(PECVD)을 통해 보상층(2

5)의 표면 위에 고농도 불순물이 도핑된 반도체층(26)을 형성하고;

- <58> 단계 (d) : 스퍼터링 증착방법 또는 기상 증착방법을 통해 고농도 불순물이 도핑된 반도체층(26)의 표면 위에 구리층을 형성하고, 포토리소그래피 공정에 의해 소스 전극 금속층(27)과 드레인 전극 금속층(28)의 패턴을 한정하고, 그리고 에칭 공정에 의해 소스 전극 금속층(27)과 드레인 전극 금속층(28)의 패턴을 형성하고;
- <59> 단계 (e) : 상기 포토리소그래피 공정에 의해 트랜지스터의 활성 영역의 패턴을 한정하고, 그리고 에칭 공정에 의해 트랜지스터의 활성 영역의 패턴을 형성하고;
- <60> 단계 (f) : 보상층(25) 표면 위에 제1 고농도 불순물이 도핑된 반도체층(261)과 제2 고농도 불순물이 도핑된 반도체층(262)을 형성하기 위해서 에칭 공정에 의해 소스 전극 금속층(27)과 드레인 전극 금속층(28) 사이의 고농도 불순물이 도핑된 반도체층(26)을 제거하고;
- <61> 단계 (g) : 제1 고농도 불순물이 도핑된 반도체층(261)과 소스 전극 금속층(27) 사이의 옴 접촉과 제2 고농도 불순물이 도핑된 반도체층(262)과 드레인 전극 금속층(28) 사이의 옴 접촉을 향상시키기 위해서 퍼네이스(furnace) 안에서 소결 공정을 실행한다.
- <62> 본 발명의 바람직한 제3 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 개략적인 도면은 도 2에 도시된 것과 유사하다. 즉, 본 발명의 바람직한 제3 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 구조는 게이트 전극 금속층(22), 소스 전극 금속층(27) 및 드레인 전극 금속층(28)의 재료를 달리한 것을 제외하고는 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 구조와 유사하다. 본 발명의 바람직한 제3 구체예에 있어서, 게이트 전극 금속층(22), 소스 전극 금속층(27), 및 드레인 전극 금속층(28)은 알루미늄이 아닌 모두 폴리브텐-텅스텐 합금으로 이루어진다.
- <63> 상기에서 설명한 바와 같이, 본 발명의 바람직한 제3 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 구조는 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 구조와 서로 유사하기 때문에, 상기 트랜지스터가 높은 전류가 인가된 환경 또는 높은 전압이 인가된 환경에서 오랜 시간 동안 작동된 후에도, 트랜지스터의 채널층 내를 움직이는 전하 캐리어의 운동 에너지는 계속적으로 제한되고, 상기 트랜지스터 상에 "핫-캐리어 효과"가 발생될 수 있는 가능성을 최소화한다. 따라서, 높은 전류가 인가된 환경 또는 높은 전압이 인가된 환경에서 작동된 후에도, 본 발명의 바람직한 제3 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 수명은 유사한 환경에서 작동되는 선행 기술인 저농도 불순물을 도핑한 드레인 전극 구조를 갖는 트랜지스터의 수명보다 길다.
- <64> 또한, 본 바람직한 구체예에 따른 트랜지스터 내에 높은 저항을 갖는 보상층(25)이 채널층(24)의 상부 표면 위에 형성되고, 그 아래의 채널층(24)과 자동-정렬(self-aligned)되어, 보상층(25)은 기판 표면의 어느 부분도 덮지 않는다. 그 대신, 보상층은 채널층(24)의 상부 표면의 적어도 일부분을 덮는다. 따라서, 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 갖는 트랜지스터와 같은 낮은 핫-캐리어 효과 특성을 갖는 종래의 트랜지스터와 비교하여 볼 때, 본 발명의 바람직한 제3 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터는 단지 상기 기판 표면의 일부분만을 차지한다. 게다가, 본 발명의 바람직한 제3 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 생산 공정은 이온 주입법 공정이나 도펀트 활성화 열처리 공정과 같이 비용이 많이 드는 공정을 포함하지 않고, 전체 생산 공정에서 필요로 되는 다수의 마스크 또한 적게 요구되어, 본 발명의 바람직한 제3 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 생산 비용은 선행 기술인 저농도 불순물이 포함된 드레인 전극 구조를 갖는 트랜지스터에 비하여 훨씬 적게 든다.
- <65> 도 3a 및 도 3b를 다시 참조하면, 본 발명의 바람직한 제3 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 생산 공정은 하기의 단계로 이루어진다:
- <66> 단계 (a) : 유리 기판(21)을 준비하고;
- <67> 단계 (b) : 스퍼터링 증착방법 또는 기상 증착방법을 통해 유리 기판(21)의 표면 위에 폴리브텐-텅스텐 합금층을 형성하고, 포토리소그래피 공정에 의해 게이트 전극 금속층(22)의 패턴을 한정하고, 그리고 에칭 공정에 의해 게이트 전극 금속층(22)의 패턴을 형성하고;
- <68> 단계 (c) : 게이트 전극 금속층(22)과 유리 기판(21)의 표면 위에 플라즈마 화학 기상 증착방법(PECVD)을 통해 게이트 전극 절연층(23)을 형성하고; 플라즈마 화학 기상 증착방법(PECVD)을 통해 게이트 전극 절연층(23)의 표면 위에 채널층(24)을 형성하고; 채널층(24)의 저항보다 보상층(25)의 저항을 더 크게 하기 위해, 채널층을 형성하는 플라즈마 화학 기상 증착방법(PECVD)과 다른 공정 변수를 갖는 플라즈마 화학 기상 증착방법(PECVD)을

통해 상기 채널층의 표면 위에 보상층(25)을 형성하고; 플라즈마 화학 기상 증착방법(PECVD)을 통해 보상층(25)의 표면 위에 고농도 불순물이 도핑된 반도체층(26)을 형성하고;

- <69> 단계 (d) : 스퍼터링 증착방법 또는 기상 증착방법을 통해 고농도 불순물이 도핑된 반도체층(26)의 표면 위에 몰리브덴-텅스텐 합금층을 형성하고, 포토리소그래피 공정에 의해 소스 전극 금속층(27)과 드레인 전극 금속층(28)의 패턴을 한정하고, 그리고 에칭 공정에 의해 소스 전극 금속층(27)과 드레인 전극 금속층(28)의 패턴을 형성하고;
- <70> 단계 (e) : 상기 포토리소그래피 공정에 의해 트랜지스터의 활성 영역의 패턴을 한정하고, 그리고 에칭 공정에 의해 트랜지스터의 활성 영역의 패턴을 형성하고;
- <71> 단계 (f) : 보상층(25) 표면 위에 제1 고농도 불순물이 도핑된 반도체층(261)과 제2 고농도 불순물이 도핑된 반도체층(262)을 형성하기 위해서 에칭 공정에 의해 소스 전극 금속층(27)과 드레인 전극 금속층(28) 사이의 고농도 불순물이 도핑된 반도체층(26)을 제거하고;
- <72> 단계 (g) : 제1 고농도 불순물이 도핑된 반도체층(261)과 소스 전극 금속층(27) 사이의 옴 접촉과 제2 고농도 불순물이 도핑된 반도체층(262)과 드레인 전극 금속층(28) 사이의 옴 접촉을 향상시키기 위해서 퍼네이스(furnace) 안에서 소결 공정을 실행한다.
- <73> 요약하자면, 낮은 저항을 갖는 제1 반도체층(즉, 낮은 저항을 갖는 채널층) 위에 높은 저항을 갖는 제2 반도체층(즉, 높은 저항을 갖는 보상층)을 형성함으로써, 드레인 전극 금속층과 소스 전극 금속층 사이의 대부분의 전압 강하(즉 드레인 전극/소스 전극 전압 강하)가 트랜지스터가 작동되는 경우 보상층에 지정된다. 다시 말하자면, 상기 드레인 전극/소스 전극 전압 강하의 매우 적은 부분만이 채널층에 지정된다. 결과적으로, 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터가 OLED 디스플레이 장치의 ICs 드라이버에서와 같이 높은 전류가 인가된 환경에서 오랜 시간동안 작동된 후에도, 트랜지스터의 채널층 내에서 움직이고 있는 전자들은 제한된 운동 에너지를 가질 수 있다. 이와 같이 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터가 높은 전류가 인가된 환경 또는 높은 전압이 인가된 환경에서 오랜 시간동안 작동된 후에도, 트랜지스터의 채널층에서 움직이는 전하 캐리어의 운동 에너지가 계속적으로 제한되고, 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터 상에서 "핫-캐리어 효과"가 발생할 가능성이 최소화된다. 게다가, 본 발명의 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 수명이 유사한 작동 환경에서 작동되는 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 가진 트랜지스터의 수명보다 길다.

발명의 효과

- <74> 본 발명은 트랜지스터가 높은 전류가 인가된 환경 또는 높은 전압이 인가된 환경에서 작동된 후에도 트랜지스터가 작동하는 경우에 발생하는 핫-캐리어 효과의 악영향의 최소화할 수 있는 반도체 구조 및 트랜지스터를 제공하는 효과를 갖는다.
- <75> 본 발명이 그 바람직한 구체예와 관련하여 설명되었지만, 청구범위에 청구된 바와 같이 본 발명의 보호범위를 벗어나지 않고 다른 여러 가지 변형이나 변경이 실시될 수 있다는 것을 이해해야 할 것이다.

도면의 간단한 설명

- <1> 제1a도는 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 갖는 트랜지스터의 개략적인 도면이다.
- <2> 제1b도는 선행 기술인 저농도 불순물이 도핑된 드레인 전극 구조를 갖는 트랜지스터의 작동 시간에 따른 인가 전류의 변화를 나타내는 개략적인 도면이다.
- <3> 제2도는 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 개략적인 도면이다.
- <4> 제3a도 및 제3b도는 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 생산 과정을 나타내는 개략적인 도면이다.
- <5> 제4도는 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 작동 시간에 대한 인가 전류의 변화를 나타내는 개략적인 도면이다.
- <6> 제5a도는 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 각기 다른 작

동 시간에 대한 게이트 전극 전압과 드레인 전극 전류 사이의 관계들을 나타내는 개략적인 도면이다.

<7> 제5b도는 본 발명의 바람직한 제1 구체예에 따른 낮은 핫-캐리어 효과 특성을 갖는 트랜지스터의 게이트 전극 전압이 2V에서 10V의 범위인 제5a도 부분을 확대한 도면이다.

<8> * 도면의 주요부호에 대한 간단한 설명 *

<9> 2 : 트랜지스터 21 : 기관

<10> 22 : 게이트 전극 금속층 23: 게이트 전극 절연층

<11> 24 : 채널층 25 : 보상층

<12> 26 : 고농도 불순물이 도핑된 반도체층 27 : 소스 전극 금속층

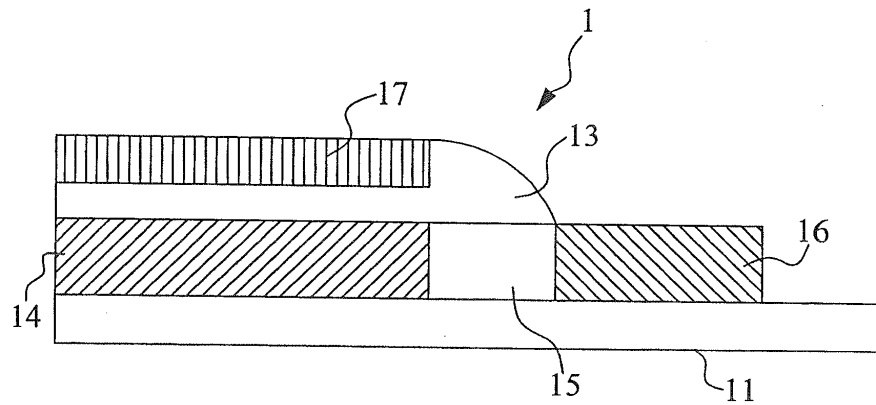
<13> 28 : 드레인 전극 금속층

<14> 261 : 제1 고농도 불순물이 도핑된 반도체층

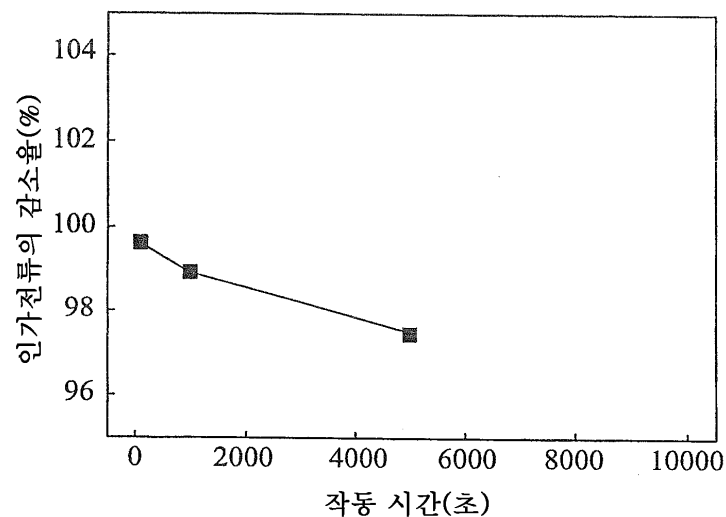
<15> 262 : 제2 고농도 불순물이 도핑된 반도체층

도면

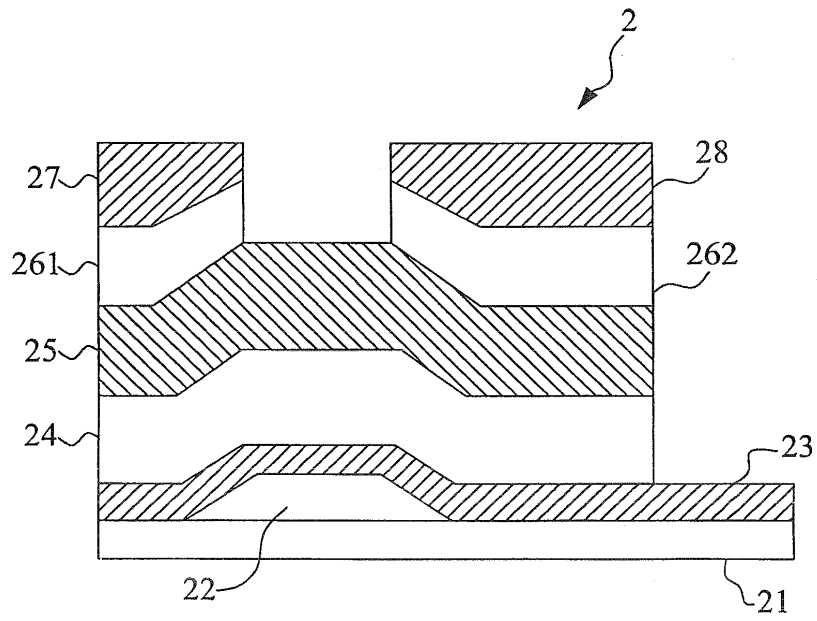
도면 1a



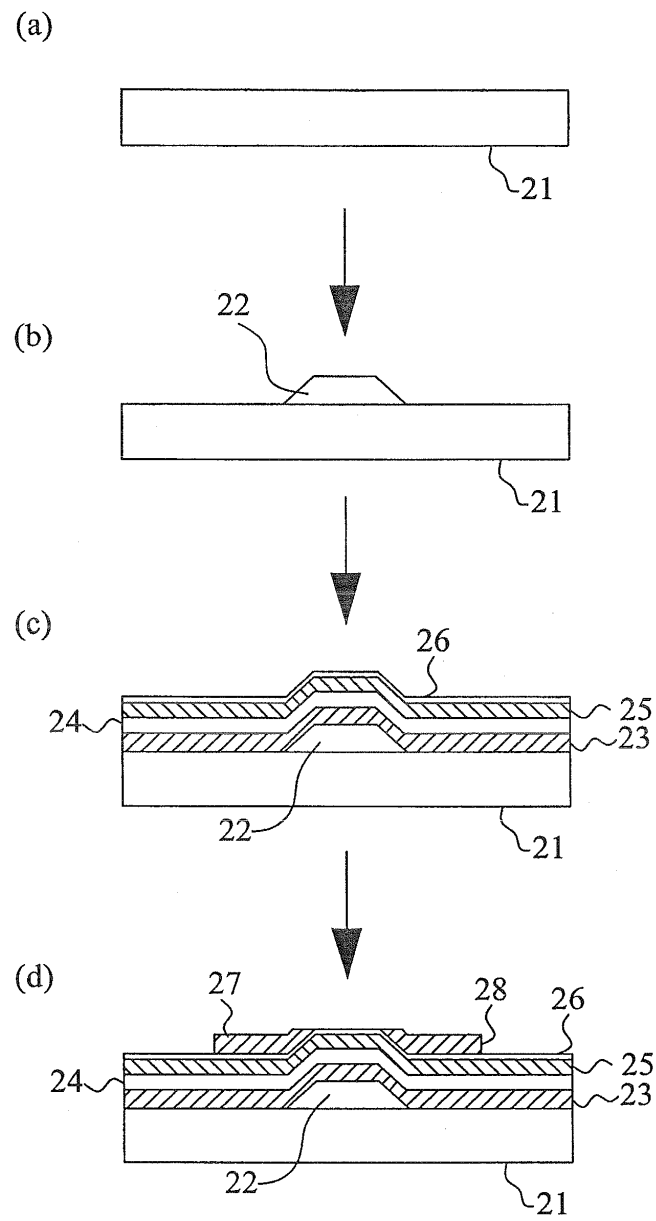
도면 1b



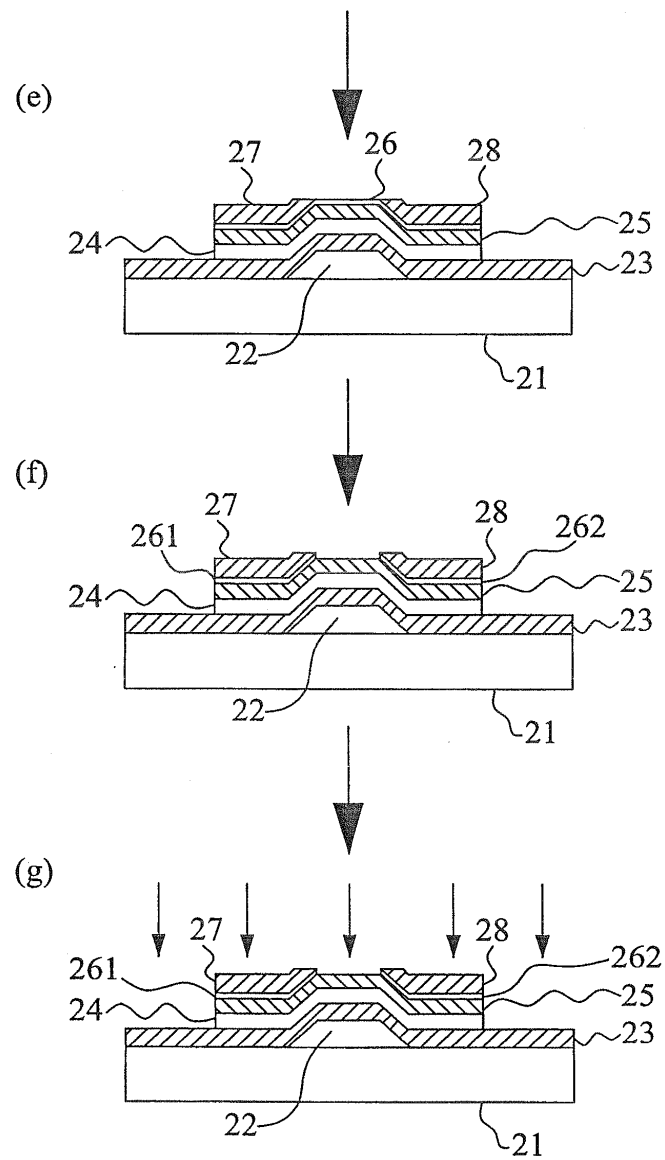
도면2



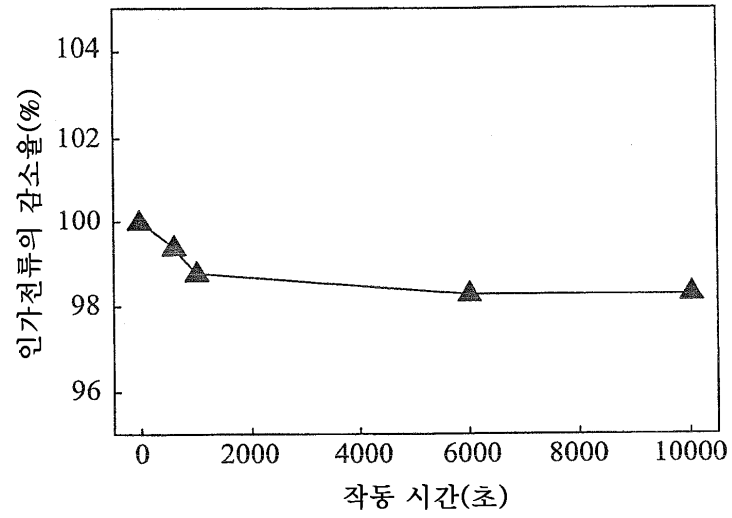
도면3a



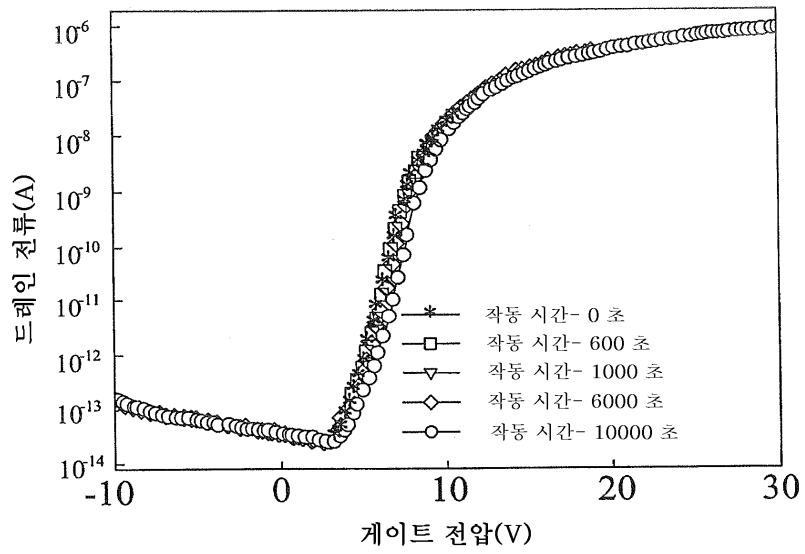
도면3b



도면4



도면5a



도면5b

