



(51) 국제특허분류:

H01L 29/739 (2006.01)

H01L 29/423 (2006.01)

H01L 29/66 (2006.01)

H01L 29/51 (2006.01)

(21) 국제출원번호:

PCT/KR2023/018354

(22) 국제출원일:

2023년 11월 15일 (15.11.2023)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2022-0153487 2022년 11월 16일 (16.11.2022) KR

(71) 출원인: 한양대학교 산학협력단 (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) [KR/KR]; 04763 서울특별시 성동구 왕십리로 222, Seoul (KR).

(72) 발명자: 홍진표 (HONG, Jin Pyo); 04743 서울특별시 성동구 독서당로 344, 111동 1203호, Seoul (KR). 박재근 (PARK, Jea Gun); 04763 서울특별시 성동구 왕십리로 222 HIT 503호, Seoul (KR). 김민원 (KIM, Min Won); 04763 서울특별시 성동구 왕십리로 222 HIT 503호, Seoul (KR). 김지훈 (KIM, Ji Hun); 04763 서울특별시 성동구 왕십리로 222 HIT 503호, Seoul (KR). 김현준

(KIM, Hyeon Jun); 04763 서울특별시 성동구 왕십리로 222, 공업센터 302호, Seoul (KR).

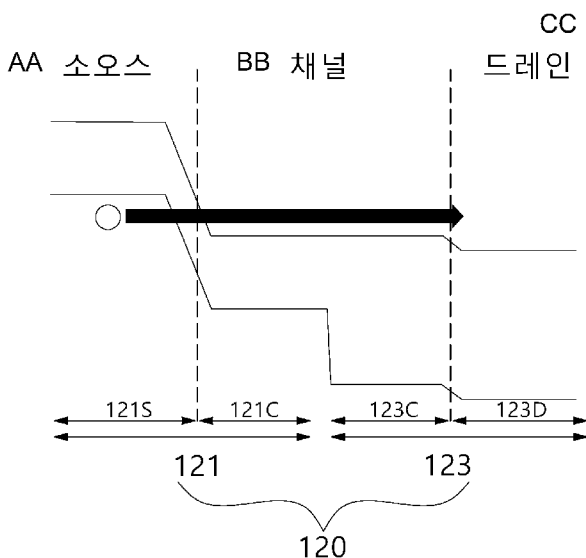
(74) 대리인: 특허법인 이상 (E-SANG PATENT & TRADE-MARK LAW FIRM); 04763 서울특별시 서초구 바우피로 188, 3층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,

(54) Title: TUNNELING FIELD-EFFECT TRANSISTOR

(54) 발명의 명칭: 터널링 전계 효과 트랜지스터



AA ... Source
BB ... Channel
CC ... Drain

(57) Abstract: A tunneling field-effect transistor is provided. The tunneling field-effect transistor comprises a semiconductor layer, which is disposed on a substrate and has a first semiconductor region and a second semiconductor region. The band gap of the first semiconductor region is smaller than that of the second semiconductor region, and the work function of the first semiconductor region is greater than the work function of the second semiconductor region. A gate electrode overlapping the semiconductor layer is disposed on or under the semiconductor layer. A source electrode and a drain electrode are connected to the first semiconductor region and the second semiconductor region, respectively. The first semiconductor region has a source region of a first conductivity type in an area adjacent to the source electrode, and a first channel region overlapping the gate electrode, and the second semiconductor region has a drain region of a second conductivity type in an area adjacent to the drain electrode, and a second channel region overlapping the gate electrode. In an on-state, the conduction band potential energy of the first channel region is greater than or equal to the conduction band potential energy of the second channel region.

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 터널링 전계 효과 트랜지스터를 제공한다. 상기 터널링 전계 효과 트랜지스터는 기판 상에 배치되고, 제1 반도체 영역과 제2 반도체 영역을 구비하는 반도체층을 포함한다. 상기 제1 반도체 영역의 밴드갭은 상기 제2 반도체 영역의 밴드갭 대비 작고, 상기 제1 반도체 영역의 일함수는 상기 제2 반도체 영역의 일함수 대비 크다. 상기 반도체층의 상부 또는 하부에 상기 반도체층에 중첩하는 게이트 전극이 배치된다. 상기 제1 반도체 영역 및 상기 제2 반도체 영역에 소오스 전극 및 드레인 전극이 각각 접속한다. 상기 제1 반도체 영역은 상기 소오스 전극에 인접한 영역에서 제1 도전형의 소오스 영역 및 상기 게이트 전극과 중첩된 제1 채널 영역을 구비하고, 상기 제2 반도체 영역은 상기 드레인 전극에 인접한 영역에서 제2 도전형의 드레인 영역 및 상기 게이트 전극과 중첩된 제2 채널 영역을 구비한다. 온-상태에서, 제1 채널 영역의 전도대 포텐셜 에너지는 제2 채널 영역의 전도대 포텐셜 에너지와 같거나 크다.

명세서

발명의 명칭: 터널링 전계 효과 트랜지스터

기술분야

- [1] 본 발명은 반도체 소자에 관한 것으로, 보다 상세하게는 터널링 전계 효과 트랜지스터에 관한 것이다.

배경기술

- [2] 일반적인 전계 효과 트랜지스터와는 달리 터널링 전계 효과 트랜지스터는 채널 영역의 공핍(depletion), 반전(inversion) 등의 동작없이 소오스-채널-드레인 간 터널링을 사용하여 동작하므로, 낮은 임계값 이하 기울기(subthreshold swing)를 구현할 수 있어 저전력소자에 적합한 것으로 알려져 있다.
- [3] 그러나, 터널링 전계 효과 트랜지스터는 소오스와 드레인을 다른 도전형의 도펀트로 도핑해야 함에 따라, 정렬 에러 발생 방지 등 공정이 다소 복잡한 단점이 있을 수 있다. 또한, 터널링 전계 효과 트랜지스터는 터널링에 의해 온-전류가 유도됨에 따라 높은 온-전류 특성을 확보하기 어려운 단점 또한 있을 수 있다.

발명의 상세한 설명

기술적 과제

- [4] 본 발명이 해결하고자 하는 과제는, 제조공정이 다소 간단하면서도 높은 온-전류 특성을 나타내는 터널링 전계 효과 트랜지스터를 제공함에 있다.
- [5] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [6] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 터널링 전계 효과 트랜지스터를 제공한다. 상기 터널링 전계 효과 트랜지스터는 기판 상에 배치된 반도체층, 상기 반도체층의 상부 또는 하부에 배치되고 상기 반도체층에 중첩하는 게이트 전극, 및 상기 반도체층의 적어도 양측 측면들과 각각 접촉하는 소오스 전극 및 드레인 전극을 포함한다. 상기 반도체층은 상기 소오스 전극에 접촉하는 제1 반도체 영역과 상기 드레인 전극에 접촉하는 제2 반도체 영역을 구비하고, 상기 제1 반도체 영역의 밴드갭은 상기 제2 반도체 영역의 밴드갭 대비 작다. 상기 제1 반도체 영역은 상기 소오스 전극에 인접한 영역에서 제1 도전형의 전하 플라즈마 생성에 의해 유도된 제1 도전형의 소오스 영역 및 이를 제외한 영역인 제1 채널 영역을 구비하고, 상기 제2 반도체 영역은 상기 드레인 전극에 인접한 영역에서 제2 도전형의 전하 플라즈마 생성에 의해 유도된 제2 도전형의 드레인 영역 및 이를 제외한 영역인 제2 채널 영역을 구비한다.
- [7] 상기 제1 반도체 영역의 일함수는 상기 제2 반도체 영역의 일함수 대비 클 수 있다. 상기 제1 반도체 영역과 상기 제2 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴들($0 \leq x \leq 1$)이 되,

상기 제1 반도체 영역 대비 상기 제2 반도체 영역의 Si 함량이 더 클 수 있다. 상기 제1 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴이되, x 는 0.5 이상 1 이하일 수 있다. 상기 제2 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴이되, x 는 0 이상 0.5 미만일 수 있다.

- [8] 상기 게이트 전극은 상기 제1 반도체 영역에 중첩된 제1 게이트 영역과 제2 반도체 영역에 중첩된 제2 게이트 영역을 구비하고, 상기 제1 게이트 영역의 금속 패턴은 상기 제2 게이트 영역의 금속 패턴 대비 일함수가 클 수 있다. 상기 제1 게이트 영역은 4.4 내지 4.7 eV의 일함수를 갖는 금속 패턴이고, 상기 제2 게이트 영역은 4.1 내지 4.4 eV의 일함수를 갖는 금속 패턴일 수 있다.
- [9] 상기 게이트 절연막은 제1 반도체 영역에 중첩된 제1 게이트 절연막 영역과 상기 제2 반도체 영역에 중첩된 제2 게이트 절연막 영역을 구비하고, 상기 제1 게이트 절연막 영역은 상기 제2 게이트 절연막 영역 대비 유전율이 더 큰 절연막일 수 있다. 상기 제1 게이트 절연막 영역은 실리콘 산화막 대비 유전율이 큰 고유전율 절연막이고, 상기 제2 게이트 절연막 영역은 실리콘 산화막 혹은 실리콘 산화막 대비 유전율이 작은 저유전율 절연막일 수 있다.
- [10] 상기 제1 반도체 영역의 두께는 상기 제2 반도체 영역의 두께 대비 낮을 수 있다.
- [11] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 터널링 전계 효과 트랜지스터의 다른 실시예를 제공한다. 상기 터널링 전계 효과 트랜지스터는 기판 상에 배치되고, 제1 반도체 영역과 제2 반도체 영역을 구비하는 반도체층을 포함한다. 상기 제1 반도체 영역의 밴드갭은 상기 제2 반도체 영역의 밴드갭 대비 작고, 상기 제1 반도체 영역의 일함수는 상기 제2 반도체 영역의 일함수 대비 크다. 상기 반도체층의 상부 또는 하부에 상기 반도체층에 중첩하는 게이트 전극이 배치된다. 상기 제1 반도체 영역 및 상기 제2 반도체 영역에 소오스 전극 및 드레인 전극이 각각 접속한다. 상기 제1 반도체 영역은 상기 소오스 전극에 인접한 영역에서 제1 도전형의 소오스 영역 및 상기 게이트 전극과 중첩된 제1 채널 영역을 구비하고, 상기 제2 반도체 영역은 상기 드레인 전극에 인접한 영역에서 제2 도전형의 드레인 영역 및 상기 게이트 전극과 중첩된 제2 채널 영역을 구비한다. 온-상태에서, 제1 채널 영역의 전도대 포텐셜 에너지는 제2 채널 영역의 전도대 포텐셜 에너지와 같거나 크다.
- [12] 상기 게이트 전극은 상기 제1 반도체 영역에 중첩된 제1 게이트 영역과 제2 반도체 영역에 중첩된 제2 게이트 영역을 구비하고, 상기 제1 게이트 영역의 금속 패턴은 상기 제2 게이트 영역의 금속 패턴 대비 일함수가 클 수 있다.
- [13] 상기 제1 반도체 영역과 상기 제2 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴들($0 \leq x \leq 1$)이되, 상기 제1 반도체 영역 대비 상기 제2 반도체 영역의 Si 함량이 더 클 수 있다. 상기 제1 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴이되, x 는 0.5 이상 1 이하일 수 있다. 상기 제2 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴이되, x 는 0 이상 0.5 미만일 수 있다.

- [14] 상기 게이트 절연막은 제1 반도체 영역에 중첩된 제1 게이트 절연막 영역과 상기 제2 반도체 영역에 중첩된 제2 게이트 절연막 영역을 구비하고, 상기 제1 게이트 절연막 영역은 상기 제2 게이트 절연막 영역 대비 유전율이 더 큰 절연막일 수 있다. 상기 제1 게이트 절연막 영역은 실리콘 산화막 대비 유전율이 큰 고유전율 절연막이고, 상기 제2 게이트 절연막 영역은 실리콘 산화막 혹은 실리콘 산화막 대비 유전율이 작은 저유전율 절연막일 수 있다.

발명의 효과

- [15] 상술한 바와 같이 본 발명의 일 실시예에 따르면, 제조공정이 다소 간단하면서 도 높은 온-전류 특성을 나타내는 터널링 전계 효과 트랜지스터를 제공할 수 있다.
- [16] 그러나, 본 발명의 효과들은 이상에서 언급한 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [17] 도 1은 본 발명의 일 실시예에 따른 터널링 전계 효과 트랜지스터를 단면도이다.
- [18] 도 2a 및 도 2b는 도 1에 도시된 트랜지스터가 각각 오프 상태와 온 상태일 때 반도체층의 밴드 다이어그램들이다.
- [19] 도 3은 본 발명의 일 실시예에 따른 터널링 전계 효과 트랜지스터를 나타낸 사시도이고, 도 4는 도 1의 절단선 I-I'를 따라 취해진 단면도이다.
- [20] 도 5a 및 도 5b는 도 4에 도시된 트랜지스터가 각각 오프 상태와 온 상태일 때 반도체층의 밴드 다이어그램들이다.
- [21] 도 6은 본 발명의 일 실시예에 따른 터널링 전계 효과 트랜지스터를 나타낸 단면도이다.
- [22] 도 7은 본 발명의 일 실시예에 따른 터널링 전계 효과 트랜지스터를 나타낸 단면도이다.
- [23] 도 8a 내지 도 8h는 도 1, 도 4, 도 6, 및 도 7을 참조하여 설명하였던 실시예들에서 반도체층을 제조하는 방법을 순차적으로 나타낸 사시도들이다.

발명의 실시를 위한 형태

- [24] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기에서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 본 실시예들에서 "제1", "제2", 또는 "제3"는 구성요소들에 어떠한 한정을 가하려는 것은 아니며, 다만 구성요소들을 구별하기 위한 용어로서 이해되어야 할 것이다.

[25]

[26] 도 1은 본 발명의 일 실시예에 따른 터널링 전계 효과 트랜지스터를 단면도이다. 도 2a 및 도 2b는 도 1에 도시된 트랜지스터가 각각 오프 상태와 온 상태일 때 반도체층의 밴드 다이어그램들이다.

[27] 도 1, 도 2a, 및 도 2b를 참조하면, 기판(100)이 제공될 수 있다. 상기 기판(100)은 반도체 기판, 금속 기판, 유리 기판, 또는 플렉시블 기판일 수 있다. 예를 들어, 상기 플렉시블 기판은 고분자 기판, 일 예로서 PET(polyethylene terephthalate) 또는 PI(polyimide) 기판일 수 있다. 상기 기판(100) 상에는 동작회로 등을 위한 소자들이 형성되어 있을 수 있다. 또한, 상기 기판 혹은 상기 소자를 덮는 절연막 등의 보호층(110)이 형성되어 있을 수 있다. 상기 보호층(110)은 실리콘 산화막, 실리콘 질화막, 혹은 이들의 복합층일 수 있다.

[28] 상기 보호층(110) 상에 반도체층(120) 혹은 채널층을 형성할 수 있다. 상기 반도체층(120)은 서로 다른 밴드갭을 가지는 제1 반도체 영역(121)과 제2 반도체 영역(123)을 구비할 수 있다. 상기 제1 반도체 영역(121)과 제2 반도체 영역(123)은 모두 진성 반도체 패턴들일 수 있다.

[29] 상기 제1 반도체 영역(121)의 밴드갭은 상기 제2 반도체 영역(123)의 밴드갭 대비 작을 수 있다. 또한, 상기 제1 반도체 영역(121)의 일함수는 상기 제2 반도체 영역(123)의 일함수 대비 클 수 있다. 이 경우, 상기 제1 반도체 영역(121) 전도대 포텐셜 에너지 대비 상기 제2 반도체 영역(123)의 전도대 포텐셜 에너지가 커서 이 둘 사이에서 전도대 오프셋(offset)이 발생할 수 있다.

[30] 상기 제1 반도체 영역(121)과 상기 제2 반도체 영역(123)은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴들 ($0 \leq x \leq 1$)이 되, 상기 제1 반도체 영역(121) 대비 상기 제2 반도체 영역(123)의 Si 함량이 클 수 있다. 또한, 상기 제1 반도체 영역(121)과 상기 제2 반도체 영역(123)의 각각은 단결정질 $\text{Si}_{1-x}\text{Ge}_x$ 패턴, 다결정질 $\text{Si}_{1-x}\text{Ge}_x$ 패턴, 또는 비정질 $\text{Si}_{1-x}\text{Ge}_x$ 패턴, 일 예로서, 에피성장된 단결정질 $\text{Si}_{1-x}\text{Ge}_x$ 패턴일 수 있다.

[31] 구체적으로, 상기 제1 반도체 영역(121)은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴이 되, x는 0.5 이상 다시 말해서, Ge의 함량이 Si의 함량 대비 클 수 있다. 나아가, x는 0.9 이상 1일 수 있다. x가 1인 경우, 상기 제1 반도체 영역(121)은 Ge 패턴 구체적으로, 단결정질 Ge 패턴, 다결정질 Ge 패턴, 또는 비정질 Ge 패턴, 일 예로서, 에피성장된 단결정질 Ge 패턴일 수 있다.

[32] 상기 제2 반도체 영역(123)은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴이 되, x는 0.5 미만 다시 말해서, Si의 함량이 Ge의 함량 대비 클 수 있다. 나아가, x는 0 이상 0.1일 수 있다. x가 0인 경우, 상기 제1 반도체 영역(121)은 Si 패턴 구체적으로, 단결정질 Si 패턴, 다결정질 Si 패턴, 또는 비정질 Si 패턴, 일 예로서, 에피성장된 단결정질 Si 패턴일 수 있다.

[33] 상기 반도체층(120) 상에 게이트 절연막(130)이 배치될 수 있다. 상기 게이트 절연막(130)은 실리콘 산화막, 실리콘 산질화막, 알루미늄 산화막, 알루미늄 산질화막, 또는 이들의 복합막일 수 있다.

- [34] 상기 게이트 절연막(130) 상에 상기 반도체층(120)에 중첩된 게이트 전극(140)을 형성할 수 있다. 상기 게이트 전극(140)은 Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이들의 합금 중에서 선택되는 금속 패턴될 수 있다.
- [35] 상기 게이트 전극(140) 상에 층간절연막(150)을 형성할 수 있다. 상기 층간절연막(150)은 실리콘 산화막, 실리콘 질화막, 혹은 이들의 복합막일 수 있다. 상기 층간절연막(150) 내에 적어도 상기 반도체층(120)의 양측 단부들 즉, 양측 측면들과 이에 인접한 부분을 노출시키는 콘택홀들을 형성한 후, 상기 콘택홀들 내에 소오스 전극(161)과 드레인 전극(163)을 각각 형성할 수 있다. 이에 따라, 상기 반도체층(120)의 적어도 양측 측면들과 접촉하는 상기 소오스 전극(161)과 상기 드레인 전극(163)을 각각 형성할 수 있다.
- [36] 상기 층간절연막(150) 내에 콘택홀들을 형성할 때, 상기 게이트 전극(140)과 상기 소오스 전극(161) 사이의 간격은 상기 게이트 전극(140)과 상기 드레인 전극(163) 사이의 간격 대비 좁을 수 있도록 한다. 이 경우, 트랜지스터의 온 전류는 증가하면서도 앰비폴라 전류(ambipolar current)는 감소할 수 있다.
- [37] 상기 소오스 전극(161)은 이에 접속하는 상기 반도체층(120) 구체적으로, 상기 제1 반도체 영역(121)의 일함수 대비 일함수가 큰 금속 전극일 수 있다. 상기 제1 반도체 영역(121)이 Ge 패턴인 경우 상기 소오스 전극(161)은 Ge보다 일함수가 큰, 일 예로서 일함수가 5 eV 이상인 니켈(Ni), 이리듐(Ir), 팔라듐(Pd), 플래티넘(Pt)을 함유할 수 있다. 이와 같이, 상기 제1 반도체 영역(121)과 상기 소오스 전극(161) 사이의 일함수의 차이로 인해, 상기 소오스 전극(161)에 인접한 상기 제1 반도체 영역(121) 내의 전자는 상기 소오스 전극(161)으로 이동할 수 있어, 상기 소오스 전극(161)에 인접한 상기 제1 반도체 영역(121) 내에 제1 도전형의 전하 플라즈마 즉, 정공 플라즈마(hole plasma)가 형성되어, 제1 도전형 다시 말해서 p형의 소오스 영역(121S)이 유도될 수 있다. 상기 제1 반도체 영역(121)에서 p형의 소오스 영역(121S)을 제외한 상기 게이트 전극(140)에 중첩된 영역은 제1 채널 영역(121C)으로 정의될 수 있다.
- [38] 상기 드레인 전극(163)은 이에 접속하는 상기 반도체층(120) 구체적으로, 상기 제2 반도체 영역(123)의 일함수 대비 일함수가 작은 금속 전극일 수 있다. 상기 제2 반도체 영역(123)이 Si 패턴인 경우 상기 드레인 전극(163)은 Si보다 일함수가 작은, 일 예로서 일함수가 4.2 eV 이하인 하프늄(Hf), 인듐(In), 지르코늄(Zr), 탈륨(Tl)을 함유할 수 있다. 이와 같이, 상기 제2 반도체 영역(123)과 상기 드레인 전극(163) 사이의 일함수의 차이로 인해, 전자는 상기 드레인 전극(163)으로부터 상기 제2 반도체 영역(123)으로 이동할 수 있어, 상기 드레인 전극(163)에 인접한 상기 제2 반도체 영역(123) 내에 제2 도전형의 전하 플라즈마 즉, 전자 플라즈마(electron plasma)가 형성되어, 제2 도전형 다시 말해서 n형의 드레인 영역(123D)이 유도될 수 있다. 상기 제2 반도체 영역(123)에서 n형의 드레인 영역(123D)을 제외한 상기 게이트 전극(140)에 중첩된 영역은 제2 채널 영역(123C)으로 정의될 수 있다.

- [39] 이와 같이, 상기 p형의 소오스 영역(121S)과 상기 n형의 드레인 영역(123D)은 이온 주입 등을 사용한 불순물 도핑없이 전하 플라즈마 생성을 통해 전도성 영역으로 유도될 수 있다. 위에서 상기 소오스 영역(121S)을 p형으로 상기 드레인 영역(123D)을 n형으로 설명하였으나, 이에 한정되지 않고, 상기 소오스 전극(161)과 상기 드레인 전극(163)을 적절한 일함수를 갖는 물질로 형성하여, 상기 소오스 영역(121S)을 n형으로 상기 드레인 영역(123D)을 p형으로 형성할 수도 있다. 따라서, 상기 소오스 영역(121S)은 제1 도전형을 갖는 영역이고 상기 드레인 영역(123D)은 제1 도전형과 반대되는 제2 도전형을 갖는 영역으로 정의될 수 있다.
- [40] 이와 같이, 소오스 영역과 드레인 영역을 이온주입 등의 불순물 도핑이 아닌 소오스 전극과 드레인 전극과의 일함수 차이에 의한 전하 플라즈마 생성을 통해 전도성 영역으로 유도하는 것은, 이온주입 등의 불순물 도핑 대비 제조공정이 간단하면서도 결함생성이 억제되는 효과를 가져올 수 있다.
- [41] 도 1에서, 상기 게이트 전극(140)은 상기 반도체층(120)의 상부에 위치하면서 상기 반도체층(120)과 중첩된 것으로 도시되었으나, 이에 한정되지 않고 상기 게이트 전극(140)은 상기 반도체층(120)의 하부에 위치하면서 상기 반도체층(120)과 중첩될 수도 있다. 또한, 상기 소오스 전극(163)과 상기 드레인 전극(161)은 상기 반도체층(120)의 상부에 배치된 것으로 도시되었으나, 이에 한정되지 않고 상기 소오스 전극(163)과 상기 드레인 전극(161)은 상기 반도체층(120)의 하부에 배치될 수도 있다.
- [42] 이상 설명한 바와 같이, 상기 제1 반도체 영역(121)의 밴드갭은 상기 제2 반도체 영역(123)의 밴드갭 대비 작아 트랜지스터가 온 상태일 때, 상기 소오스 영역(121S)의 가전자대로부터 제1 채널 영역(121C)의 전도대로 BTBT(Band To Band Tunneling)이 더 용이할 수 있다. 그 결과, 온 전류가 증대될 수 있다. 반면, 상기 제2 반도체 영역(123)의 밴드갭은 비교적 커서, 상기 트랜지스터가 엠비폴라 상태(ambipolar state)에 있을 때 제2 채널 영역(123C)의 가전자대로부터 드레인 영역(123D)의 전도대로의 BTBT(Band To Band Tunneling)은 억제될 수 있다.
- [43] 다만, 상기 제1 반도체 영역(121)의 밴드갭이 상기 제2 반도체 영역(123)의 밴드갭 대비 작은 경우, 상기 제1 반도체 영역(121)의 일함수는 상기 제2 반도체 영역(123)의 일함수 대비 클 수 있는데, 이 경우, 앞서 설명한 바와 같이 상기 제1 채널 영역(121C) 전도대 포텐셜 에너지 대비 상기 제2 채널 영역(123C)의 전도대 포텐셜 에너지가 커서 이들 둘 사이에 전도대 오프셋(offset)이 발생할 수 있다. 이러한 전도대 오프셋(offset)은 온 전류 에너지 장벽(on-current diffusion barrier)으로 작용하여 온 전류를 저감시킬 수 있는 요인이 될 수 있다. 이는 후술하는 다른 실시예들을 통해 해결할 수 있다.
- [44] 도 3은 본 발명의 일 실시예에 따른 터널링 전계 효과 트랜지스터를 나타낸 사시도이고, 도 4는 도 1의 절단선 I-I'를 따라 취해진 단면도이다. 도 5a 및 도 5b는 도 4에 도시된 트랜지스터가 각각 오프 상태와 온 상태일 때 반도체층의 밴드다

이어그램들이다. 본 실시예는 후술하는 것을 제외하고는 도 1, 도 2, 및 도 3을 참조하여 설명한 실시예와 실질적으로 동일할 수 있다.

- [45] 도 3, 도 4, 도 5a, 및 도 5b를 참조하면, 게이트 전극(140)은 제1 반도체 영역(121) 구체적으로 제1 채널 영역(121C)에 중첩된 제1 게이트 영역(141)과 제2 반도체 영역(123) 구체적으로 제2 채널 영역(123C)에 중첩된 제2 게이트 영역(143)을 구비할 수 있다. 구체적으로, 상기 제1 반도체 영역(121)과 제2 반도체 영역(123)이 접촉하는 계면에 대해 상기 제1 게이트 영역(141)과 상기 제2 게이트 영역(143)이 접촉하는 계면은 얼라인될 수 있다. 일 예에서, 상기 제1 반도체 영역(121)과 제2 반도체 영역(123)이 접촉하는 계면과 상기 제1 게이트 영역(141)과 상기 제2 게이트 영역(143)이 접촉하는 계면은 동일 평면 내에 위치할 수 있다.
- [46] 상기 제1 게이트 영역(141)의 금속 패턴과 상기 제2 게이트 영역(143)의 금속 패턴의 각각은 Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이들의 합금 중에서 선택되되, 하기 조건들을 만족하는 금속 패턴으로 선택될 수 있다.
- [47] 상기 제1 게이트 영역(141)의 금속 패턴은 상기 제2 게이트 영역(143)의 금속 패턴 대비 일함수가 클 수 있다. 이 경우, 상기 제1 게이트 영역(141)과 상기 제2 게이트 영역(143)에 의해 상기 제1 채널 영역(121C)과 제2 채널 영역(123C) 내에 각각 형성되는 전하 플라즈마에 의해, 제1 채널 영역(121C)의 전도대 포텐셜 에너지는 제2 채널 영역(123C)의 전도대 포텐셜 에너지와 같거나 커질(혹은 높아질) 수 있다. 이에 따라, 상기 제1 반도체 영역(121)과 제2 반도체 영역(123) 사이에 생성되었던 전도대 오프셋(도 3b의 offset)이 완화되거나 제거될 수 있다.
- [48] 일 예로서, 상기 제1 게이트 영역(141)의 금속 패턴의 일함수는 상기 제1 반도체 영역(121)의 일함수 대비 0.2 내지 0.4 eV, 구체적으로 약 0.5 내지 0.35 eV, 더욱 구체적으로 0.5 내지 0.15 eV 만큼 작을 수 있다. 일 예로서, 상기 제1 반도체 영역(121)이 약 4.75 eV의 일함수를 갖는 Ge 패턴인 경우 상기 제1 게이트 영역(141)은 약 4.4 내지 4.7 eV의 일함수를 갖는 금속 패턴, 구체적으로는 W (일함수 : 약 4.63 eV) 패턴 또는 Ru (일함수 : 약 4.7 eV) 패턴일 수 있다.
- [49] 상기 제2 게이트 영역(143)의 금속 패턴의 일함수는 상기 제2 반도체 영역(123)의 일함수 대비 0.2 내지 0.6 eV, 구체적으로 약 0.23 내지 0.55 eV, 더욱 구체적으로 0.5 내지 0.54 eV 만큼 작을 수 있다. 일 예로서, 상기 제2 반도체 영역(123)이 약 4.63 eV의 일함수를 갖는 Si 패턴인 경우 상기 제2 게이트 영역(143)은 약 4.1 내지 4.4 eV의 일함수를 갖는 금속 패턴, 구체적으로는 Al (일함수 : 약 4.1 eV) 패턴일 수 있다.
- [50] 이상 설명한 바와 같이, 상기 제1 게이트 영역(141)의 금속 패턴이 상기 제2 게이트 영역(143)의 금속 패턴 대비 일함수가 큰 경우, 상기 제1 반도체 영역(121)과 제2 반도체 영역(123) 사이에 생성되었던 전도대 오프셋(도 3b의 offset)이 완화되거나 제거될 수 있다. 이에 따라, 도 1을 참조하여 설명하였던 실시예 대비 온 전류가 향상될 수 있다.

[51]

- [52] 도 6은 본 발명의 일 실시예에 따른 터널링 전계 효과 트랜지스터를 나타낸 단면도이다. 본 실시예는 후술하는 것을 제외하고는 도 4를 참조하여 설명한 실시예와 실질적으로 동일할 수 있다.
- [53] 도 6을 참조하면, 제1 반도체 영역(121)의 두께는 제2 반도체 영역(123)의 두께 대비 작을 수 있다. 이 경우, 상기 소오스 전극(161)에 의해 제1 반도체 영역(121) 구체적으로, 상기 소오스 영역(121S) 내에 고농도의 전하 플라즈마가 생성될 수 있을 뿐 아니라, 제1 게이트 영역(141) 하부의 제1 채널 영역(121C)에 대한 제1 게이트 영역(141)의 게이트 제어도(gate controllability)가 향상될 수 있다. 이에 따라, 도 4를 참조하여 설명하였던 실시예 대비 온 전류가 향상될 수 있다.
- [54]
- [55] 도 7은 본 발명의 일 실시예에 따른 터널링 전계 효과 트랜지스터를 나타낸 단면도이다. 본 실시예는 후술하는 것을 제외하고는 도 1을 참조하여 설명한 실시예와 실질적으로 동일할 수 있다.
- [56] 도 7을 참조하면, 게이트 절연막(130)은 제1 반도체 영역(121)에 중첩된 제1 게이트 절연막 영역(131)과 제2 반도체 영역(123)에 중첩된 제2 게이트 절연막 영역(133)을 구비할 수 있다. 구체적으로, 상기 제1 반도체 영역(121)과 제2 반도체 영역(123)이 접촉하는 계면에 대해 상기 제1 게이트 절연막 영역(131)과 상기 제2 게이트 절연막 영역(133)이 접촉하는 계면은 얼라인될 수 있다. 일 예에서, 상기 제1 반도체 영역(121)과 제2 반도체 영역(123)이 접촉하는 계면과 상기 제1 게이트 절연막 영역(131)과 상기 제2 게이트 절연막 영역(133)이 접촉하는 계면은 동일 평면 내에 위치할 수 있다.
- [57] 상기 제1 게이트 절연막 영역(131)은 상기 제2 게이트 절연막 영역(133) 대비 유전율이 더 큰 절연막으로 형성될 수 있다. 일 예로서, 상기 제1 게이트 절연막 영역(131)은 고유전율 절연막 즉, 실리콘 산화막 대비 유전율이 큰 절연막으로 일 예로서, Al_2O_3 혹은 HfO_2 일 수 있다. 상기 제2 게이트 절연막 영역(133)은 실리콘 산화막 혹은 실리콘 산화막 대비 유전율이 작은 절연막으로 일 예로서, 나노포러스 실리카, 불화 실리케이트, 혹은 유기막 일 예로서 폴리이미드 혹은 고분자막일 수 있다. 이 경우, 게이트 전극(140)에 전압이 인가되어 트랜지스터가 온-상태가 되었을 때, 제1 채널 영역(121C) 대비 제2 채널 영역(123C)의 전도대 포텐셜 에너지가 더 많이 낮아질 수 있어 상기 제1 반도체 영역(121)과 제2 반도체 영역(123) 사이에 생성되었던 전도대 오프셋(도 3b의 offset)이 완화되거나 제거될 수 있다. 이에 따라, 도 4를 참조하여 설명하였던 실시예 대비 온 전류가 향상될 수 있다.
- [58]
- [59] 도 8a 내지 도 8h는 도 1, 도 4, 도 6, 및 도 7을 참조하여 설명하였던 실시예들에서 반도체층을 제조하는 방법을 순차적으로 나타낸 사시도들이다. 본 실시예는 후술하는 것을 제외하고는 도 1을 참조하여 설명한 실시예와 실질적으로 동일할 수 있다.

- [60] 도 8a를 참조하면, 기판(100) 상에 보호층(110)이 제공될 수 있다. 상기 보호층(110) 상에 예비 반도체층(127) 일 예로서, 예비 반도체층(127)은 $\text{Si}_{1-x}\text{Ge}_x$ 층으로, 도 1을 참조하여 설명한 혹은 후술하는 제2 반도체 영역(123)과 동일 조성을 갖는 층일 수 있다. 구체적으로, 예비 반도체층(127)은 $\text{Si}_{1-x}\text{Ge}_x$ 층이 되, x 는 0.5 미만 다시 말해서, Si의 함량이 Ge의 함량 대비 클 수 있다. 나아가, x 는 0 이상 0.1일 수 있다. x 가 0인 경우, 상기 예비 반도체층(127)은 Si층으로, 이 상태는 SOI(silicon-on-insulator) 기판에 해당할 수 있다.
- [61] 도 8b를 참조하면, 상기 예비 반도체층(127) 상에 마스크막(129)이 제공될 수 있다. 상기 마스크막(129)은 실리콘 질화막일 수 있다.
- [62] 도 8c를 참조하면, 상기 마스크막(129) 내에 상기 예비 반도체층(127)을 노출시키는 개구부(129a)를 형성할 수 있다.
- [63] 도 8d를 참조하면, 상기 개구부(129a) 내의 상기 예비 반도체층(127) 상에 Ge를 증착하고 열처리를 통한 Ge 농축(Ge condensation)법을 사용하여, 상기 개구부(129a) 내의 상기 예비 반도체층(127)을 예비 제1 반도체 영역(121P)으로 변환할 수 있다. 상기 Ge 농축법은 $\text{Si}_{1-x}\text{Ge}_x$ 층($0 \leq x < 0.5$) 상에 Ge를 증착하고 열처리를 하면 Ge이 $\text{Si}_{1-x}\text{Ge}_x$ 층($0 \leq x < 0.5$) 내로 확산되어 들어가면서 $\text{Si}_{1-x}\text{Ge}_x$ 층($0.5 \leq x \leq 1$)이 형성되는 기법으로, Ge 증착두께, 열처리 온도와 시간을 조절하여 $\text{Si}_{1-x}\text{Ge}_x$ 층($0.5 \leq x \leq 1$)의 Ge 농도 및 두께를 조절할 수 있다. 이에 따라, 상기 예비 제1 반도체 영역(121P)은 $\text{Si}_{1-x}\text{Ge}_x$ 층이 되, x 는 0.5 이상 다시 말해서, Ge의 함량이 Si의 함량 대비 클 수 있다. 나아가, x 는 0.9 이상 1일 수 있다. x 가 1인 경우, 상기 제1 반도체 영역(121P)은 Ge층일 수 있다.
- [64] 도 8e를 참조하면, 상기 마스크막(129)을 제거하여 상기 예비 반도체층(127)을 노출시킬 수 있다. 도면에서, 상기 예비 제1 반도체 영역(121P)의 두께를 상기 예비 반도체층(127)의 두께 대비 낮게 도시하였다. 이는 도 6을 참조하여 설명한 실시예에 대응할 수 있다. 그러나, 이에 한정되지 않고 Ge 농축법에서 여러 파라미터를 조절하는 경우 상기 예비 제1 반도체 영역(121P)의 두께와 상기 예비 반도체층(127)의 두께를 동일하게 조절할 수도 있다.
- [65] 도 8f를 참조하면, 상기 예비 제1 반도체 영역(121P)과 상기 예비 반도체층(127) 상에 포토레지스트 패턴(PR)을 형성할 수 있다.
- [66] 도 8g를 참조하면, 상기 포토레지스트 패턴(PR)을 마스크로 하여 상기 예비 제1 반도체 영역(121P)과 상기 예비 반도체층(127)을 패터닝하여, 제1 반도체 영역(121P)과 제2 반도체 영역(123P)으로 구성된 반도체층(도 1, 도 4, 도 6, 및 도 7의 120)을 형성할 수 있다.
- [67] 도 8h를 참조하면, 상기 포토레지스트 패턴(PR)을 제거할 수 있다. 이 후, 도시되지는 않았지만, 상기 반도체층(도 1, 도 4, 도 6, 및 도 7의 120) 상에 게이트 절연막(도 1, 도 4, 도 6, 및 도 7의 130), 게이트 전극(도 1, 도 4, 도 6, 및 도 7의 140), 층간절연막(도 1, 도 4, 도 6, 및 도 7의 150), 소오스 전극(도 1, 도 4, 도 6, 및 도 7의

161)과 드레인 전극(도 1, 도 4, 도 6, 및 도 7의 163)을 순차적으로 형성할 수 있다. 이 때, 구체적으로 설명되지 않은 부분은 일반적인 반도체 공정을 사용하여 형성할 수 있음을 의미할 수 있다.

[68]

[69] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

청구범위

- [청구항 1] 기관 상에 배치된 반도체층;
 상기 반도체층의 상부 또는 하부에 배치되고 상기 반도체층에 중첩하는 게이트 전극; 및
 상기 반도체층의 적어도 양측 측면들과 각각 접촉하는 소오스 전극 및 드레인 전극을 포함하고,
 상기 반도체층은 상기 소오스 전극에 접촉하는 제1 반도체 영역과 상기 드레인 전극에 접촉하는 제2 반도체 영역을 구비하고, 상기 제1 반도체 영역의 밴드갭은 상기 제2 반도체 영역의 밴드갭 대비 작고,
 상기 제1 반도체 영역은 상기 소오스 전극에 인접한 영역에서 제1 도전형의 전하 플라즈마 생성에 의해 유도된 제1 도전형의 소오스 영역 및 이를 제외한 영역인 제1 채널 영역을 구비하고,
 상기 제2 반도체 영역은 상기 드레인 전극에 인접한 영역에서 제2 도전형의 전하 플라즈마 생성에 의해 유도된 제2 도전형의 드레인 영역 및 이를 제외한 영역인 제2 채널 영역을 구비하는, 터널링 전계 효과 트랜지스터.
- [청구항 2] 청구항 1에 있어서,
 상기 제1 반도체 영역의 일함수는 상기 제2 반도체 영역의 일함수 대비 큰, 터널링 전계 효과 트랜지스터.
- [청구항 3] 청구항 1 또는 청구항 2에 있어서,
 상기 제1 반도체 영역과 상기 제2 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴들($0 \leq x \leq 1$)이 되, 상기 제1 반도체 영역 대비 상기 제2 반도체 영역의 Si 함량이 더 큰, 터널링 전계 효과 트랜지스터.
- [청구항 4] 청구항 3에 있어서,
 상기 제1 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴이 되, x 는 0.5 이상 1 이하인, 터널링 전계 효과 트랜지스터.
- [청구항 5] 청구항 3에 있어서,
 상기 제2 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴이 되, x 는 0 이상 0.5 미만인, 터널링 전계 효과 트랜지스터.
- [청구항 6] 청구항 2에 있어서,
 상기 게이트 전극은 상기 제1 반도체 영역에 중첩된 제1 게이트 영역과 제2 반도체 영역에 중첩된 제2 게이트 영역을 구비하고,
 상기 제1 게이트 영역의 금속 패턴은 상기 제2 게이트 영역의 금속 패턴 대비 일함수가 큰, 터널링 전계 효과 트랜지스터.
- [청구항 7] 청구항 6에 있어서,
 상기 제1 게이트 영역은 4.4 내지 4.7 eV의 일함수를 갖는 금속 패턴이고, 상기 제2 게이트 영역은 4.1 내지 4.4 eV의 일함수를 갖는 금속 패턴인, 터널링 전계 효과 트랜지스터.

- [청구항 8] 청구항 2에 있어서,
상기 게이트 절연막은 제1 반도체 영역에 중첩된 제1 게이트 절연막 영역과 상기 제2 반도체 영역에 중첩된 제2 게이트 절연막 영역을 구비하고,
상기 제1 게이트 절연막 영역은 상기 제2 게이트 절연막 영역 대비 유전율이 더 큰 절연막인, 터널링 전계 효과 트랜지스터.
- [청구항 9] 청구항 8에 있어서,
상기 제1 게이트 절연막 영역은 실리콘 산화막 대비 유전율이 큰 고유전율 절연막이고,
상기 제2 게이트 절연막 영역은 실리콘 산화막 혹은 실리콘 산화막 대비 유전율이 작은 저유전율 절연막인, 터널링 전계 효과 트랜지스터.
- [청구항 10] 청구항 1에 있어서,
상기 제1 반도체 영역의 두께는 상기 제2 반도체 영역의 두께 대비 낮은, 터널링 전계 효과 트랜지스터.
- [청구항 11] 기판 상에 배치되고, 제1 반도체 영역과 제2 반도체 영역을 구비하되, 상기 제1 반도체 영역의 밴드갭은 상기 제2 반도체 영역의 밴드갭 대비 작고, 상기 제1 반도체 영역의 일함수는 상기 제2 반도체 영역의 일함수 대비 큰, 반도체층;
상기 반도체층의 상부 또는 하부에 배치되고 상기 반도체층에 중첩하는 게이트 전극;
상기 제1 반도체 영역 및 상기 제2 반도체 영역에 각각 접속하는 소오스 전극 및 드레인 전극을 포함하되,
상기 제1 반도체 영역은 상기 소오스 전극에 인접한 영역에서 제1 도전형의 소오스 영역 및 상기 게이트 전극과 중첩된 제1 채널 영역을 구비하고,
상기 제2 반도체 영역은 상기 드레인 전극에 인접한 영역에서 제2 도전형의 드레인 영역 및 상기 게이트 전극과 중첩된 제2 채널 영역을 구비하고,
온-상태에서, 제1 채널 영역의 전도대 포텐셜 에너지는 제2 채널 영역의 전도대 포텐셜 에너지와 같거나 큰, 터널링 전계 효과 트랜지스터.
- [청구항 12] 청구항 11에 있어서,
상기 게이트 전극은 상기 제1 반도체 영역에 중첩된 제1 게이트 영역과 제2 반도체 영역에 중첩된 제2 게이트 영역을 구비하고,
상기 제1 게이트 영역의 금속 패턴은 상기 제2 게이트 영역의 금속 패턴 대비 일함수가 큰, 터널링 전계 효과 트랜지스터.
- [청구항 13] 청구항 11 또는 청구항 12에 있어서,
상기 제1 반도체 영역과 상기 제2 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴들($0 \leq x \leq 1$)이 되, 상기 제1 반도체 영역 대비 상기 제2 반도체 영역의 Si 함량이 더 큰, 터널링 전계 효과 트랜지스터.
- [청구항 14] 청구항 13에 있어서,

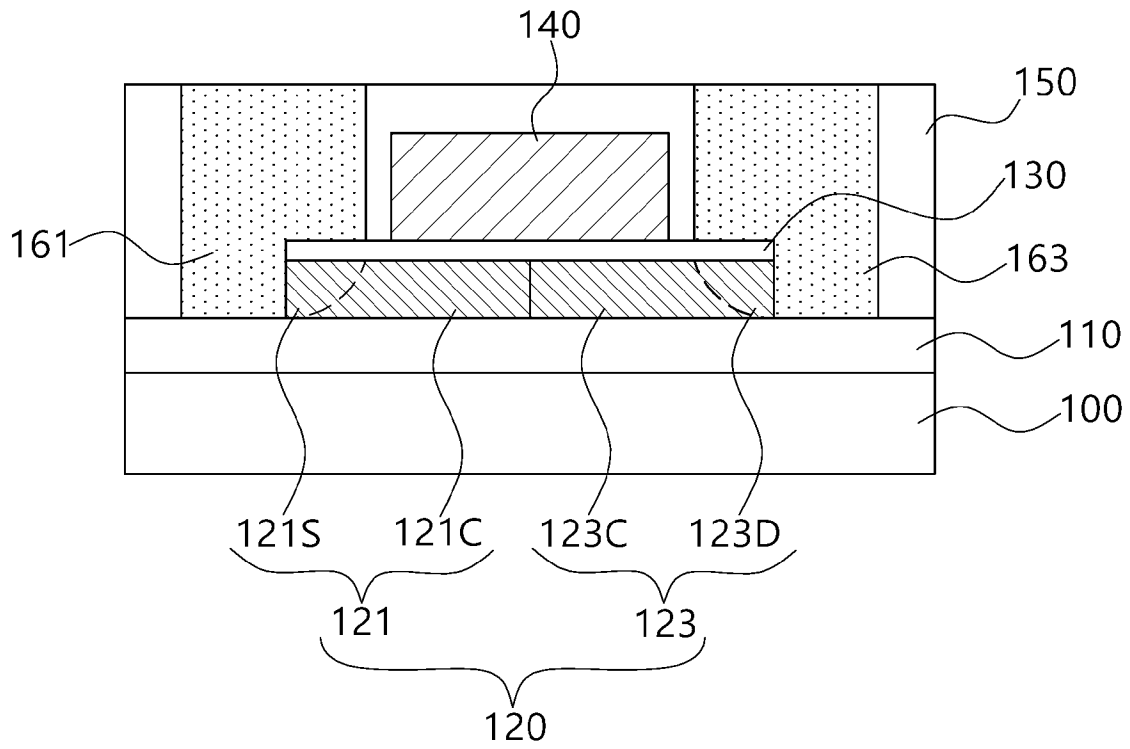
상기 제1 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴이되, x 는 0.5 이상 1 이하인, 터널링 전계 효과 트랜지스터.

[청구항 15] 청구항 13에 있어서,
상기 제2 반도체 영역은 $\text{Si}_{1-x}\text{Ge}_x$ 패턴이되, x 는 0 이상 0.5 미만인, 터널링 전계 효과 트랜지스터.

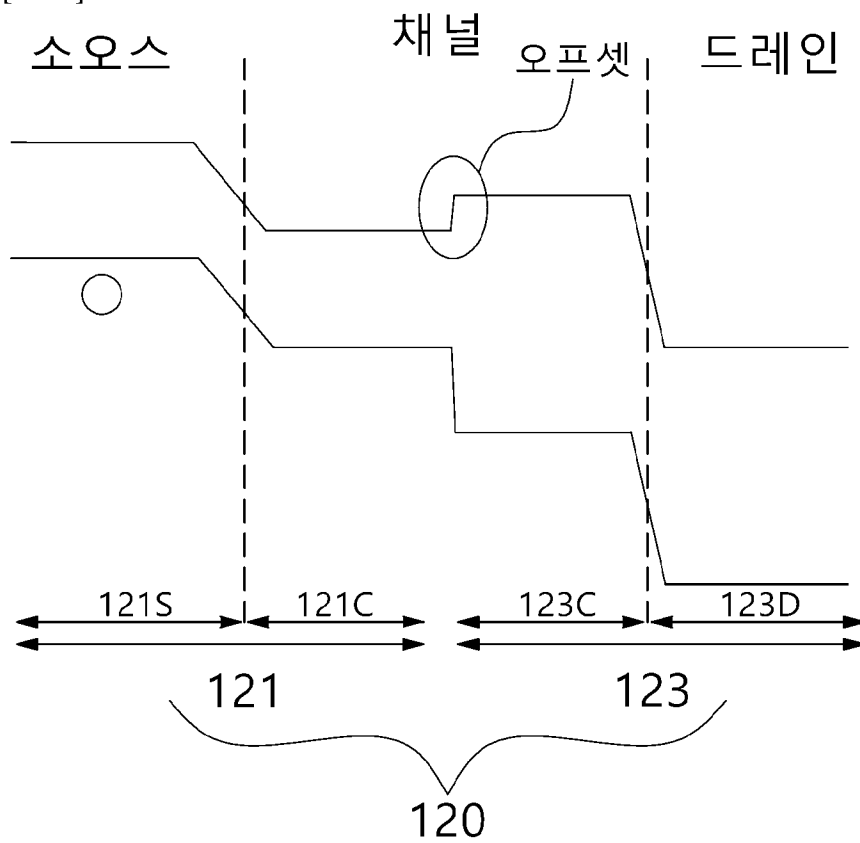
[청구항 16] 청구항 11에 있어서,
상기 게이트 절연막은 제1 반도체 영역에 중첩된 제1 게이트 절연막 영역과 상기 제2 반도체 영역에 중첩된 제2 게이트 절연막 영역을 구비하고,
상기 제1 게이트 절연막 영역은 상기 제2 게이트 절연막 영역 대비 유전율이 더 큰 절연막인, 터널링 전계 효과 트랜지스터.

[청구항 17] 청구항 16에 있어서,
상기 제1 게이트 절연막 영역은 실리콘 산화막 대비 유전율이 큰 고유전율 절연막이고,
상기 제2 게이트 절연막 영역은 실리콘 산화막 혹은 실리콘 산화막 대비 유전율이 작은 저유전율 절연막인, 터널링 전계 효과 트랜지스터.

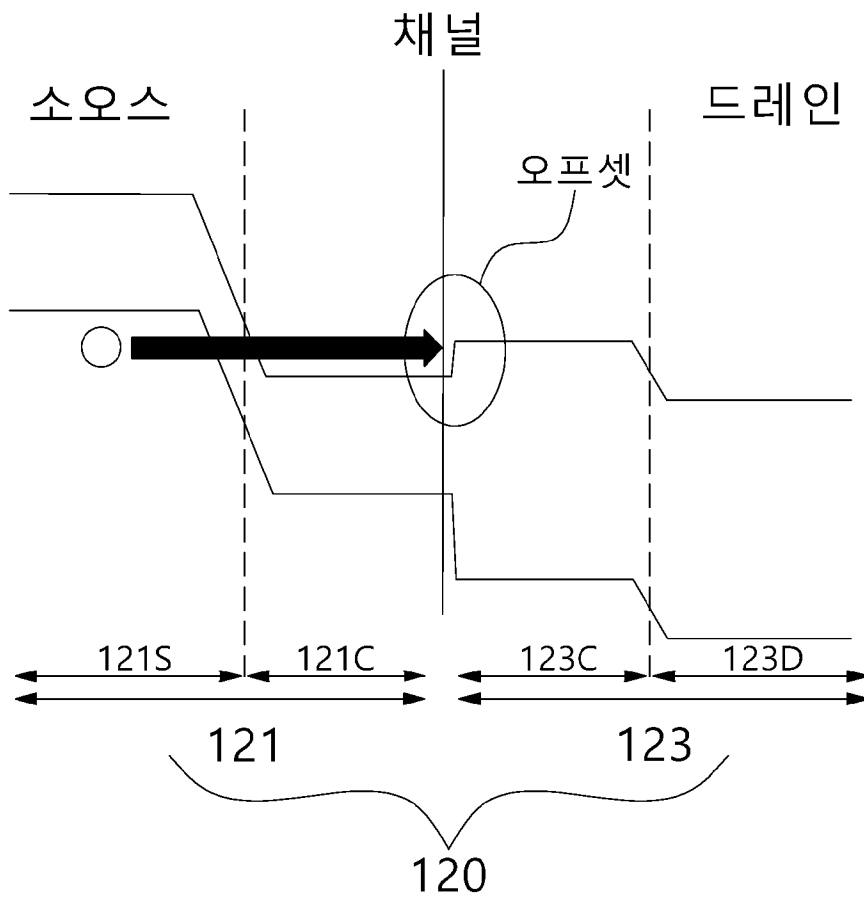
[도1]



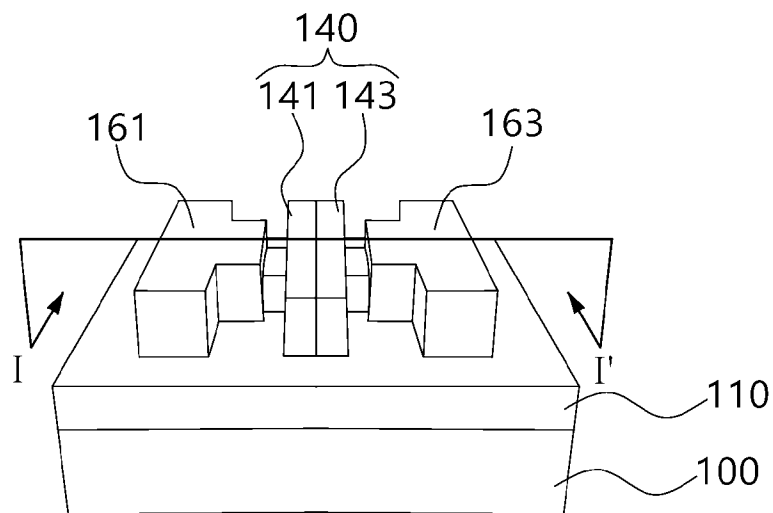
[도2a]



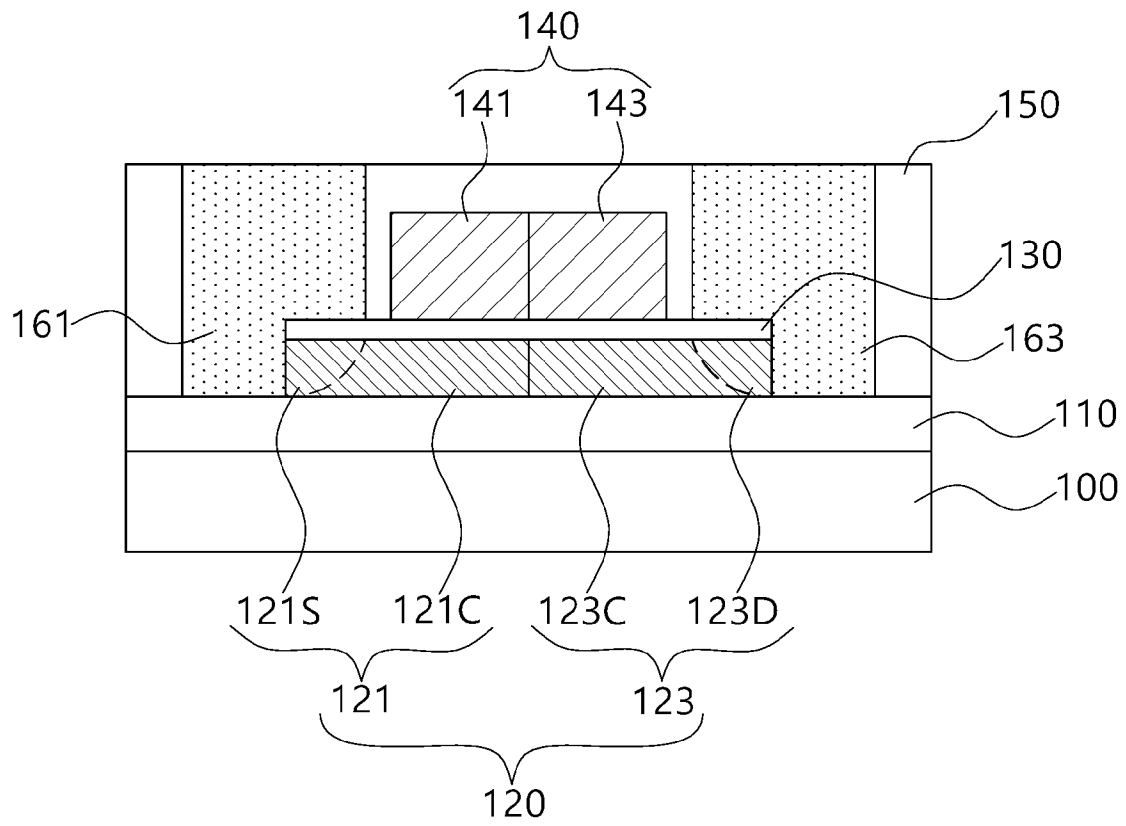
[도2b]



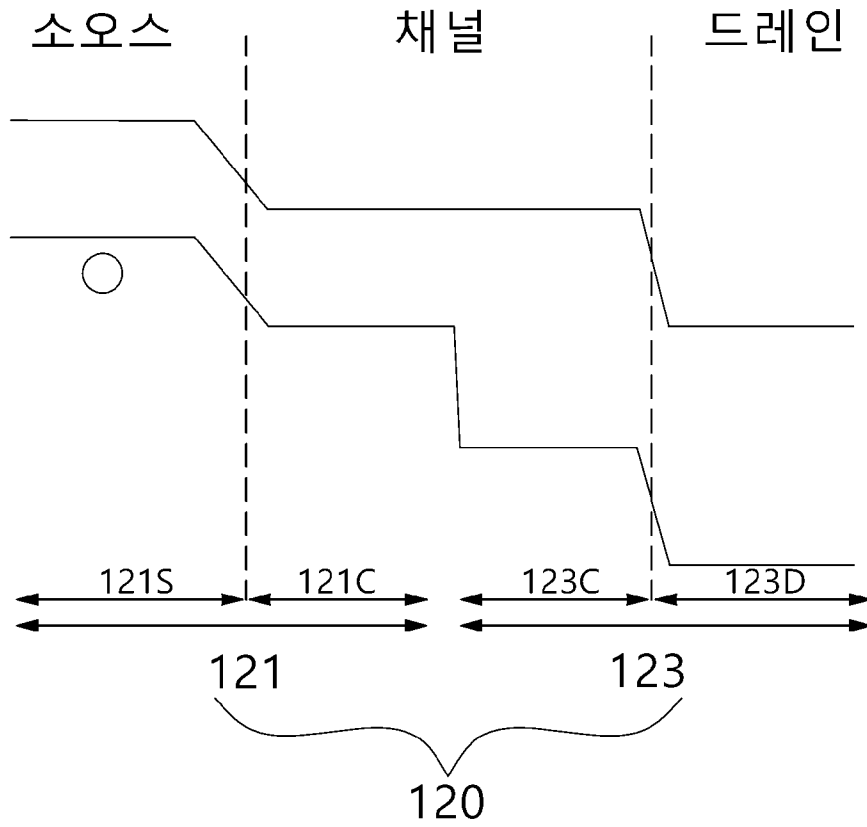
[도3]



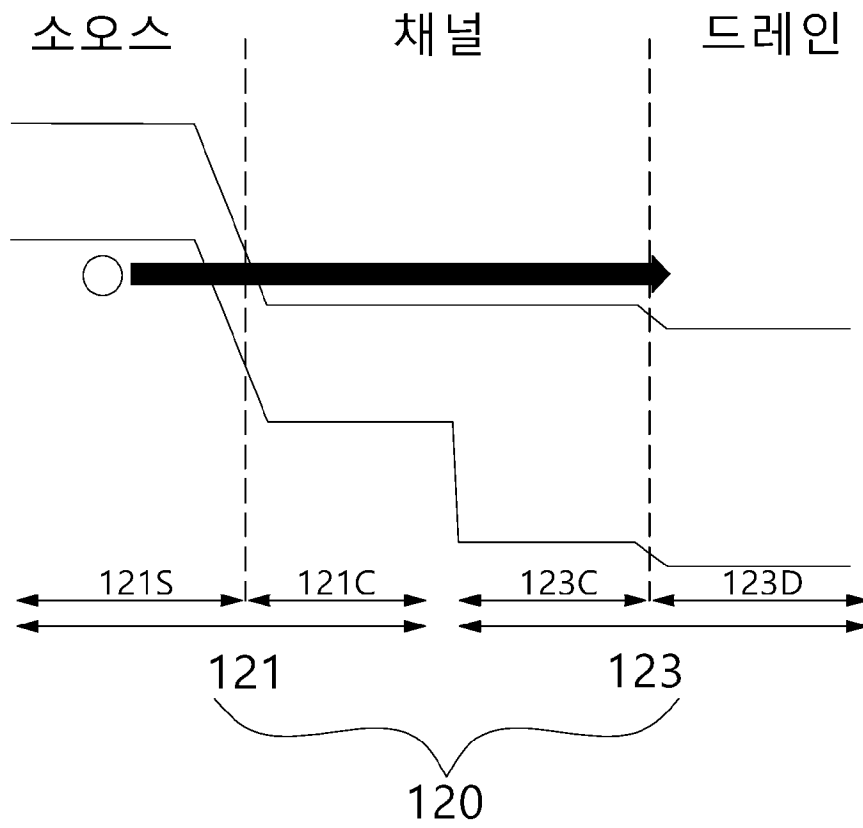
[도4]



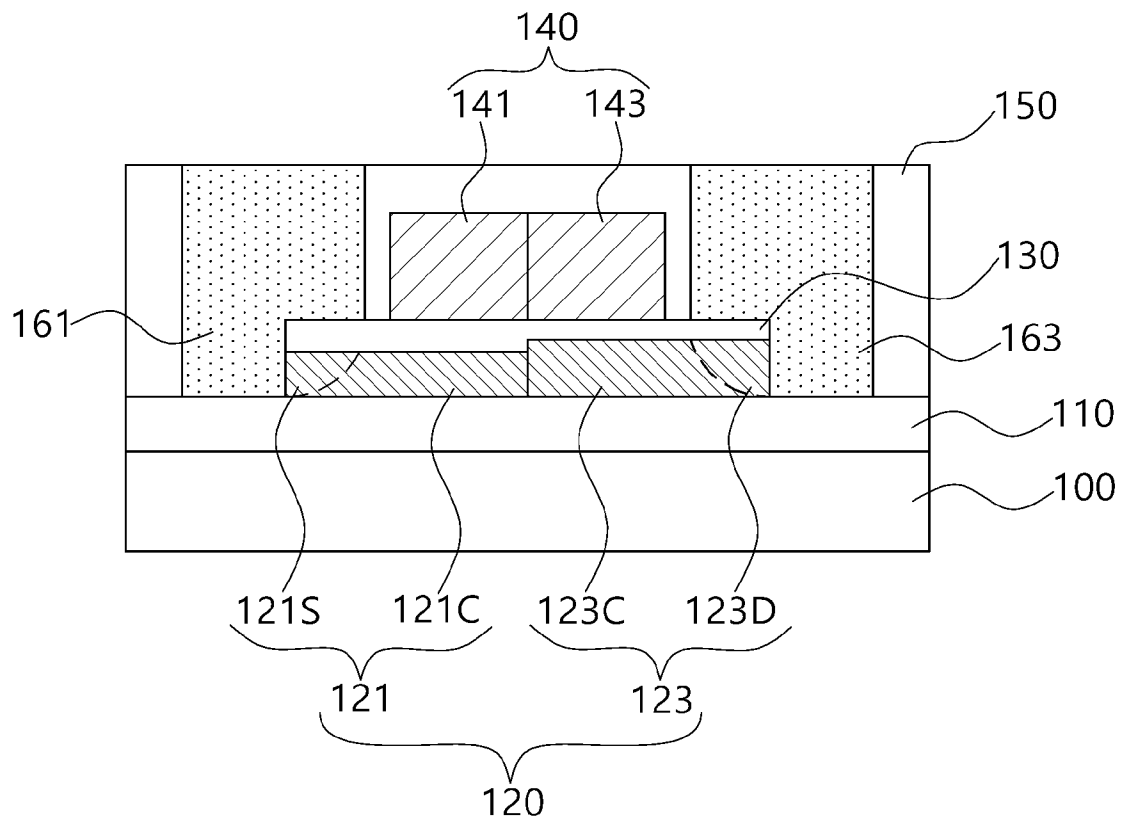
[도5a]



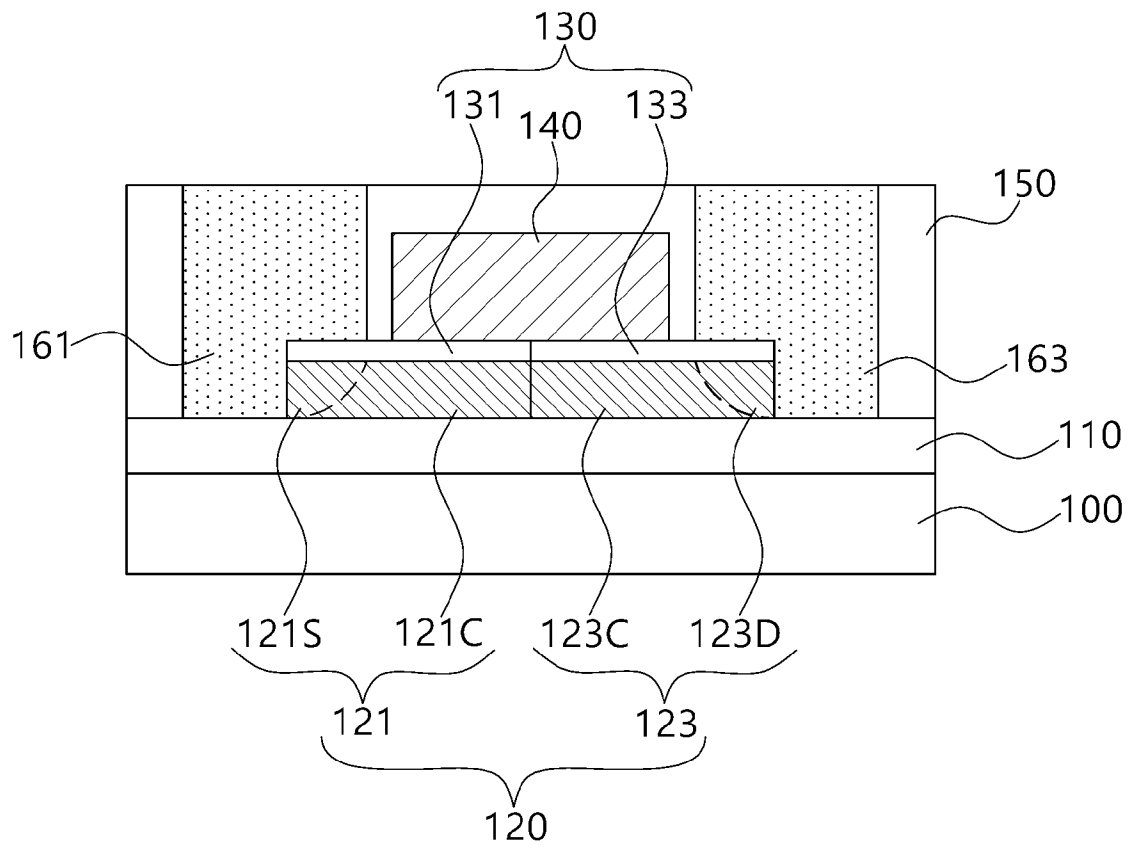
[도5b]



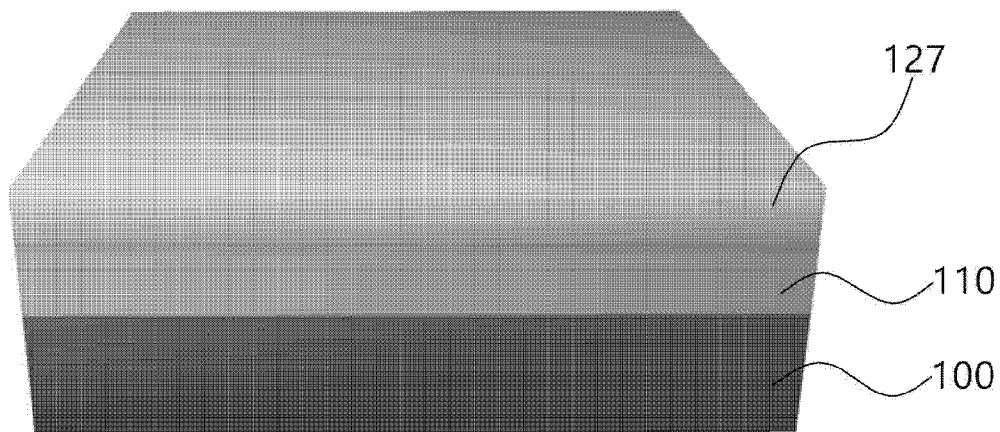
[도6]



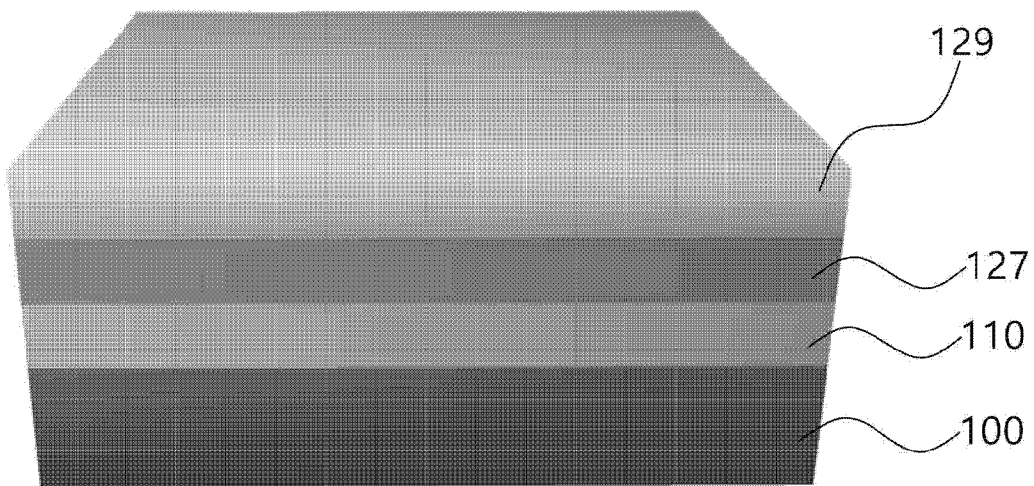
[도7]



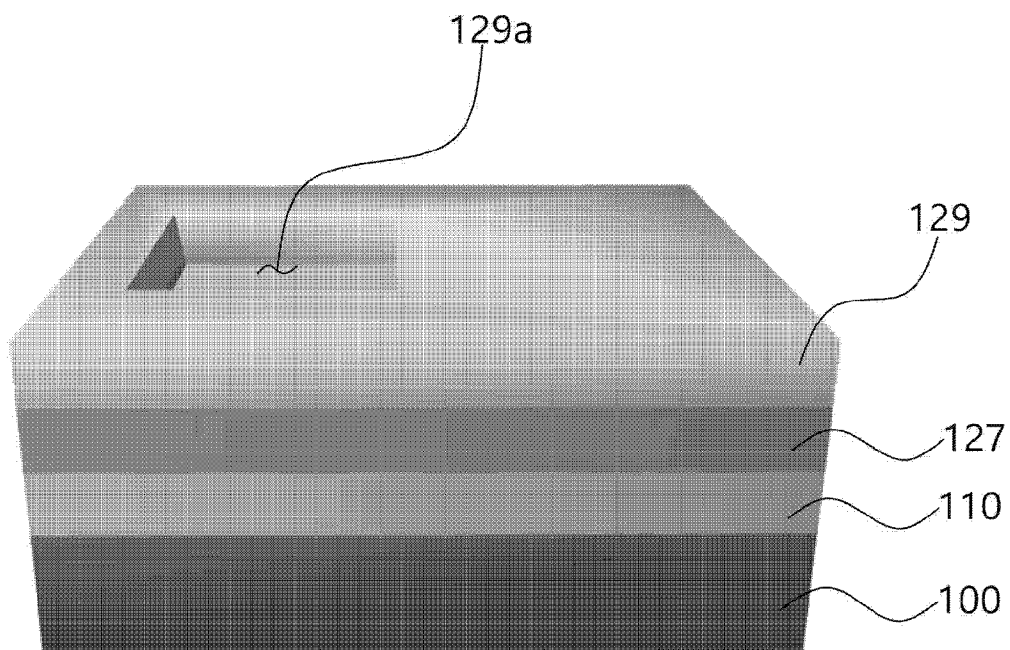
[도8a]



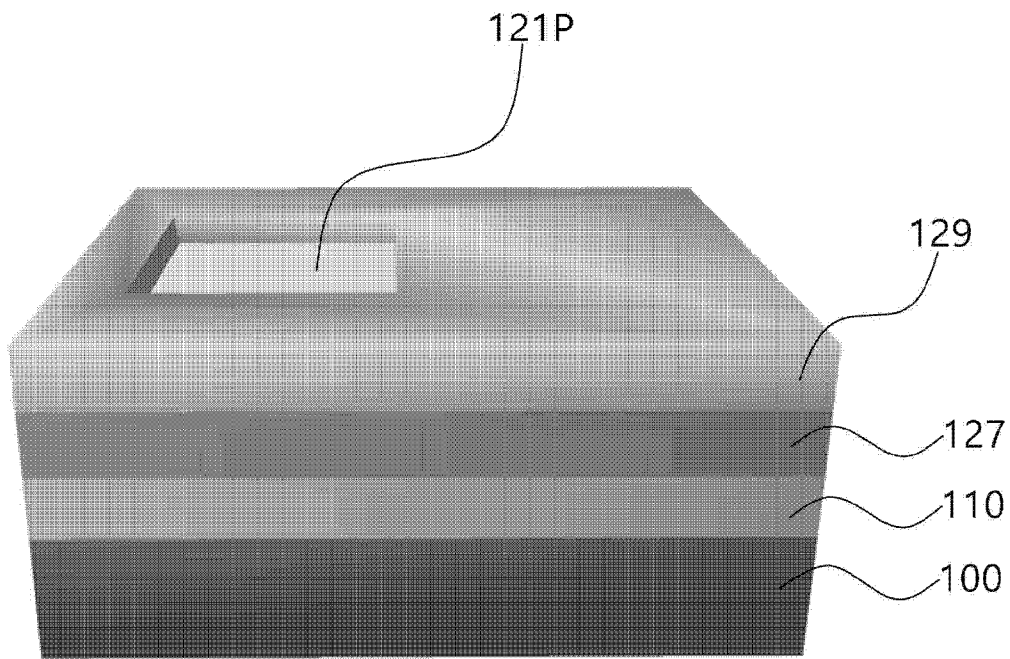
[도8b]



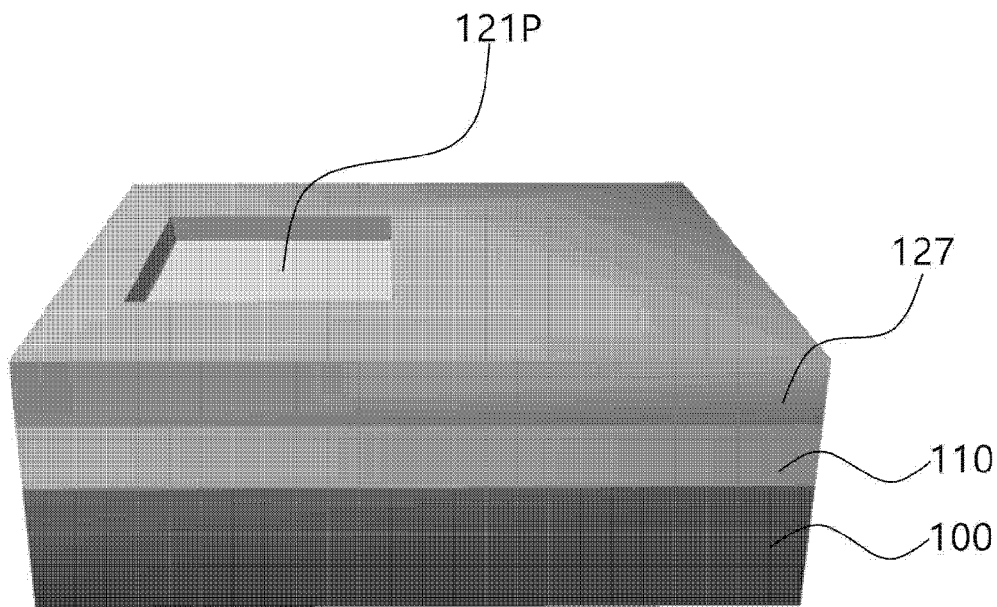
[도8c]



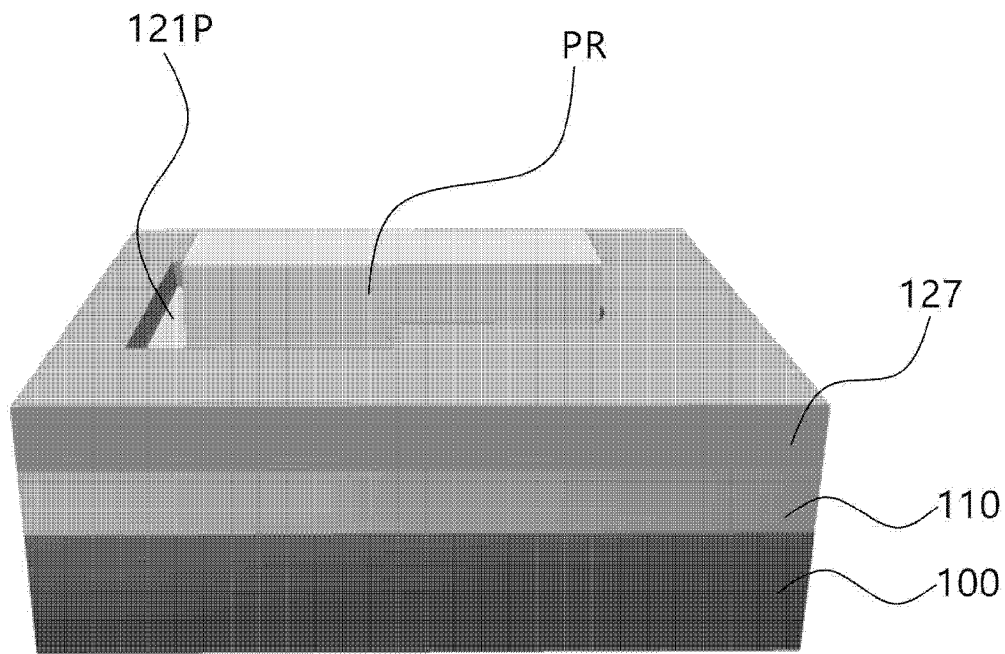
[도8d]



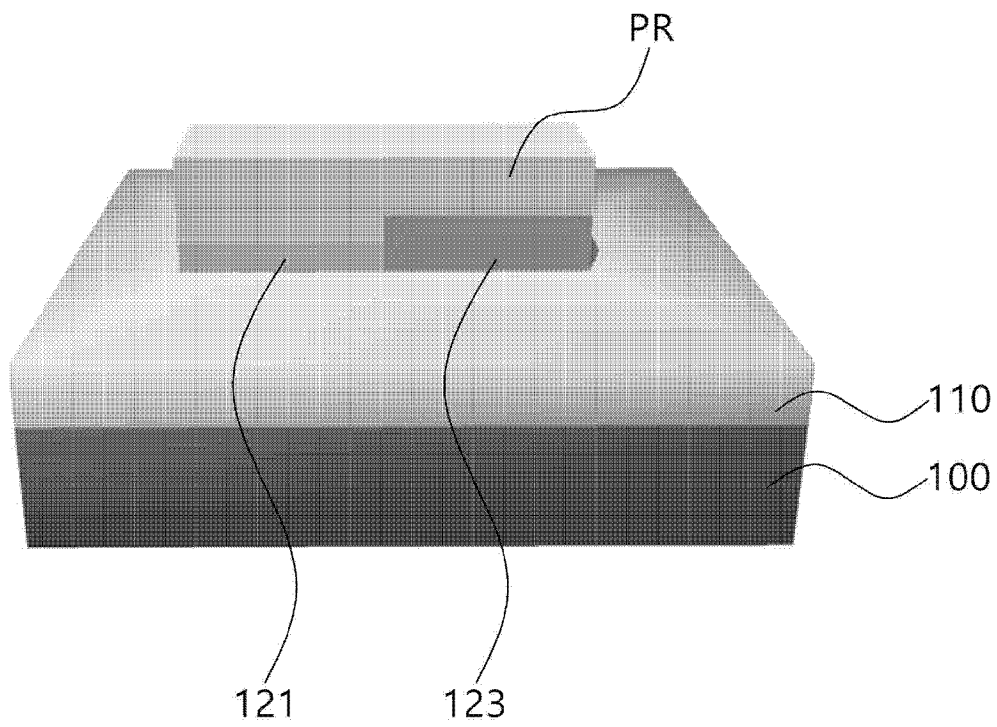
[도8e]



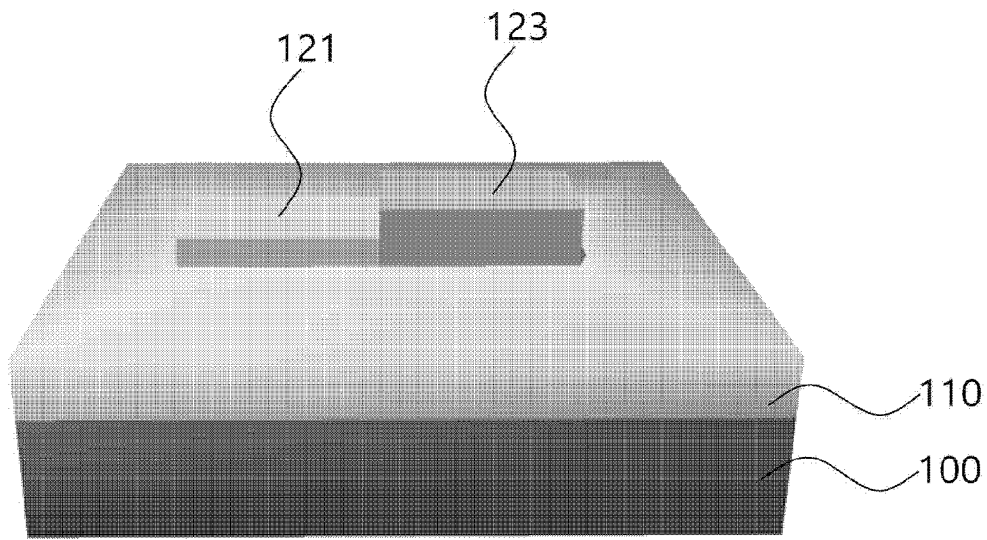
[도8f]



[도8g]



[도8h]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/018354

A. CLASSIFICATION OF SUBJECT MATTER H01L 29/739(2006.01)i; H01L 29/66(2006.01)i; H01L 29/423(2006.01)i; H01L 29/51(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 29/739(2006.01); H01L 21/02(2006.01); H01L 29/423(2006.01); H01L 29/78(2006.01); H01L 29/786(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 터널링 전계 효과 트랜지스터(tunneling field effect transistor), 밴드 갭(band gap), 전하 플라즈마(charge plasma), 제2 채널(second channel), 일함수(work function)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	LEE, Byoung-Seok et al. Doping-less tunnel field-effect transistors by compact Si drain frame/Si0.6Ge0.4-channel/Ge source. AIP Advances. Vol. 11, Issue 4, pp. 1-6, 02 April 2021. [Retrieved on 24 January 2024]. Retrieved from <https://doi.org/10.1063/5.0035370>. See pages 1-5.	1-17
A	KR 10-2020-0079879 A (SOGANG UNIVERSITY RESEARCH & BUSINESS DEVELOPMENT FOUNDATION) 06 July 2020 (2020-07-06) See paragraphs [0036]-[0076]; claims 1-15; and figures 2-8e.	1-17
A	KUMAR, M. Jagadesh et al. Doping-Less Tunnel Field Effect Transistor: Design and Investigation. IEEE Transactions on Electron Devices. Vol. 60, No. 10, pp. 3285-3290, 15 August 2013. [Retrieved on 24 January 2024]. Retrieved from <https://doi.org/10.1109/TED.2013.2276888>. See pages 3285-3289.	1-17
A	EP 2887398 A1 (IMEC et al.) 24 June 2015 (2015-06-24) See paragraphs [0018]-[0109]; claims 1-15; and figures 1-15.	1-17
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 19 February 2024		Date of mailing of the international search report 19 February 2024
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/018354

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2013-0119395 A1 (BHUWALKA, Krishna Kumar et al.) 16 May 2013 (2013-05-16) See paragraphs [0010]-[0029]; claims 1-20; and figures 1-9.	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/018354

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2020-0079879	A	06 July 2020	KR	10-2131902	B1	08 July 2020
EP	2887398	A1	24 June 2015	EP	2887398	B1	13 September 2017
				JP	2015-119178	A	25 June 2015
				JP	6401027	B2	03 October 2018
				US	2015-0171167	A1	18 June 2015
				US	9293536	B2	22 March 2016
US	2013-0119395	A1	16 May 2013	CN	103117306	A	22 May 2013
				CN	103117306	B	18 November 2015
				KR	10-1322040	B1	29 October 2013
				KR	10-2013-0054113	A	24 May 2013
				US	8471329	B2	25 June 2013

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 29/739(2006.01)i; H01L 29/66(2006.01)i; H01L 29/423(2006.01)i; H01L 29/51(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 29/739(2006.01); H01L 21/02(2006.01); H01L 29/423(2006.01); H01L 29/78(2006.01); H01L 29/786(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 터널링 전계 효과 트랜지스터(tunneling field effect transistor), 밴드갭(band gap), 전하 플라즈마(charge plasma), 제2 채널(second channel), 일함수(work function)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	BYOUNG-SEOK LEE 등. Doping-less tunnel field-effect transistors by compact Si drain frame/ Si0.6Ge0.4-channel/Ge source, AIP Advances, Vol. 11, Issue 4, pp. 1-6, 2021.04.02 [검색일 2024-01-24], 출처 < https://doi.org/10.1063/5.0035370 > 페이지 1-5	1-17
A	KR 10-2020-0079879 A (서강대학교산학협력단) 2020.07.06 단락 [0036]-[0076]; 청구항 1-15; 및 도면 2-8e	1-17
A	M. JAGADESH KUMAR 등. Doping-Less Tunnel Field Effect Transistor: Design and Investigation, IEEE Transactions on Electron Devices, Vol. 60, No. 10, pp. 3285-3290, 2013.08.15 [검색일 2024-01-24], 출처 < https://doi.org/10.1109/TED.2013.2276888 > 페이지 3285-3289	1-17
A	EP 2887398 A1 (IMEC 등) 2015.06.24 단락 [0018]-[0109]; 청구항 1-15; 및 도면 1-15	1-17
A	US 2013-0119395 A1 (KRISHNA KUMAR BHUWALKA 등) 2013.05.16 단락 [0010]-[0029]; 청구항 1-20; 및 도면 1-9	1-17
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2024년02월19일(19.02.2024)		국제조사보고서 발송일 2024년02월19일(19.02.2024)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 이강하 전화번호 +82-42-481-5003

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2020-0079879 A	2020/07/06	KR 10-2131902 B1	2020/07/08
EP 2887398 A1	2015/06/24	EP 2887398 B1	2017/09/13
		JP 2015-119178 A	2015/06/25
		JP 6401027 B2	2018/10/03
		US 2015-0171167 A1	2015/06/18
		US 9293536 B2	2016/03/22
US 2013-0119395 A1	2013/05/16	CN 103117306 A	2013/05/22
		CN 103117306 B	2015/11/18
		KR 10-1322040 B1	2013/10/29
		KR 10-2013-0054113 A	2013/05/24
		US 8471329 B2	2013/06/25