



(12)发明专利

(10)授权公告号 CN 106206258 B

(45)授权公告日 2018.11.09

(21)申请号 201610751506.5

(22)申请日 2012.12.06

(65)同一申请的已公布的文献号

申请公布号 CN 106206258 A

(43)申请公布日 2016.12.07

(30)优先权数据

13/316,305 2011.12.09 US

(62)分案原申请数据

201210520205.3 2012.12.06

(73)专利权人 电力集成公司

地址 美国加利福尼亚州

(72)发明人 J·拉姆德尼 J·P·爱德华兹

L·刘

(74)专利代理机构 北京汇知杰知识产权代理事
务所(普通合伙) 11587

代理人 杨勇 吴焕芳

(51)Int.Cl.

H01L 21/02(2006.01)

H01L 29/10(2006.01)

H01L 29/20(2006.01)

(56)对比文件

CN 1213462 C, 2005.08.03,

US 2004/0200406 A1, 2004.10.14,

William E, et al.. "MOCVD growth of
GaN on Si(111) substrates using an ALD-
grow Al₂O₃ interlayer." 《Journal of
Crystal Growth》. 2009, 第311卷(第18期), 第
4306-4310页.

审查员 刘恋恋

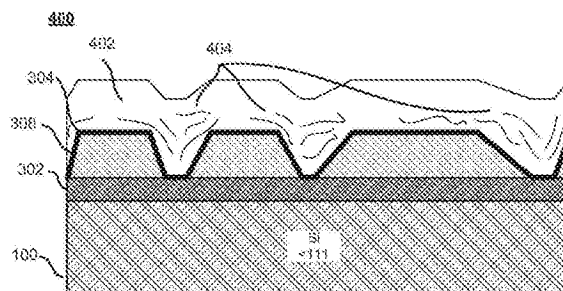
权利要求书1页 说明书5页 附图6页

(54)发明名称

在硅衬底上形成GaN层的方法以及GaN衬底

(57)摘要

本发明涉及在硅衬底上形成GaN层的方法以及GaN衬底。所述在硅衬底上形成GaN层的方法包括：在硅晶圆和位于该硅晶圆表面上的Al₂O₃膜之间形成一个非晶AlSiO膜；以及在所述Al₂O₃膜上方沉积多个层压层，其中每个层压层都包括位于AlN层上方的GaN层。所述GaN衬底包括：一个硅衬底，具有沿着<111>晶体取向的顶部表面和底部表面；一个Al₂O₃膜，在所述硅衬底的顶部表面的上方，其中所述Al₂O₃膜是晶体；一个非晶膜，在所述硅衬底的顶部表面和所述Al₂O₃膜之间；以及多个层压层，在所述Al₂O₃膜上方，其中每个层压层都包括位于AlN膜上方的GaN膜。



1. 在硅衬底上形成GaN层的方法,该方法包括:

在硅晶圆的顶部表面上的 Al_2O_3 膜中形成孔隙,以及在硅晶圆和 Al_2O_3 膜之间形成一个非晶 AlSiO 膜;以及

在所述 Al_2O_3 膜上方沉积多个层压层,

其中每个层压层都包括位于 AlN 层上方的GaN层;其中

所述孔隙被 AlN 和GaN填充;其中

在金属有机化学气相沉积(MOCVD)工具中在 Al_2O_3 膜上生长一个初始 AlN 膜的工艺期间,形成孔隙和 AlSiO 非晶膜。

2. 根据权利要求1所述的方法,还包括在 850°C 到 950°C 进行高温退火且持续5到20分钟,以在生长 AlN 膜之前从 Al_2O_3 膜的表面移除污染物。

3. 根据权利要求2所述的方法,其中所述 AlN 膜通过氮化形成。

4. 根据权利要求2所述的方法,还包括将温度升高至 1050°C 且持续1到5分钟,以使 AlN 晶体化。

5. 根据权利要求4所述的方法,其中形成孔隙作为金属有机化学气相沉积MOCVD工艺的一部分而发生。

6. 根据权利要求1所述的方法,其中在 AlN 膜上方生长GaN膜作为金属有机化学气相沉积MOCVD工艺的一部分发生。

7. 根据权利要求1所述的方法,其中所述多个层压层是仅三个层压层。

8. 根据权利要求1所述的方法,其中所述多个层压层是仅四个层压层。

9. 一种GaN衬底,包括:

一个硅衬底,具有顶部表面和底部表面;

一个 Al_2O_3 膜,在所述硅衬底的顶部表面的上方且直接接触硅衬底,所述硅衬底具有 $500\mu\text{m}$ 到 $1000\mu\text{m}$ 之间的第一厚度,其中所述 Al_2O_3 膜是晶体且具有 5nm 到 50nm 的第二厚度,以及多个孔隙被限定在所述 Al_2O_3 膜中;

一个非晶膜,在所述硅衬底的顶部表面和所述 Al_2O_3 膜之间,且具有 2nm 到 10nm 的厚度;

一个 AlN 膜,形成在所述 Al_2O_3 膜上方,其中所述孔隙中的至少一些孔隙的底部连接以暴露所述非晶膜;

多个层压层,在所述 Al_2O_3 膜上方,其中每个层压层都包括位于 AlN 膜上方的GaN膜。

10. 根据权利要求9所述的GaN衬底,其中第二层压层比第一层压层具有更低的穿透位错密度,其中与所述第一层压层相比,所述第二层压层更远离所述硅衬底的顶部表面。

11. 根据权利要求9所述的GaN衬底,其中所述多个层压层是仅三个层压层。

12. 根据权利要求9所述的GaN衬底,其中在至少两个层压层后,晶体管在顶部层压层的GaN膜中形成;其中顶部GaN膜的厚度为至少 $2.5\mu\text{m}$ 。

在硅衬底上形成GaN层的方法以及GaN衬底

[0001] 本申请是申请日为2012年12月6日、申请号为201210520205.3、名称为“硅上的高质量GaN高压HFET”的发明专利申请的分案申请。

技术领域

[0002] 本公开内容总体涉及氮化镓 (GaN) 衬底,更具体地,本公开内容涉及一种用于在硅上制备GaN衬底的方法。

背景技术

[0003] 宽带隙半导体广泛用于制备针对高压应用的有源器件。一种称为异质结场效应晶体管 (HFET) (也被称作高电子迁移率晶体管 (HEMT)) 的半导体结构类型使用宽带隙半导体来实施用于高性能功率电子器件 (power electronics) 的晶体管。在一个实施例中,宽带隙 HFET 器件可被用作高压开关功率转换器中的开关元件。

[0004] GaN是已经得到特别关注的宽带隙半导体的一个实施例。例如,AlGaN/GaN HFET由于其较宽的带隙和高的电子饱和速度(二者都使得能够实现高压操作)而显示出功率电子器件的前景。然而,形成GaN衬底时的困难和成本限制了将基于GaN的器件应用到特定市场。

[0005] 由于制造大量GaN晶圆 (wafer) 的成本和困难,通常通过在另一个衬底上生长GaN膜来制造GaN衬底。例如,碳化硅 (SiC) 或蓝宝石 (Al_2O_3) 晶圆可用作GaN衬底的操作晶圆 (handle wafer) (即GaN膜沉积在操作晶圆上方)。然而,蓝宝石是一种不良的热导体,在封装期间表现出困难,而SiC晶圆也非常昂贵。此外,两种类型的晶圆都仅能用作小直径晶圆,这省去了较大直径所能提供的规模经济。

[0006] 形成GaN衬底的另一个选择是使用硅操作晶圆,硅操作晶圆是廉价的,并能够提供大直径。此外,已经很好地开发了针对硅晶圆的封装所需要的后端磨削和抛光。然而,由于GaN和硅之间的大的晶格失配和大的热失配,难于直接在硅 (Si) 衬底上可靠地生长GaN。而是,硅上无裂纹GaN的外延生长可能需要扩展 (extensive) 缓冲层,该缓冲层被建造以使得在生长期间以及生长之后的弯曲和翘曲最小化。此外,高压应用 (例如600V以上) 可能要求超过 $2.5\mu\text{m}$ 甚至高达 $4\mu\text{m}$ (例如对于1000V的应用) 的缓冲层。

附图说明

[0007] 从下文结合附图呈现的更具体的描述,将会更明了本发明的多个实施方案的各个方面、特征和优势。

[0008] 本发明的非限制及非穷举性的实施方案通过参考下列附图进行描述,其中在各个视图中,相似的附图标记表示相似的部件,除非另有说明。

[0009] 图1示出了根据本发明的一个实施方案的在制备GaN衬底中使用的沿着<111>晶体取向具有暴露表面的示例性硅晶圆。

[0010] 图2示出了根据本发明的一个实施方案的处于制备GaN衬底的一个阶段时的衬底,

其中在该阶段晶体氧化铝 Al_2O_3 膜在晶圆的顶部表面上。

[0011] 图3示出了根据本发明的一个实施方案的处于制备GaN衬底的另一个阶段时的衬底,其中在该阶段非晶膜(amorphous film)在 Al_2O_3 膜下方。

[0012] 图4示出了根据本发明的一个实施方案的处于制备GaN衬底的又一个阶段时的衬底,该阶段是在已经于AlN膜的顶部上生长GaN膜之后。

[0013] 图5示出了根据本发明的一个实施方案的处于制备GaN衬底的又一个阶段时的衬底,该阶段是在已经生长多个交错的GaN膜层和AlN膜层从而形成适于HFET成型的表面之后。

[0014] 图6是根据本发明的一个实施方案的制备可适于形成晶体管和其他器件的GaN衬底的一个示例性工艺的流程图。

具体实施方式

[0015] 在下文的描述中陈述了多个特定细节,以提供对本发明的透彻理解。然而,对于本领域普通技术人员而言明了的是,不必使用特定细节来实践本发明。在其他实例中,为避免模糊本发明,没有详细描述众所周知的材料或方法。

[0016] 贯穿本申请文件所参引的“一个实施方案”、“一实施方案”、“一个实施例”或“一实施例”意指,关于所述实施方案或实施例所描述的具体特征、结构或特性包含在本发明的至少一个实施方案中。因此,在整个申请文件的不同地方出现的措词“在一个实施方案中”、“在一实施方案中”、“一个实施例”或“一实施例”未必都指的是相同的实施方案或实施例。而且,所述具体的特征、结构或特性可以任何合适的组合和/或子组合被结合在一个或多个实施方案或实施例中。具体的特征、结构或特性可包括在集成电路、电子电路、组合逻辑电路、或者提供所描述功能的其他合适的部件中。此外,应理解此处提供的附图是用于对本领域普通技术人员进行解释的目的,并且附图未必按比例画出。

[0017] 图1-5示出了图6所示出的示例性工艺的各个阶段时的GaN衬底,图6示出的示例性工艺用于形成可适于在制备晶体管(例如HFET)中使用的GaN衬底。流程图600(图6)的方框在下文参照图1-5以及多个示例性加工操作和步骤进行解释。图1-5中示出的衬底和结构的特征、形状和比例不对权利要求构成限制。此外,应理解,下文的解释是针对一个实施例,不对权利要求构成限制。

[0018] 如图1示出的,该图描绘了制备GaN衬底的初始阶段,晶圆100包括顶部表面104和底部表面102。在图1中示出的实施例中,晶圆100是<111>硅晶圆。在该实施例中,晶圆100是<111>硅晶圆,因为顶部表面104和底部表面102暴露了形成晶圆的晶体硅的<111>晶体取向。如下文描述的,晶圆100可用作操作晶圆,以生长GaN膜(未示出)。例如,可在晶圆100的顶部表面104或者一个中间层上方生长GaN膜(未示出)。晶圆100可以是典型的厚度,例如在 $500\mu\text{m}$ 到 $1000\mu\text{m}$ 之间,但是也可使用其他厚度。

[0019] 现参考图2,该图示出了在制备GaN衬底期间一个阶段之后的衬底200,氧化铝(Al_2O_3)膜202与晶圆100的顶部表面104交界(interface)。在一个实施例中, Al_2O_3 膜202提供了一个类似于蓝宝石衬底的表面的表面,这可允许再利用针对蓝宝石衬底所开发的工艺。此外, Al_2O_3 膜202还可作为用于生长随后的膜的种子层(seed layer)。例如, Al_2O_3 膜202可以是用于随后的氮化铝(AlN)膜的种子层。在另一个实施例中, Al_2O_3 膜202可具有c-轴线

取向,该取向匹配硅晶圆的<111>表面(都是六边形)。晶体 Al_2O_3 膜202可以是5nm到50nm。在一个实施例中,晶体 Al_2O_3 膜202是约5nm。

[0020] 如进一步示出的,图2示出了在晶圆100的顶部表面104(图1)上方生长晶体 Al_2O_3 膜202之后的晶圆100。在一个实施例中,使用分子束外延(MBE)工具和MBE工艺来生长 Al_2O_3 膜202,使得 Al_2O_3 膜202直接在晶圆100的表面上。具体地,MBE允许在低温时沉积,这可防止硅的氧化。在沉积 Al_2O_3 膜202时较高的真空度还可帮助防止硅氧化。其他的工具和工艺——例如化学气相沉积(CVD)工艺和工具——还可用于形成 Al_2O_3 膜202(在 Al_2O_3 膜202与晶圆100的硅表面之间具有或者不具有干涉层)。

[0021] 在一个实施例中,由于 Al_2O_3 膜202和晶圆100之间的晶格失配,晶圆100可在 Al_2O_3 膜202上施加张应力(tensile stress)。 Al_2O_3 膜202中形成的位错(dislocation)可缓和初始张应力,并减少翘曲。如下文将讨论的,可在 Al_2O_3 膜202的顶部上生长额外的GaN膜层,这可允许在 Al_2O_3 膜202上施加压缩应力,并有助于减轻初始张应力,限制晶圆100中的翘曲。

[0022] 在一个实施例中,晶体 Al_2O_3 膜202可直接接触晶圆100,即,在晶圆100的顶部表面104和 Al_2O_3 膜202之间没有干涉膜。如果例如通过防止晶圆100的表面在形成晶体 Al_2O_3 膜202之前被氧化的方式沉积 Al_2O_3 膜202,则可能是这种情形。在一个实施方案中,以一种具体的方式加工半导体器件200,以允许在硅晶圆100和 Al_2O_3 膜202之间形成中间膜(未示出),从而减轻应力或者用于其他目的。例如,可形成一层硅铝氧化物,以在晶圆100与晶体 Al_2O_3 膜202交界处缓解应力。

[0023] 现参考图3,该图示出了根据本发明的实施方案的在制备GaN衬底期间一个阶段之后的衬底300,非晶膜302在晶圆100与 Al_2O_3 膜304之间形成。在一个实施例中,非晶膜302包括来自晶圆100和 Al_2O_3 膜的铝、硅和氧(AlSiO)。在一些实施例中,孔隙(void)306可构成和改变原始生长的 Al_2O_3 膜202的表面拓扑,以形成 Al_2O_3 膜304。具体地,孔隙306可允许通过湮没(annihilation)工艺来减小位错密度。一些孔隙306的底部可暴露非晶 AlSiO 膜302;然而,并非所有的孔隙都必须暴露非晶 AlSiO 膜302。此外, AlN 膜308已经在 Al_2O_3 膜304上方形成,并暴露非晶膜302的一部分。在其他实施例中,可形成不具有孔隙的非晶膜302。此外,在一些情形中,可以不在非晶膜302的暴露在孔隙306的底部处的部分上形成 AlN 膜308。

[0024] 在一个实施例中,可在高温退火期间于 Al_2O_3 膜304和晶圆100之间形成非晶膜302,所述高温退火还可导致 Al_2O_3 膜304汇集(pool)并形成暴露非晶膜302的一部分的孔隙306。孔隙306可由随后的膜沉积和/或后续的在 Al_2O_3 膜304的表面上生长而被填充,并可通过导致穿透位错(threading dislocation)卷回至其他穿透位错,来促进在后续形成的GaN膜中的穿透位错湮没。在另一个实施例中,孔隙306还可使位错从向上行进转向至可发生裂隙的衬底表面。即使在 Al_2O_3 膜304中形成孔隙306, Al_2O_3 膜304的区域仍可保持晶体结构。

[0025] 在一个实施例中,非晶膜302可缓解 Al_2O_3 膜304和晶圆100之间的应力。非晶膜302的厚度可由晶圆100的温度以及将晶圆100保持在该温度时的时间来控制。在一个实施例中,非晶膜302可在低至800℃的温度时形成。非晶膜302的典型厚度在2nm到10nm之间。在一种情形中,非晶膜302是2nm厚。

[0026] 在一个示例性工艺中,孔隙306和 AlSiO 非晶膜302在如下工艺期间形成,该工艺用以在金属有机化学气相沉积(MOCVD)工具中于 Al_2O_3 膜304上生长一个初始 AlN 膜308。生长 AlN 膜308的第一步可以是在生长 AlN 膜308之前从 Al_2O_3 膜304的表面移除污染物的高温退

火。例如,该高温退火可以是约850℃到950℃,持续5到20分钟。在该高温退火期间,可形成孔隙306和非晶膜302。用于形成AlN膜308的示例性方法开始于氮化工艺,以在Al₂O₃膜308上形成薄的AlN膜。接着,可使用(氨)NH₃作为氮源,使用三甲基铝(TMA)作为铝源,在MOCVD室中形成低温AlN膜。换句话说,TMA提供了铝,该铝在表面处与来自NH₃的氮成核(nucleate),从而在约550℃到650℃的温度时形成AlN膜。一旦形成AlN膜,温度可以升高至1050℃且持续约1到5分钟,以使AlN晶体化。在一个实施例中,AlN膜308可以是例如约20nm厚,但是厚度还可以在10nm到200nm之间。

[0027] 图4示出了在制备GaN衬底期间一个阶段之后的衬底400。第一层压层(laminate layer)已经形成,该层压层包括上文关于图3描述的AlN膜308和GaN膜402。如图4中示出的,Al₂O₃膜304中的孔隙还存在于GaN膜402的表面中。然而,孔隙的尺寸明显减小。此外,可在GaN膜402中看到穿透位错404,尤其可在Al₂O₃膜304中的孔隙上方的区域中看到穿透位错404。

[0028] 如果AlN膜是第一层压层的一部分,则可在Al₂O₃膜和暴露的非晶膜上方生长AlN膜。随后的层压层可具有在先前的层压层的GaN膜上方生长的AlN膜。可按照上文关于方框604的描述生长AlN膜。或者可使用其他具有不同温度、生长速度和V/III比的工艺。例如,第一层压层(其中AlN膜在Al₂O₃膜和暴露的非晶膜上形成)包括一个可由高温工艺形成的AlN膜,但是在随后的层压层中使用的随后的AlN膜层可使用如下一个工艺方法,该工艺方法使用比用于第一层压层的AlN膜的方法更低的峰值温度。作为其他实施例,用于后续生长的AlN膜的方法可以省略晶体化或氮化步骤。每个层压层的AlN膜可以是例如约20nm厚,但是厚度还可在10nm和200nm之间。

[0029] 在生长AlN膜之后,在AlN膜上方生长GaN膜。例如,MOCVD工具可用于生长GaN膜。一个示例性方法可包括1030℃的温度、100托的压力、以及约2000的V/III比(例如NH₃与三甲基镓(TMGA)的比)、以及2μm/hr的生长速度。在一些情形中,用于生长AlN膜的相同的MOCVD室可用于GaN膜,无需将晶圆从工具中移出。在另一些情形中,单独的工具可用于AlN膜和GaN膜。多个层压层中的每一个的GaN膜可以是500nm到50000nm厚。最后的GaN膜可以是若干微米厚,以支撑高压(例如600V以上)器件。

[0030] 由于在Al₂O₃膜中形成了孔隙(上文关于图3讨论的),所以第一层压层的GaN膜不会生长成为一个完整晶体。而是,该GaN膜会具有相对高的缺陷密度,例如位错,尤其是穿透位错。GaN膜内位于Al₂O₃中的孔隙上方的区域可具有尤其高的穿透位错密度。在至少2个(例如2、3、4、5或更多个)层压层后,晶体管(或其他器件)例如AlGaIn/GaN HFET可在顶部层压层的GaN膜中形成。该顶部GaN膜可具有适合于待形成的具体类型器件的厚度。例如,如果待形成高压(例如600V以上)器件,则可期望顶部GaN膜的厚度为至少2.5μm。如果待形成甚至更高电压(例如1000V)的器件,则可需要顶部GaN膜的厚度为4μm。

[0031] 图5示出了在制备GaN衬底期间一个阶段之后的衬底500。已经生长了三个额外的层压层。具体地,已经生长了AlN膜502和GaN膜504的层压层、AlN膜506和GaN膜508的层压层,以及AlN膜510和GaN膜512的层压层。如可看到的,对于每个随后的层压层,GaN膜中的穿透位错密度减小。类似地,Al₂O₃膜302中的孔隙随着每个额外的层压层而收缩。GaN膜512的顶部表面514可以适合于形成晶体管(或其他器件),例如AlGaIn/GaN HFET。

[0032] 在至少2个(例如2、3、4、5或更多个)层压层后,晶体管(或其他器件)例如AlGaIn/

GaN HFET可在顶部层压层的GaN膜中形成。该顶部GaN膜可具有适合于待形成的具体类型器件的厚度。例如,如果待形成高压(例如600V以上)器件,则期望顶部GaN膜的厚度为至少2.5 μm 。如果待形成甚至更高电压(例如1000V)的器件,则需要顶部GaN膜的厚度为4 μm 。此外,当示出GaN膜512没有任何穿透位错时,这表示与之前层压层中的一些或者所有相比,GaN膜512具有改进的穿透位错密度。

[0033] 根据第一GaN膜的厚度,一个或多个孔隙仍可存在于GaN膜的表面上。然而,随着生长额外的层压层,孔隙上方的区域可具有高速率的穿透位错湮没,甚至仅仅在第二层压层之后。换句话说,每个层压层的GaN膜可具有比之前的层压层的GaN膜更低的穿透位错密度。因此,在某一数量的层压层之后,GaN膜可以是平坦的(在表面上看不到孔隙),且穿透位错密度在可接受的水平。因此,通过使用多个层压层来代替单个较厚的层,一些位错线可以从竖直向上行进被重新导向至形成裂纹的表面。

[0034] 因此,上文描述的新的缓冲层可表现得类似于蓝宝石衬底,允许很容易地转用(transfer)针对蓝宝石所开发的外延工艺。该缓冲层允许使用比蓝宝石衬底更便宜的GaN衬底。注意到,GaN膜在 Al_2O_3 上的生长还可以是在连续的压缩应力下(不同于当在硅上直接生长GaN时,其中取决于应力工程所使用的各层的组合,GaN膜可以是张紧的或压缩的)。GaN的压缩应力可以补偿在冷却衬底期间由硅和GaN之间的热失配所生成的张应力。该补偿可形成无裂缝的GaN膜,用于高压应用的较厚的GaN膜,以及6英寸或8英寸硅衬底的简单转变。

[0035] 图6示出了形成GaN衬底的一个示例性工艺的流程600。在方框602中,获得一个在顶部表面上具有 Al_2O_3 膜的<111>硅晶圆。在方框603中,在Si晶圆和 Al_2O_3 之间的交界处形成非晶膜。在方框604中,使用例如高温退火在 Al_2O_3 膜中形成孔隙。在方框606中,形成多个层压层。每个层压层包括AlN膜顶部上的一个GaN膜。

[0036] 上述对本发明所示出实施例的描述,包括在摘要中所描述的内容,并不意在是穷举性的或者是对于所公开的精确形式的限制。由于本发明的具体实施方案和实施例是出于说明目的而被描述的,因此在不偏离本发明的更宽精神和范围的情况下,各种等同的修改都是可能的。事实上,应理解,厚度、材料、加工操作等的特定实施例被提供用于解释目的,其他的厚度、材料、加工操作等还可被用在根据本发明教导的其他实施方案、实施例和工艺中。

[0037] 可以按照上述详细描述,对本发明的实施例进行这些修改。在下面的权利要求中使用的措词不应该被解释为将本发明限制在说明书和权利要求中所公开的特定实施方案。而是,本发明的范围将完全由下面的权利要求决定,所述权利要求将根据权利要求解释的既定规则被解释。本说明书和附图相应地被认为是说明性的而非限制性的。

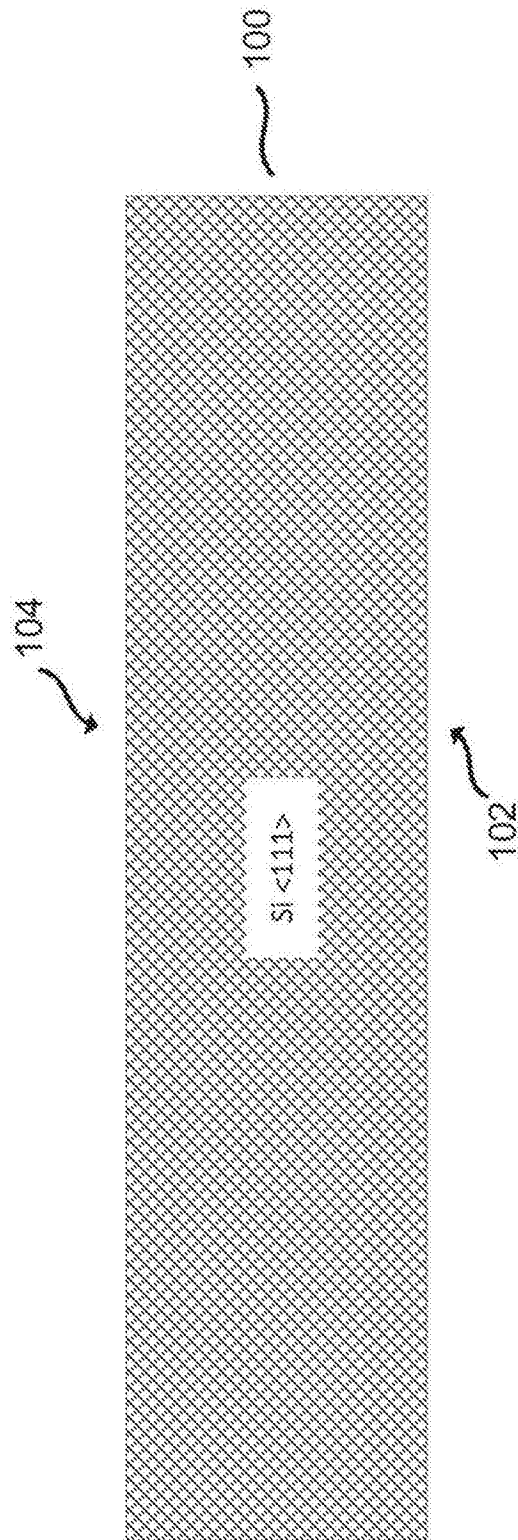


图1

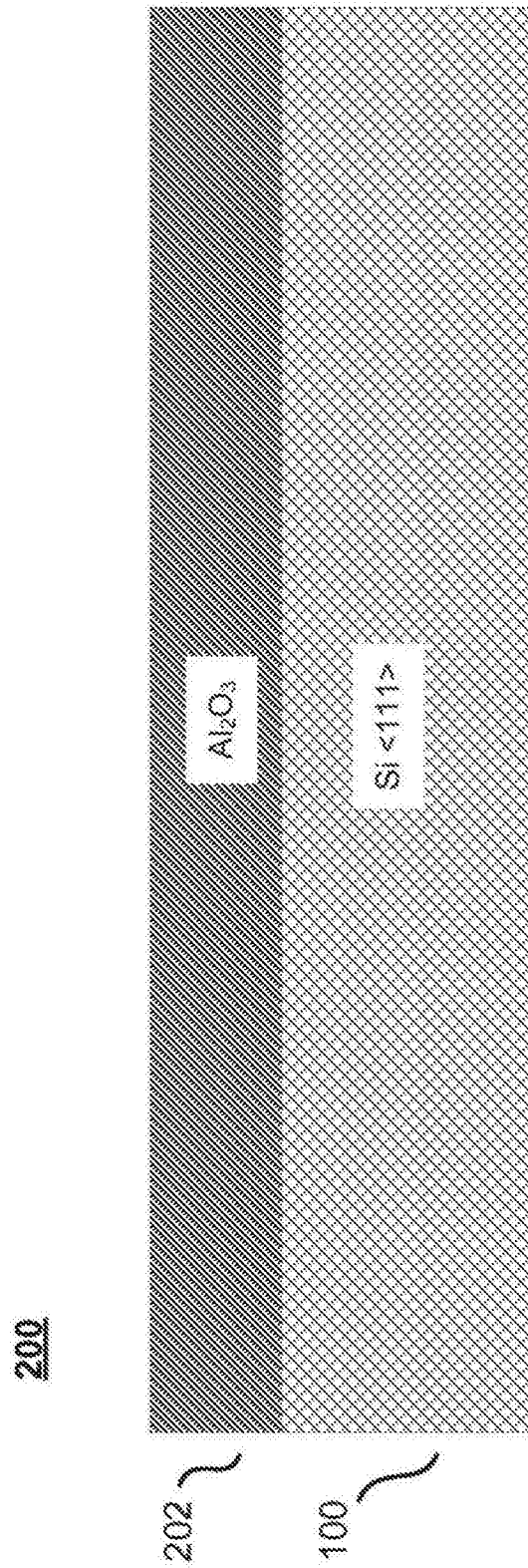


图2

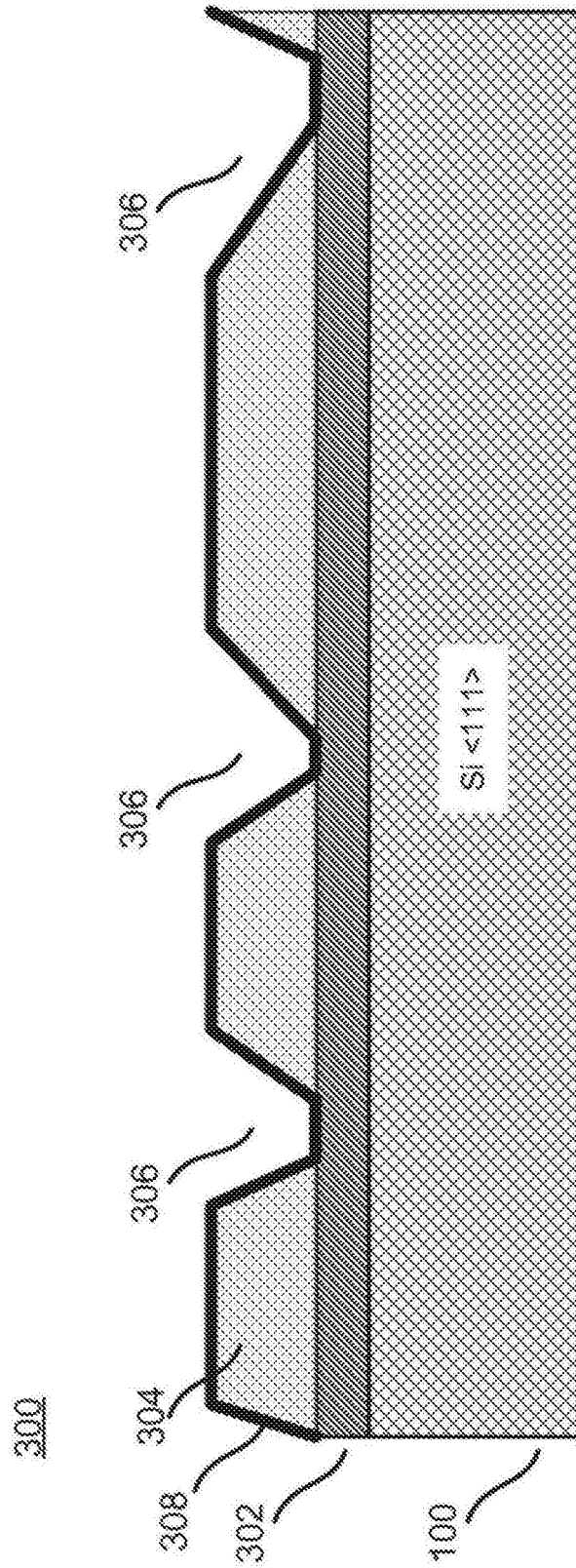


图3

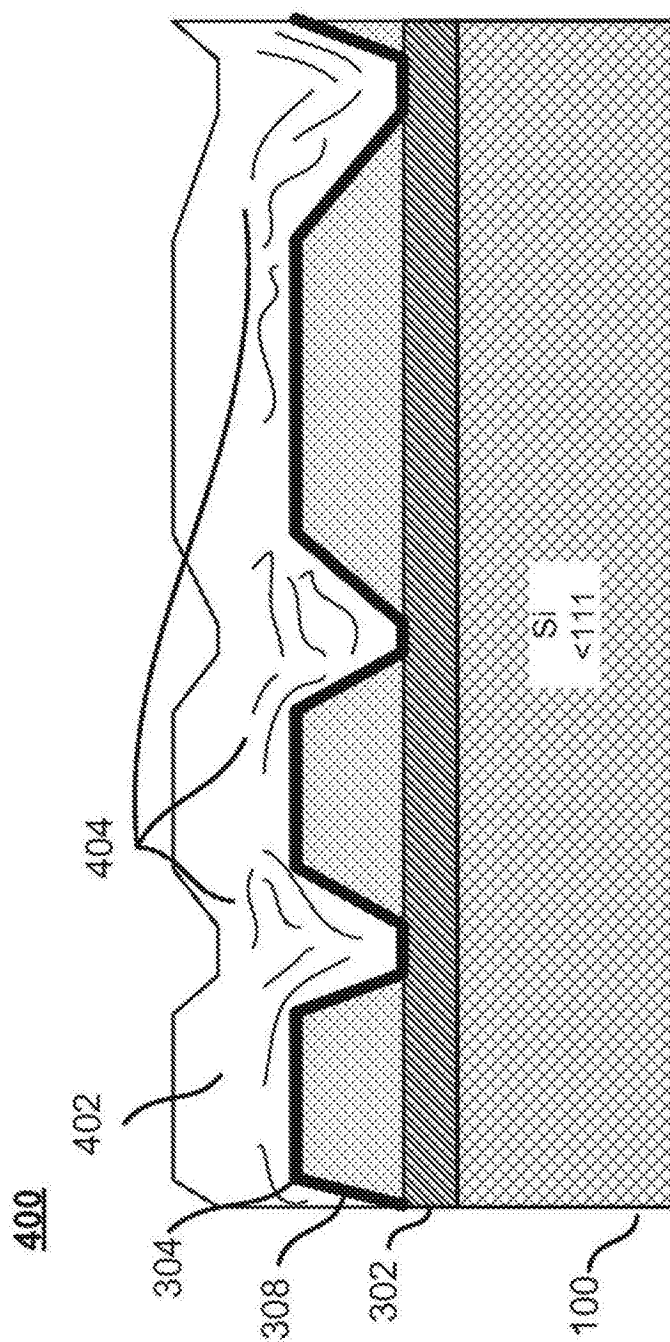


图4

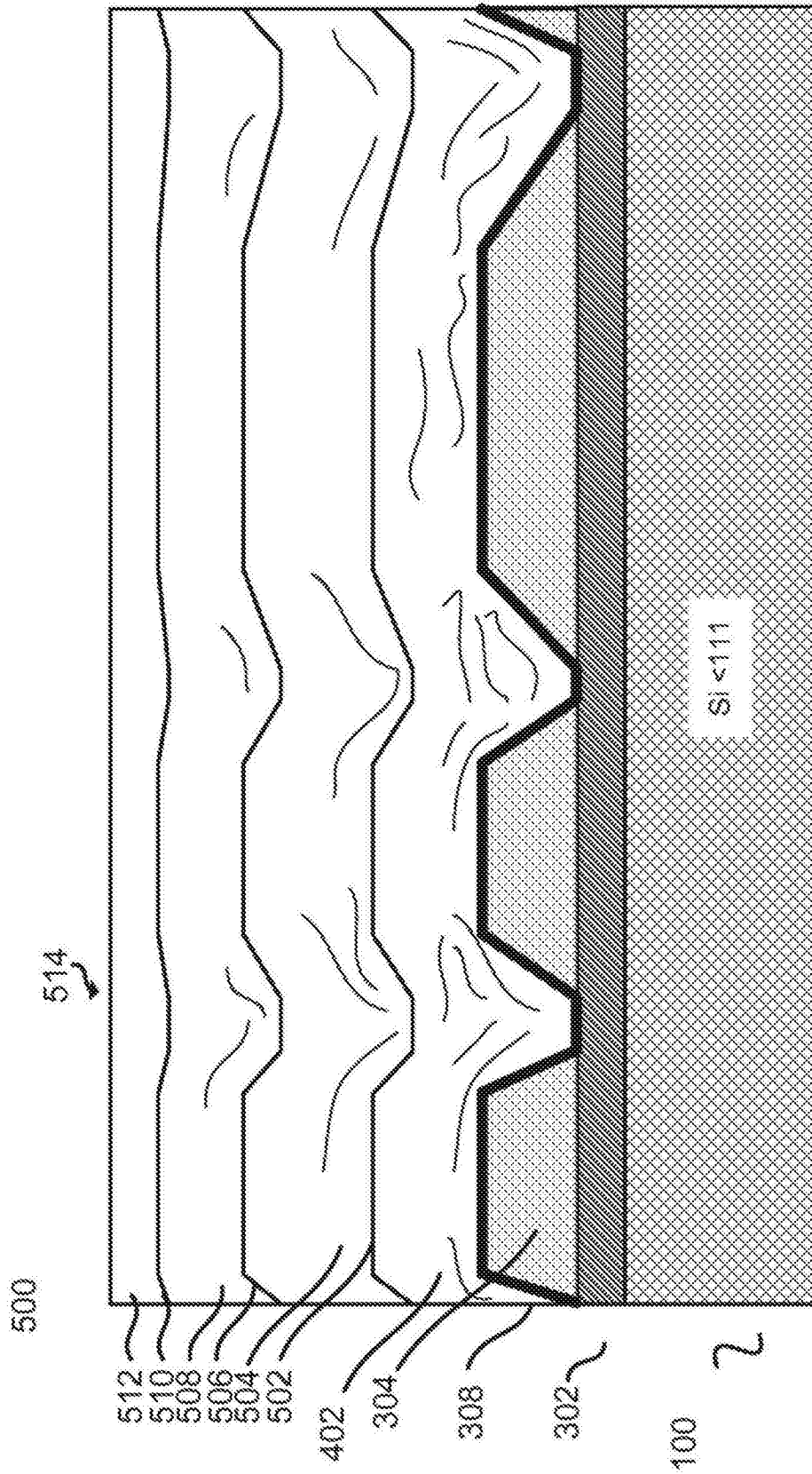


图5

600

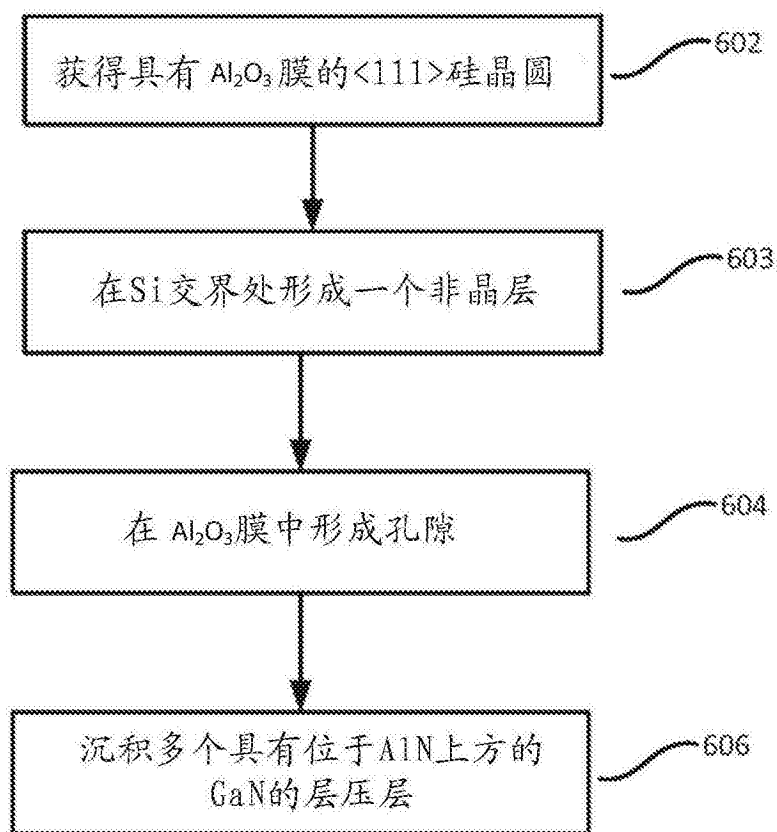


图6