

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6013214号
(P6013214)

(45) 発行日 平成28年10月25日 (2016. 10. 25)

(24) 登録日 平成28年9月30日 (2016. 9. 30)

(51) Int. Cl. F I
 HO 4 L 25/02 (2006. 01) HO 4 L 25/02 S
 HO 3 K 19/0175 (2006. 01) HO 3 K 19/00 I O I F

請求項の数 8 (全 18 頁)

<p>(21) 出願番号 特願2013-19968 (P2013-19968) (22) 出願日 平成25年2月4日 (2013. 2. 4) (65) 公開番号 特開2014-154894 (P2014-154894A) (43) 公開日 平成26年8月25日 (2014. 8. 25) 審査請求日 平成27年8月25日 (2015. 8. 25)</p>	<p>(73) 特許権者 302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号 (74) 代理人 100102864 弁理士 工藤 実 (72) 発明者 木内 秀樹 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 審査官 森谷 哲朗</p>
--	---

最終頁に続く

(54) 【発明の名称】 バス通信トランシーバ

(57) 【特許請求の範囲】

【請求項1】

入力信号を入力する入力部と、
 前記入力部から前記入力信号を入力して送信信号を生成する送信回路部と、
 外部単線バスに接続されて、前記送信信号を前記外部単線バスに送信し、前記外部単線バスから受信信号を受信するバス接続部と、
 前記外部単線バスから前記受信信号または前記送信信号を入力して出力信号を生成する受信回路部と、
 前記出力信号を出力する出力部と、
 一つの入力信号の立ち上がりから、前記一つの入力信号から生成される一つの出力信号の立ち上がりまでの遅延時間を測定し、前記測定の結果を表す遅延時間測定結果信号群を生成する遅延時間測定回路部と
 を具備し、
 前記送信回路部は、
 前記一つの入力信号から生成される一つの送信信号の立ち下がりにおける電圧傾斜を、前記一つの入力信号の立ち上がりに基づく前記遅延時間測定結果信号群に応じて調整する出力波形調整回路部
 を具備する
 バス通信トランシーバ。

【請求項2】

10

20

請求項 1 に記載のバス通信トランシーバにおいて、
 前記出力波形調整回路部は、
 前記遅延時間測定結果信号群に応じて異なる電流を供給する電流源回路部と、
 前記入力信号を入力し、前記電流源回路部から供給される電流に応じて異なる電圧傾斜
 を有する中間信号を出力するインバータ回路部と
 を具備し、
 前記送信回路部は、
 前記中間信号から前記送信信号を生成する出力回路部
 をさらに具備する
 バス通信トランシーバ。

10

【請求項 3】

請求項 2 に記載のバス通信トランシーバにおいて、
 前記電流源回路部は、
 主電流を前記インバータ回路部に供給する主電流源と、
 複数の副電流を前記インバータ回路部にそれぞれ供給する複数の副電流源と、
 前記複数の副電流源のそれぞれに直列にそれぞれ接続されて、前記遅延時間測定結果信
 号群に応じて前記複数の副電流源の一部または全てを前記インバータ回路部に導通または
 遮断する複数のスイッチと
 を具備する
 バス通信トランシーバ。

20

【請求項 4】

請求項 3 に記載のバス通信トランシーバにおいて、
 前記遅延時間測定回路部は、
 バッファ用電流を供給するバッファ用定電流源と、
 前記入力信号を入力して、前記バッファ用電流に応じた電圧傾斜で出力するバッファと
 、
 前記バッファの出力部に接続された容量と、
 第 1 電源および第 2 電源の間に直列に接続されて、前記第 1 電源が供給する第 1 電圧お
 よび前記第 2 電源が供給する第 2 電圧の間で分圧された複数の基準電圧を生成する複数の
 抵抗と、
 前記容量に印加されている電圧を前記複数の基準電圧にそれぞれ比較して前記比較の結
 果を示す比較結果信号群を出力する複数の比較器と、
 前記出力信号が立ち上がる際における前記比較結果信号群を記憶して前記遅延時間測定
 結果信号群として出力するラッチ回路部と
 を具備する
 バス通信トランシーバ。

30

【請求項 5】

請求項 3 に記載のバス通信トランシーバにおいて、
 前記遅延時間測定回路部は、
 複数のバッファ電流を供給する複数のバッファ用定電流源と、
 前記入力信号を入力して、前記複数のバッファ用電流にそれぞれ応じた複数の電圧傾斜
 でそれぞれ出力する複数のバッファと、
 前記複数のバッファの出力部にそれぞれ接続された複数の容量と、
 第 1 電源および第 2 電源の間に直列に接続されて、前記第 1 電源が供給する第 1 電圧お
 よび前記第 2 電源が供給する第 2 電圧の間で分圧された基準電圧を生成する複数の抵抗と
 、
 前記複数の容量に印加されている電圧を前記基準電圧にそれぞれ比較して前記比較の結
 果を示す比較結果信号群を出力する複数の比較器と、
 前記出力信号が立ち上がる際における前記比較結果信号群を記憶して前記遅延時間測定
 結果信号群として出力するラッチ回路部と

40

50

を具備する

バス通信トランシーバ。

【請求項 6】

請求項 4 または 5 に記載のバス通信トランシーバにおいて、

前記ラッチ回路部は、

入力部が前記複数の比較器の出力部にそれぞれ接続され、出力部が前記複数のスイッチの制御信号入力部にそれぞれ接続された複数のラッチ

を具備する

バス通信トランシーバ。

【請求項 7】

請求項 4 または 5 に記載のバス通信トランシーバにおいて、

前記遅延時間の測定を行う間は前記複数の抵抗を前記第 1 または前記第 2 の電源に導通し、前記遅延時間の測定が不要な時間の一部または全てにおいて前記複数の抵抗を前記第 1 または前記第 2 の電源から遮断するスイッチ

をさらに具備する

バス通信トランシーバ。

【請求項 8】

請求項 6 に記載のバス通信トランシーバにおいて、

前記遅延時間の測定を行う間は前記複数の抵抗を前記第 1 または前記第 2 の電源に導通し、前記遅延時間の測定が不要な時間の一部または全てにおいて前記複数の抵抗を前記第 1 または前記第 2 の電源から遮断するスイッチ

をさらに具備する

バス通信トランシーバ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はバス通信トランシーバに関し、例えば、単線バスに接続可能なバス通信トランシーバに好適に利用できるものである。

【背景技術】

【0002】

L I N (L o c a l I n t e r c o n n e c t N e t w o r k : ローカル相互接続ネットワーク) などのように、単線のバスを介して通信を行うネットワークプロトコルが知られている。L I N の場合は、主に自動車に搭載されており、ドアミラーやドアロックなどの各種デバイスを制御する目的で使用されている。

【0003】

L I N では、バスに入出力する信号の波形が各種の条件を満たすよう規格化されている。これらの条件には、デューティー比、すなわち信号の電圧が所定値より高い時間と、同じく低い時間との比率が含まれている。しかし、L I N が使用される環境の変動に応じて、そのデューティー比も変動して規格の範囲から外れてしまう場合がある。

【0004】

L I N の場合は、車載バッテリーがバスに電圧を供給する電源として用いられる。ここで、車載バッテリーは、その基準電圧が例えば 12 ボルトの場合でも、放電したり充電したりする際におよそ 7 ~ 18 ボルトの間で大きく変動することが知られている。また、バスに接続された負荷の合計の変動によっても、デューティー比の変動が引き起こされる場合がある。

【0005】

特許文献 1 には、L S I の出力回路に係る記載が開示されている。特許文献 1 に記載の L S I の出力回路は、ある信号の立ち上がりおよび立ち下りのなまりを検出し、その次の信号の波形を検出結果に基づいて調整する。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0006】

【特許文献1】特開2001-274670号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ある信号を用いて遅延時間を測定し、同じ信号の波形を調整することが出来る、リアルタイム性に優れたバス通信トランシーバを提供する。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

以下に、（発明を実施するための形態）で使用される符号を用いて、課題を解決するための手段を説明する。これらの符号は、（特許請求の範囲）の記載と（発明を実施するための形態）との対応関係を明らかにするために付加されたものである。ただし、それらの符号を、（特許請求の範囲）に記載されている発明の技術的範囲の解釈に用いてはならない。

【0009】

一実施の形態によれば、バス通信トランシーバ（LTr）は、ある信号の立ち上がり注目して遅延時間を測定し、この測定の結果に基づいて同じ信号の立ち下がりの波形を調整する。

【発明の効果】

【0010】

前記一実施の形態によれば、バスに供給される電圧の変動や、バスに接続された負荷の合計の違いなどからの影響を受けることなく、信号の波形を、特にそのデューティ比を所定の規格範囲内に調整可能で、かつ、リアルタイム性に優れたバス通信トランシーバを実現することが出来る。

【図面の簡単な説明】

【0011】

【図1A】図1Aは、第1の実施形態によるバス通信トランシーバおよびバスの構成例を示すブロック回路図である。

【図1B】図1Bは、第1の実施形態によるバス通信トランシーバの、そのうち特に遅延時間測定回路部および出力波形調整回路部の、より詳細な構成を示す回路図である。

【図1C】図1Cは、第1の実施形態によるラッチ回路部の構成例を示すブロック回路図である。

【図2】図2は、第1の実施形態によるバス通信トランシーバが動作する際に各部で得られる信号の時間変化の一例を示すタイムチャートである。

【図3A】図3Aは、第1の実施形態によるバス通信トランシーバLTrで波形の調整を行わない場合のバス信号の波形の一例を示すグラフである。

【図3B】図3Bは、図3Aに示したバス信号の立ち下がりの電圧傾斜を、第1の実施形態によるバス通信トランシーバLTrで調整した場合のバス信号の波形の一例を示すグラフである。

【図3C】図3Cは、第1の実施形態によるバス通信トランシーバLTrで波形の調整を行わない場合のバス信号の波形の他の一例を示すグラフである。

【図3D】図3Dは、図3Cに示したバス信号の立ち下がりの電圧傾斜を、第1の実施形態によるバス通信トランシーバLTrで調整した場合のバス信号の波形の一例を示すグラフである。

【図4】図4は、第2の実施形態によるバス通信トランシーバの、そのうち特に遅延時間測定回路部および出力波形調整回路部の構成を示す回路図である。

【図5】図5は、第3の実施形態によるバス通信トランシーバの、そのうち特に遅延時間測定回路部および出力波形調整回路部の構成を示す回路図である。

10

20

30

40

50

【発明を実施するための形態】

【0012】

添付図面を参照して、本発明によるバス通信トランシーバを実施するための形態を以下に説明する。

【0013】

(第1の実施形態)

図1Aは、第1の実施形態によるバス通信トランシーバLTrおよびバスLBSの構成例を示すブロック回路図である。図1に示したバス通信トランシーバLTrおよびバスLBSの構成要素について説明する。

【0014】

図1Aに示したバス通信トランシーバLTrは、送信信号入力部TXと、送信回路部TXCと、バス接続部LBTと、受信回路部RXCと、受信信号出力部RXと、遅延時間測定回路部DTMと、スレーブ抵抗Issと、第1のダイオードD1とを含んでいる。送信回路部TXCは、出力波形調整回路部OWRと、出力回路部OPCとを含んでいる。出力回路部OPCは、第2のダイオードD2と、Nチャンネル型トランジスタN1とを含んでいる。バスLBSは、バスに共通のマスター抵抗ISMと、バスに結合された全ての負荷の容量を含む総バス容量である容量Cとを含んでいる。バスには、通常1つ以上の負荷が接続される。その他、図1Aには、第2の電源VSupと、グランドとがさらに示されている。ここで、図1Aには、第1の電源VDDが図示されていない。第1の電源VDDは、バス通信トランシーバLTrの内部で使用する比較的低電圧の電源であり、一般的には5V(Volt:ボルト)や3.3Vなどの電圧を供給する図示しない定電圧源であることが好ましい。また、第2の電源VSupは、LINの場合は図示しない車載バッテリーなどであって、供給される電圧は7~18Vの範囲で変動することが許容されている。

【0015】

図1Aに示したバス通信トランシーバLTrの構成要素の接続関係について説明する。送信信号入力部TXは、出力波形調整回路部OWRの入力部と、遅延時間測定回路部DTMの第1の入力部とに共通接続されている。遅延時間測定回路部DTMの出力部群は、出力波形調整回路部OWRの他の入力部群に接続されている。出力波形調整回路部OWRの出力部は、トランジスタN1のゲートに接続されている。トランジスタN1のソースは、グランドに接地されている。トランジスタN1のドレインは、第2のダイオードD2のカソードに接続されている。第2のダイオードD2のアノードと、第1のダイオードD1のカソードと、受信回路部RXCの入力部とは、バス接続部LBTに共通接続されている。第1のダイオードD1のアノードは、スレーブ抵抗Issの一方の端部に接続されている。スレーブ抵抗Issの他方の端部は、第1の電源VDDに接続されている。受信回路部RXCの出力部は、遅延時間測定回路部DTMの第2の入力部と、受信信号出力部RXとに共通接続されている。

【0016】

図1に示したバスLBSの構成要素の接続関係について説明する。第2の電源VSupは、マスター抵抗ISMの一方の端部に接続されている。マスター抵抗ISMの他方の端部は、バス接続部LBTと、容量Cの一方の端部とに共通接続されている。容量Cの他方の端部は、グランドに接地されている。

【0017】

図1に示した第1の実施形態によるバス通信トランシーバLTrの動作について説明する。送信回路部TXCは、送信信号入力部TXから入力した送信信号を、所定の調整を加えた上でバス接続部LBTを介してバスLBSに向けて送信する。受信回路部RXCは、バス接続部LBTを介してバスLBSから受信した受信信号を、受信信号出力部RXに向けて出力する。

【0018】

なお、送信回路部TXCが出力する信号は、バスLBSに供給されるのみならず、同じくバス接続部LBTに接続されている受信回路部RXCの入力部にも同時に供給される。

10

20

30

40

50

ただし、送信信号入力部 T X に外部から供給された送信信号の立ち上がり波形が送信回路部 T X C および受信回路部 R X C を通過して受信信号出力部 R X に到達するまでには、遅延が発生する。遅延時間測定回路部 D T M は、この遅延時間を測定し、その測定結果を示す制御信号を生成して送信回路部 T X C の出力波形調整回路部 O W R に向けて出力する。出力波形調整回路部 O W R は、入力した送信信号の波形を、制御信号に応じて調整する。出力回路部 O P C は、調整後の送信信号をバス接続部 L B T に伝達する。

【 0 0 1 9 】

図 1 B は、第 1 の実施形態によるバス通信トランシーバ L T r の、そのうち特に遅延時間測定回路部 D T M および出力波形調整回路部 O W R の、より詳細な構成を示す回路図である。図 1 B に示したバス通信トランシーバ L T r のうち、特に遅延時間測定回路部 D T M および出力波形調整回路部 O W R の構成要素について説明する。

10

【 0 0 2 0 】

図 1 B に示したバス通信トランシーバ L T r は、送信信号入力部 T X と、出力波形調整回路部 O W R と、出力回路部 O P C とバス接続部 L B T と、受信回路部 R X C と、受信信号出力部 R X と、遅延時間測定回路部 D T M と、スレーブ抵抗 I s S と、第 1 のダイオード D 1 とを含んでいる。出力波形調整回路部 O W R は、第 0 ~ 第 4 の定電流源 I C C 0 ~ I C C 4 と、第 1 ~ 第 3 のスイッチ S W 1 ~ S W 3 と、インバータ I N V 1 とを含んでいる。インバータ I N V 1 は、Pチャネル型トランジスタ P と、Nチャネル型トランジスタ N とを含む、いわゆる C M O S (C o m p l e m e n t a r y M e t a l O x i d e S e m i c o n d u c t o r : 相補型金属酸化膜半導体) 型インバータである。遅延時間測定回路部 D T M は、バッファ B U F 1 と、容量 C 1 と、第 1 ~ 第 4 の抵抗 R 1 ~ R 4 と、第 1 ~ 第 3 の比較器 C M P 1 ~ C M P 3 と、ラッチ回路部 L a t とを含んでいる。出力回路部 O P C は、第 2 のダイオード D 2 と、Nチャネル型トランジスタ N 1 とを含んでいる。その他、図 1 B には、第 1 の電源 V D D と、第 2 の電源 V S u p と、グランドとがさらに示されている。

20

【 0 0 2 1 】

図 1 B では、比較器 C M P 1 ~ C M P 3 の総数が 3 であり、スイッチ S W 1 ~ S W 3 の総数が 3 であり、抵抗 R 1 ~ R 4 の総数が 4 であり、定電流源 I C C 0 ~ I C C 5 の総数が 6 であるが、これらの数はあくまでも一例にすぎない。すなわち、これらの数は必要に応じて変更可能であって、本実施形態によるバス通信トランシーバ L T r の構成を限定するものではない。

30

【 0 0 2 2 】

また、本実施形態では、バス L B s として、L I N を用いるが、これはあくまでも一例に過ぎない。すなわち、本実施形態によるバス通信トランシーバは、L I N 以外のバスを用いる場合にも適用可能であって、本実施形態によるバス L B s の種類を限定するものではない。

【 0 0 2 3 】

図 1 B に示したバス通信トランシーバ L T r の構成要素の接続関係について説明する。第 1 の電源 V D D は、第 0 ~ 第 3 の定電流源 I C C 0 ~ I C C 3 のそれぞれにおける一方の端部と、第 5 の定電流源 I C C 5 の一方の端部とに共通接続されている。第 1 の定電流源 I C C 1 の他方の端部は、第 1 のスイッチ S W 1 の一方の端部に接続されている。第 2 の定電流源 I C C 2 の他方の端部は、第 2 のスイッチ S W 2 の一方の端部に接続されている。第 3 の定電流源 I C C 3 の他方の端部は、第 3 のスイッチ S W 3 の一方の端部に接続されている。第 0 の定電流源 I C C 0 の他方の端部と、第 1 ~ 第 3 のスイッチ S W 1 ~ S W 3 のそれぞれにおける他方の端部とは、Pチャネル型トランジスタ P のソースに共通接続されている。Pチャネル型トランジスタ P のドレインと、Nチャネル型トランジスタ N のドレインとは、Nチャネル型トランジスタ N 1 のゲートに共通接続されている。Nチャネル型トランジスタ N 1 のソースは、第 4 の定電流源 I C C 4 の一方の端部に接続されている。第 4 の定電流源 I C C 4 の他方の端部は、グランドに接地されている。

40

【 0 0 2 4 】

50

ここで、第0～第3の定電流源 $I_{CC0} \sim I_{CC3}$ と、第1～第3のスイッチ $SW1 \sim SW3$ の集合体をまとめて電流源回路部と呼ぶ。

【0025】

送信信号入力部 TX は、バッファ $BUF1$ の入力部と、Pチャネル型トランジスタ P のゲートと、Nチャネル型トランジスタ N のゲートとに共通接続されている。バッファ $BUF1$ の出力部は、容量 $C1$ の一方の端部と、第1～第3の比較器 $CMP1 \sim CMP3$ のそれぞれにおける一方の入力部とに共通接続されている。バッファ $BUF1$ のマイナス側給電端部と、容量 $C1$ の他方の端部と、第1の抵抗 $R1$ の一方の端部とは、グラウンドに接地されている。第1の抵抗 $R1$ の他方の端部は、第1の比較器 $CMP1$ の他方の入力部と、第2の抵抗 $R2$ の一方の端部とに共通接続されている。第2の抵抗 $R2$ の他方の端部は、第2の比較器 $CMP2$ の他方の入力部と、第3の抵抗 $R3$ の一方の端部とに共通接続されている。第3の抵抗 $R3$ の他方の端部は、第3の比較器 $CMP3$ の他方の入力部と、第4の抵抗 $R4$ の一方の端部とに共通接続されている。第4の抵抗 $R4$ の他方の端部は、第1の電源 VDD に接続されている。バッファ $BUF1$ のプラス側給電部は、第5の定電流源 I_{CC5} の他方の端部に接続されている。第1～第3の比較器 $CMP1 \sim CMP3$ のそれぞれにおける出力部は、ラッチ回路部 $Latch$ の第1～第3の入力部にそれぞれ接続されている。ラッチ回路部 $Latch$ の第1～第3の出力部は、第1～第3のスイッチ $SW1 \sim SW3$ のそれぞれにおける制御信号入力部にそれぞれ接続されている。受信回路部 RXC の出力部は、受信信号出力部 RX と、ラッチ回路部 $Latch$ の制御信号入力部とに共通接続されている。

10

20

【0026】

その他、第2の電源 V_{Sup} は、スレーブ抵抗 I_{SS} の一方の端部に接続されている。スレーブ抵抗 I_{SS} の他方の端部は、第1のダイオード $D1$ のアノードに接続されている。第1のダイオード $D1$ のカソードは、バス接続部 LBT と、受信回路部 RXC の入力部と、第2のダイオード $D2$ のアノードとに共通接続されている。第2のダイオード $D2$ のカソードは、Nチャネル型トランジスタ $N1$ のドレインに接続されている。Nチャネル型トランジスタ $N1$ のソースは、グラウンドに接地されている。

【0027】

図1Bに示したバス通信トランシーバ LTr のうち、特に遅延時間測定回路部 DTM および出力波形調整回路部 OWR の動作について説明する。

30

【0028】

バッファ $BUF1$ は、第5の定電流源 I_{CC5} から供給される電流に応じた電圧傾斜を入力信号に加えた上で出力する。容量 $C1$ の両端部間には、バッファ $BUF1$ が出力する信号の電圧が印加される。直列に接続された第1～第4の抵抗 $R1 \sim R4$ は、第1の電源 VDD の電圧と、グラウンド電圧との間で分圧した第1～第3の基準電圧を生成する。第1～第3の比較器 $CMP1 \sim CMP3$ は、容量 $C1$ に印加された電圧を、第1～第3の基準電圧とそれぞれ比較して、その比較結果を示す第1～第3の比較結果信号を生成してラッチ回路部 $Latch$ に向けてそれぞれ出力する。ラッチ回路部 $Latch$ は、受信回路部 RXC が出力する信号が立ち上がる際の第1～第3の比較結果信号を記憶して出力し続ける。

【0029】

ここで、第5の定電流源 I_{CC5} が供給する電流の強さと、バッファ $BUF1$ が有する特性と、容量 $C1$ が有する容量値と、分圧回路として機能する第1～第4の抵抗 $R1 \sim R4$ がそれぞれ有する抵抗値とを適宜に組み合わせることが重要である。こうすることによって、容量 $C1$ の両端部間における電圧が第1～第3の基準電圧に達するまでの時間を調整することが可能となる。

40

【0030】

すなわち、第1の実施形態による遅延時間測定回路部 DTM は、容量 $C1$ の電圧が第1～第3の基準電圧のどれまで上昇するのかを測定することで、送信信号入力部 TX が入力する入力信号が立ち上がったから、この入力信号から生成されて受信回路部 RXC から出力される出力信号が立ち上がるまでの時間を測定する。

50

【 0 0 3 1 】

入力信号に基づいて出力回路部 O P C がバス接続部 L B T に出力した立ち上がり信号波形は、バス L B s の容量 C と第 2 の電源 V S u p の電圧によって波形なまりを生じる。ここで、ある入力信号の立ち上がり時間（立ち上がりスルーレート）と、バス接続部 L B T における立ち上がり信号の立ち上がり時間（立ち上がりスルーレート）との差を、当該入力信号の立ち下がり時間（立ち下がりスルーレート）と、バス接続部 L B T における立ち下がり信号の立ち下がり時間（立ち下がりスルーレート）の差に反映させれば、当該入力信号のデューティ比を調整して規格の範囲内に収めることができると発明者は考えついた。遅延時間測定回路部 D T M は、入力信号の立ち上がり時間（立ち上がりスルーレート）と、バス接続部 L B T における立ち上がり信号の立ち上がり時間（立ち上がりスルーレート）との差を測定する一例である。当該入力信号の立ち下がり時間（立ち下がりスルーレート）と、バス接続部 L B T における立ち下がり信号の立ち下がり時間（立ち下がりスルーレート）の差への反映については、以降に説明する。

10

【 0 0 3 2 】

図 1 B に示した例では、3つの基準電圧を用いて、遅延時間を4段階で測定する。すなわち、容量 C 1 の電圧が、第 1 の基準電圧未満である第 0 段階と、第 1 の基準電圧以上第 2 の基準電圧未満である第 1 段階と、第 2 の基準電圧以上第 3 の基準電圧未満である第 2 段階と、第 3 の基準電圧以上である第 3 段階の 4 つの段階である。

【 0 0 3 3 】

第 1 ~ 第 3 の比較器 C M P 1 ~ C M P 3 が出力する第 1 ~ 第 3 の比較結果信号は、これら 4 つの段階（第 0 ~ 第 3 段階）を表す比較結果信号群として用いられる。ここでは、一例として、それぞれの比較器において、容量 C 1 の電圧が、対応する番号の基準電圧より低ければロー状態の信号を出力し、高ければハイ状態の信号を出力するものとして説明する。この場合、第 0 段階では、全ての比較結果信号がロー状態となり、第 1 段階では第 1 の比較結果信号だけがハイ状態となり、第 2 段階では第 1 および第 2 の比較結果信号だけがハイ状態になり、第 3 段階ではすべての比較結果信号がハイ状態になる。

20

【 0 0 3 4 】

これら 4 つの段階を表す比較結果信号群は、ラッチ回路部 L a t で記憶されて、遅延時間測定結果信号群として出力波形調整回路部 O W R に伝達される。

【 0 0 3 5 】

出力波形調整回路部 O W R では、第 0 ~ 第 3 の定電流源 I C C 0 ~ I C C 3 のそれぞれは、第 1 のインバータ I N V 1 の P チャネル型トランジスタ P に定電流を供給する。第 1 ~ 第 3 のスイッチ S W 1 ~ S W 3 は、それぞれ、第 1 ~ 第 3 の定電流源 I C C 1 ~ I C C 3 と、第 1 のインバータ I N V 1 の P チャネル型トランジスタ P とを、第 1 ~ 第 3 のラッチ L 1 ~ L 3 から出力される遅延時間測定結果信号群に応じて導通または遮断する。第 1 のインバータ I N V 1 は、送信信号入力部 T X から供給される送信信号の立ち下がり電圧波形の傾斜を、第 0 ~ 第 4 の定電流源 I C C 0 ~ I C C 4 の一部または全てから供給される電流の総量に応じた変更を加えて、出力回路部 O P C 内のトランジスタ N 1 のゲートに出力する。トランジスタ N 1 の駆動能力（バス接続部 L B T の立ち下がり電圧波形の傾斜）は、入力信号の立ち上がりの遅延時間測定結果に基づいて設定されており、従って、当該入力信号の立ち下がり時間（立ち下がりスルーレート）が調整される。

30

40

【 0 0 3 6 】

ここで、第 1 ~ 第 3 のスイッチ S W 1 ~ S W 3 が遅延時間測定結果信号群に応じて導通状態または遮断状態に切り替わることについて説明する。ここでは、一例として、遅延時間測定結果信号がハイ状態のスイッチ S W 1 ~ S W 3 が導通し、ロー状態のスイッチ S W 1 ~ S W 3 が遮断するとする。すなわち、第 0 段階では第 1 ~ 第 3 のスイッチ S W 1 ~ S W 3 の全てが遮断状態になり、第 1 段階では第 1 のスイッチ S W 1 だけが導通状態になり、第 2 段階では第 3 のスイッチ S W 3 だけが遮断状態になり、第 3 段階では全てのスイッチが導通状態になる。つまり、第 0 段階では定電流源 I C C 0 だけがインバータ I N V 1 を駆動し、段階が進むにつれて定電流源 I C C 1 から I C C 3 の電流が順次加算されてイ

50

ンバータINV1を駆動することになる。その結果、CMOS型インバータINV1のPチャンネル型トランジスタPに供給される電流が4段階に調整されて、CMOS型インバータINV1が出力する中間信号の電圧傾斜も4段階に調整される。

【0037】

図1Cは、第1の実施形態によるラッチ回路部Latの構成例を示すブロック回路図である。第1の実施形態によるラッチ回路部Latの構成要素について説明する。

【0038】

第1の実施形態によるラッチ回路部Latは、第1～第3のラッチL1～L3を含んでいる。なお、ここではラッチ回路部Latに含まれるラッチL1～L3の総数を3としたが、この数は比較器CMP1～CMP3の総数に合わせたものであって、本実施形態によるラッチ回路部Latの構成を限定するものではない。

10

【0039】

第1の実施形態によるラッチ回路部Latの構成要素の接続関係について説明する。第1～第3のラッチL1～L3のそれぞれにおけるラッチ入力部L1I～L3Iは、第1～第3の比較器CMP1～CMP3の出力部にそれぞれ接続されている。第1～第3のラッチL1～L3のそれぞれにおけるラッチ出力部L1O～L3Oは、第1～第3のスイッチSW1～SW3のそれぞれにおける制御信号入力部に接続されている。第1～第3のラッチL1～L3のそれぞれにおける制御信号入力部は、受信回路部RXCの出力部に共通接続されて、共通制御信号入力部LCとなっている。

【0040】

20

第1の実施形態によるラッチ回路部Latの動作について説明する。第1～第3のラッチL1～L3のそれぞれは、制御信号の立ち上がりエッジにおけるラッチ入力部L1I～L3Iの値を記憶し、次の制御信号LCの立ち上がりエッジまで、記憶した値の信号を出力し続ける。

【0041】

なお、第1～第3のラッチL1～L3のそれぞれは、図示しないリセット信号入力部をさらに備えていても良い。しかし、第1の実施形態によるバス通信トランシーバLTrでは、受信回路部RXCの出力信号が立ち上がる度に第1～第3のラッチL1～L3の記憶が上書きされるので、基本的にはリセット信号を必要としない。LINの場合は、自動車に搭載された電子回路を起動する際に第1～第3のラッチL1～L3の記憶をリセットしても良いので、この場合はリセット信号として例えばイグニッション信号やアクセサリ電源の立ち上げに応じたパワーオンリセット信号を用いても良い。また、リセットした時のラッチLatの値は、例えば全段階の中心付近（4段階であれば、第2段階等）にして、実際の波形が、よりスルーレートが大きい場合にも、小さい場合にも調整可能なようにすると効率が良い。

30

【0042】

図2は、第1の実施形態によるバス通信トランシーバLTrが動作する際に各部で得られる信号の時間変化の一例を示すタイムチャートである。

【0043】

図2に示したタイムチャートは、第1～第4の、合計4つのグラフ(a)～(d)を含んでいる。第1のグラフ(a)は、バス通信トランシーバLTrが送信信号入力部TXから入力する入力信号の、時間経過に伴う電圧変化を示している。第2のグラフ(b)は、バッファBUF1が出力するバッファ信号の、時間経過に伴う電圧変化を示している。第3のグラフ(c)は、バス通信トランシーバLTrがバス接続部LBTから入出力するバス信号の、時間経過に伴う電圧変化を示している。第4のグラフ(d)は、バス通信トランシーバLTrが受信信号出力部RXから出力する出力信号の、時間経過に伴う電圧変化を示している。なお、第1～第4のグラフ(a)～(d)のそれぞれにおいて、横軸は時間の経過を示し、縦軸は各信号の電圧変化を示している。

40

【0044】

図2に示した時刻t0において、第1のグラフ(a)に示した入力信号が立ち上がり、

50

それまでのロー状態からハイ状態に切り替わる。このとき同時に、第2のグラフ(b)に示したバッファ信号が生成されて、バッファBUF1の特性、第5の定電流源ICC5の電流値および容量C1の容量値などで決定される電圧傾斜による容量C1の充電が開始される。この電圧傾斜は、主に第5の定電流源ICC5が供給する電流値と容量C1の容量値で決定される。さらに同時に、第3のグラフ(c)に示したバス信号が、主に第2の電源Vsupの電圧とバスLBSのマスター抵抗ISMの抵抗値およびバスLBSに結合されている容量Cの容量値で決定される電圧傾斜を有する波形で立ち上がり始める。実際には、インバータINV1の遅延と出力回路部OPCの出力波形傾きに依存しない遅延があるが、この時間軸では無視できるほど小さいとする。

【0045】

10

図2に示した時刻t1は、第3のグラフ(c)が受信回路部RXCの論理閾値Vthと交差する時刻である。この時刻t1において、第4のグラフ(d)に示した出力信号が立ち上がる。実際には、受信回路部RXCの、入力波形傾きに依存しない遅延があるが、この時間軸では無視できるほど小さいとする。すなわち、測定される遅延時間は、図2に示した時刻t0から時刻t1までの時間となる。この時刻t1の時の第2のグラフ(b)の電圧値を、それぞれコンパレータCMP1~CMP3に inputsする基準電圧と比較した結果の値をラッチLatに記憶する。ラッチ回路部Latは、この時刻における入力信号の状態を記憶して、以降、出力し続ける。

【0046】

その後、図2に示した時刻t2において、第3のグラフ(c)に示したバス信号の立ち上がりが完了し、同じく時刻t3において第2のグラフ(b)に示したバッファ信号の立ち上がりが完了する。

20

【0047】

図2に示した時刻t4において、第1のグラフ(a)に示した入力信号が立ち下がる。このとき同時に、第2のグラフ(b)に示したバッファ信号も立ち下がり、容量C1が放電される。さらに同時に、第3のグラフ(c)に示したバス信号が、出力波形調整回路部OWRで調整された電圧傾斜を有する波形で立ち下がり始める。

【0048】

その後、図2に示した時刻t5において、第4のグラフ(d)に示した出力信号が立ち下がり、同じく時刻t6において、第3のグラフ(c)に示したバス信号の立下りが完了する。時刻t5は、第3のグラフ(c)が受信回路部RXCの論理閾値Vthと交差する時刻である。

30

【0049】

第1の実施形態によるバス通信トランシーバLTrを用いてバス信号の立ち下がり波形が調整されることについて説明する。

【0050】

図3Aは、第1の実施形態によるバス通信トランシーバLTrで波形の調整を行わない場合のバス信号の波形の一例を示すグラフである。図3Bは、図3Aに示したバス信号の立ち下がりの電圧傾斜を、第1の実施形態によるバス通信トランシーバLTrで調整した場合のバス信号の波形の一例を示すグラフである。図3Aおよび図3Bにおいて、横軸は時間tの経過を示し、縦軸はバス信号の電圧VLBSを示している。

40

【0051】

図3Aおよび図3Bに示した例では、測定された遅延時間が事前に定めた値(ラッチ回路部Latに記憶されている値または初期値)よりも短い場合を想定している。このような場合には、バス信号の立ち下がりの電圧傾斜G1をより急峻な電圧傾斜G2に調整する、つまり立ち下がり波形のスルーレートをより大きくする。

【0052】

図3Cは、第1の実施形態によるバス通信トランシーバLTrで波形の調整を行わない場合のバス信号の波形の他の一例を示すグラフである。図3Dは、図3Cに示したバス信号の立ち下がりの電圧傾斜を、第1の実施形態によるバス通信トランシーバLTrで調整

50

した場合のバス信号の波形の一例を示すグラフである。図3Cおよび図3Dにおいても、横軸は時間 t の経過を示し、縦軸はバス信号の電圧 V_{LBS} を示している。

【0053】

図3Cおよび図3Dに示した例では、測定された遅延時間が事前に定めた値（ラッチ回路部Latに記憶されている値または初期値）よりも長い場合を想定している。このような場合には、バス信号の立ち下りの電圧傾斜 G_3 をより緩やかな電圧傾斜 G_4 に調整する、つまり立ち下り波形のスルーレートをより小さくする。

【0054】

LIN規格の場合は、波形のデューティ（ハイレベル期間）は図3A～図3Dに示した時間 D_1 および時間 D_2 を用いて定義される。時間 D_1 は、バス信号が立ち上がる際に所定の電圧に達した時刻 t_2 から、立ち下る際に所定の電圧に達した時刻 t_3 までの時間として定義されている。同様に、時間 D_2 は、バス信号が立ち上がる際に所定の電圧に達した時刻 t_1 から、立ち下る際に所定の電圧に達した時刻 t_4 までの時間として定義されている。

【0055】

第1の実施形態によるバス通信トランシーバでは、このような定義に基づいて、バッファBUF1の特性、第0～第5の定電流源ICC0～ICC5が供給する電流量、第1～第4の抵抗R1～R4の抵抗値、容量C1の容量値などを予め適宜に設定することで、遅延時間の測定結果ごとに適切な電圧傾斜をバス信号の立ち下りに与えることが可能となる。その結果として、バス信号をLIN規格などに定められた範囲から外れないようにすることが可能となる。

【0056】

ところで、一般的なバス規格の場合に、立ち上がり時間（立ち上がりスルーレート）と立ち下り時間（立ち下りスルーレート）を等しくする方が良い理由を説明する。図3A～図3Dの説明では、LIN規格の場合を例示したため、ハイレベルの単一信号について説明したが、実際には、図2に示すように、データがハイレベルとローレベルとを繰り返すことがある。この時、時刻 t_0 （送信信号入力部TXから入力する入力信号の立ち上がり）から時刻 t_4 （送信信号入力部TXから入力する入力信号の立ち下り）の時間と、時刻 t_4 から次の送信信号入力部TXから入力する入力信号の立ち上がりの時間は、一般的には、等しい時間 T （周期）である。これをデューティ比50%という。ここで、説明の簡単化のために、バスの信号電圧（グラフ(c)の波形）が、受信回路部RXCの論理閾値 V_{th} より大きい時をハイレベル時間、小さい時をローレベル時間とする。ハイレベル信号とローレベル信号が時間 T で繰り返す時、図3Aのように立ち上がり時間より立下り時間が大きいと、ハイレベル時間がローレベル時間よりも長くなる。逆に立ち上がり時間より立ち下り時間が短い時は、ハイレベル時間がローレベル時間より短くなる。これをデューティ比50%に近づけるためには、立ち上がり時間と立ち下り時間とを等しくするようにすればよいことが分かる。つまり、第1の実施形態のバス通信トランシーバは、バス信号の立ち上がり時間と立ち下り時間とが等しくなるように調整することで、信号のハイレベルの時間とローレベルの時間が等しくなるようにする。これにより、ハイレベル信号の処理可能時間とローレベル信号の処理可能時間をそれぞれ最大にすることができる。つまり、本実施の形態によれば、LIN規格に限らず、一般的なバス規格においても、信号の高速化や、信号取り込みの安定化に効果を発揮することができる。

【0057】

（第2の実施形態）

図4は、第2の実施形態によるバス通信トランシーバLTrの、そのうち特に遅延時間測定回路部DTMおよび出力波形調整回路部OWRの構成を示す回路図である。なお、第2の実施形態によるバス通信トランシーバLtrおよびバスLBSの全体的な構成については、図1Aに示した第1の実施形態の場合と同様であるので、省略する。

【0058】

図4に示した第2の実施形態によるバス通信トランシーバLTrの構成は、図1Bに示

10

20

30

40

50

した第1の実施形態によるバス通信トランシーバL T rの構成とほぼ同様であるが、以下の点で異なる。すなわち、第2の実施形態によるバス通信トランシーバL T rは、第1の実施形態によるバス通信トランシーバL T rに、第2のインバータI N V 2と、第4のスイッチS W 4とを追加したものに等しい。

【0059】

第2の実施形態によるバス通信トランシーバL T rのその他の構成要素については、第1の実施形態によるバス通信トランシーバL T rの場合と同様であるので、さらなる詳細な説明を省略する。

【0060】

第2のインバータI N V 2および第4のスイッチS W 4に係る接続関係について説明する。第2のインバータI N V 2の入力部は、送信信号入力部T Xに接続されている。第2のインバータI N V 2の出力部は、第4のスイッチS W 4の制御信号入力部に接続されている。第4のスイッチS W 4の一方の端部は、第1の電源V D Dに接続されている。第4のスイッチS W 4の他方の端部は、第4の抵抗R 4の他方の端部に接続されている。

【0061】

第2の実施形態によるバス通信トランシーバL T rの構成要素のその他の接続関係については、第1の実施形態によるバス通信トランシーバL T rの場合と同様であるので、さらなる詳細な説明を省略する。

【0062】

第2のインバータI N V 2および第4のスイッチS W 4に係る動作について説明する。第2のインバータI N V 2は、送信信号入力部T Xから供給される送信信号がロー状態である場合にはハイ状態の出力信号を出力し、反対に送信信号入力部T Xから供給される送信信号がハイ状態である場合にはロー状態の出力信号を出力する。第4のスイッチS W 4は、第2のインバータI N V 2の出力信号がハイ状態である場合には遮断状態になり、反対に第2のインバータI N V 2の出力信号がロー状態である場合には導通状態になる。したがって、送信信号入力部T Xから供給される送信信号がハイ状態である場合に電源電圧を分圧した3種類の電圧が第1～第3の比較器C M P 1～C M P 3の入力部に供給され、送信信号がロー状態の場合は、第1～第4の抵抗R 1～R 4に電源電圧が供給されないようにする。言い換えれば、送信信号がロー状態である期間の、第1～第4の抵抗R 1～R 4を電流が流れることによって消費される電力を、第2の実施形態によるバス通信トランシーバでは節約することが可能である。

【0063】

第2の実施形態によるバス通信トランシーバL T rのその他の動作については、第1の実施形態によるバス通信トランシーバL T rの場合と同様であるので、さらなる詳細な説明を省略する。

【0064】

第2の実施形態の作用効果は、出力波形調整回路部O W Rが波形調整を行わない、送信信号がロー状態の時に、第1～第4の抵抗R 1～R 4を電流が流れることによって消費される電力を節約できることである。したがって、この目的に適合する限り、他の構成も当然に適用可能である。

【0065】

(第3の実施形態)

図5は、第3の実施形態によるバス通信トランシーバL T rの、そのうち特に遅延時間測定回路部D T Mおよび出力波形調整回路部O W Rの構成を示す回路図である。なお、第2の実施形態によるバス通信トランシーバL t rおよびバスL B sの全体的な構成については、図1 Aに示した第1の実施形態の場合と同様であるので、省略する。

【0066】

図5に示した第2の実施形態によるバス通信トランシーバL T rの構成は、図1 Bに示した第1の実施形態によるバス通信トランシーバL T rの構成とほぼ同様であるが、遅延時間測定回路部D T Mの構成が異なる。第3の実施形態による遅延時間測定回路部D T M

10

20

30

40

50

の構成要素について説明する。

【0067】

第3の実施形態による遅延時間測定回路部DTMは、第1～第3のバッファBUF1～BUF3と、第1～第3の容量C1～C3と、第1～第3の比較器CMP1～CMP3と、ラッチ回路部Latと、第1および第2の抵抗R1およびR2と、第5～第7の定電流源ICC5～ICC7と、第2のインバータINV1と、第4のスイッチSW4とを含んでいる。

【0068】

第3の実施形態によるバス通信トランシーバLTrのその他の構成要素については、第1または第2の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

10

【0069】

第3の実施形態による遅延時間測定回路部DTMの構成要素の接続関係について説明する。第5～第7の定電流源ICC5～ICC7のそれぞれにおける一方の端部は、第1の電源VDDに接続されている。第5～第7の定電流源ICC5～ICC7のそれぞれにおける他方の端部は、第1～第3のバッファBUF1～BUF3のそれぞれにおける一方の電力供給部に接続されている。第1～第3のバッファBUF1～BUF3のそれぞれにおける他方の電力供給部は、グランドに接地されている。第1～第3のバッファBUF1～BUF3のそれぞれにおける入力部と、第2のインバータINV2の入力部とは、送信信号入力部TXに共通接続されている。第1～第3のバッファBUF1～BUF3のそれぞれにおける出力部は、第1～第3の比較器CMP1～CMP3のそれぞれにおける一方の入力部に接続されている。第1～第3のバッファBUF1～BUF3のそれぞれにおける出力部は、さらに、第1～第3の容量C1～C3のそれぞれにおける一方の端部にも接続されている。第1～第3の容量C1～C3のそれぞれにおける他方の端部は、グランドに接地されている。第2のインバータINV2の出力部は、第4のスイッチSW4の制御信号入力部に接続されている。第4のスイッチSW4の一方の端部は、第1の電源VDDに接続されている。第1の抵抗R1の一方の端部は、グランドに接地されている。第1の抵抗R1の他方の端部は、第2の抵抗R1の一方の端部と、第1～第3の比較器CMP1～CMP3のそれぞれにおける他方の入力部とに共通接続されている。第2の抵抗R2の他方の端部は、第4のスイッチSW4の他方の端部に接続されている。第1～第3の比較器CMP1～CMP3のそれぞれにおける出力部は、ラッチ回路部Latの第1～第3の入力部にそれぞれ接続されている。ラッチ回路部Latの制御信号入力部は、受信回路部RXCの出力部に接続されている。ラッチ回路部Latの第1～第3の出力部は、第1～第3のスイッチSW1～SW3のそれぞれにおける制御信号入力部に、それぞれ接続されている。

20

30

【0070】

第3の実施形態によるバス通信トランシーバLTrの構成要素のその他の接続関係については、第1または第2の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【0071】

第3の実施形態による遅延時間測定回路部DTMの動作について説明する。

40

【0072】

第1～第3のバッファBUF1～BUF3は、第5～第7の定電流源からそれぞれ供給される電流に応じた電圧傾斜を入力信号に加えた上で出力する。第1～第3の容量C1～C3の両端部間には、第1～第3のバッファBUF1～BUF3のそれぞれが出力する信号の電圧が印加される。第4のスイッチSW4が導通状態にある間、第1および第2の抵抗R1およびR2は、第1の電源VDDの電圧と、グランド電圧との間で分圧した基準電圧を生成する。第1～第3の比較器CMP1～CMP3は、第1～第3の容量C1～C3に印加された電圧を、基準電圧とそれぞれ比較して、その比較結果を示す第1～第3の比較結果信号を生成してラッチ回路部Latに向けてそれぞれ出力する。ラッチ回路部Latは、受信回路部RXCが出力する信号が立ち上がる際の第1～第3の比較結果信号を記

50

憶して出力し続ける。

【 0 0 7 3 】

ここで、第 5 ~ 第 7 の定電流源 $I C C 5 \sim I C C 7$ がそれぞれ供給する電流の大きさと、第 1 ~ 第 3 の容量 $C 1 \sim C 3$ がそれぞれ有する容量値と、分圧回路として機能する第 1 および第 2 の抵抗 $R 1$ および $R 2$ がそれぞれ有する抵抗値とを適宜に組み合わせることが重要である。こうすることによって、第 1 ~ 第 3 の容量 $C 1 \sim C 3$ の両端部間における電圧が基準電圧に達するまでの時間を調整することが可能となり、第 3 の実施形態による遅延時間測定回路部 $D T M$ でも、第 1 または第 2 の実施形態の場合と同様の比較結果信号群を生成出力することが可能となる。

【 0 0 7 4 】

第 3 の実施形態によるバス通信トランシーバ $L T r$ のその他の動作については、第 1 または第 2 の実施形態の場合と同様であるので、さらなる詳細な説明を省略する。

【 0 0 7 5 】

なお、第 3 の実施形態によるバス通信トランシーバ $L T r$ に設けられた第 2 のインバータ $I N V 2$ および第 4 のスイッチ $S W 4$ は、図 4 に示した第 2 の実施形態の場合と同様に、他の構成への差し替えが可能である。さらには、図 1 B に示した第 1 の実施形態の場合と同様に、省略することも可能である。

【 0 0 7 6 】

以上、発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。特に、ここでは主に $L I N$ 規格に適合するバス通信トランシーバの場合に注目して説明したが、単線バスを用いる他の構成にも当然に適用可能である。ここで、単線のバスとは、複数の入力端子、出力端子、双方向端子が、共通の 1 つ (1 組) の信号線に接続しているバス構成をいう。信号線は、1 本で 1 つのシングルエンド信号を伝達するものでもよいし、2 本で 1 組のコンプリメンタリ信号を伝達するものでもよい。さらに、また、前記実施の形態に説明したそれぞれの特徴は、技術的に矛盾しない範囲で自由に組み合わせることが可能である。

【 符号の説明 】

【 0 0 7 7 】

$B U F 1 \sim B U F 3$ (第 1 ~ 第 3 の) バッファ

C 容量

$C 1 \sim C 3$ (第 1 ~ 第 3 の) 容量

$C M P 1 \sim C M P 3$ (第 1 ~ 第 3 の) 比較器

$D 1$ (第 1 の) ダイオード

$D 2$ (第 2 の) ダイオード

$D T M$ 遅延時間測定回路部

$I C C 0 \sim I C C 7$ (第 0 ~ 第 7 の) 定電流源

$I N V 1$ (第 1 の) インバータ

$I N V 2$ (第 2 の) インバータ

$I s M$ マスター抵抗

$I s S$ スレーブ抵抗

$L 1 \sim L 3$ ラッチ

$L 1 I \sim L 3 I$ ラッチ入力部

$L 1 O \sim L 3 O$ ラッチ出力部

$L a t$ ラッチ回路部

$L B s$ ($L I N$) バス

$L B T$ ($L I N$) バス接続端部

$L T r$ ($L I N$) バス通信トランシーバ

$N 1$ N チャネル型トランジスタ

$O P C$ 出力回路部

10

20

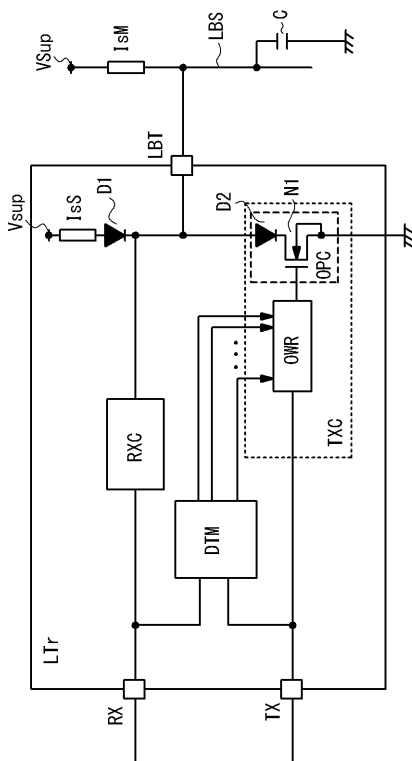
30

40

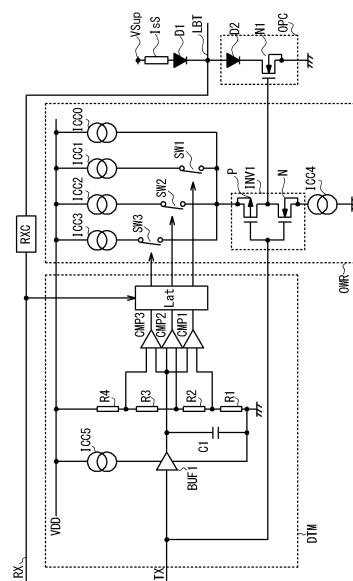
50

- OWR 出力波形調整回路部
- P Pチャンネル型トランジスタ
- N Nチャンネル型トランジスタ
- R1 ~ R4 抵抗
- RX 受信信号出力部
- RXC 受信回路部
- SW1 ~ SW4 (第1 ~ 第4の)スイッチ
- t 時間
- TX 送信信号入力部
- TXC 送信回路部
- VDD (第1の)電源
- VLBS バス信号の電圧
- Vsup (第2の)電源

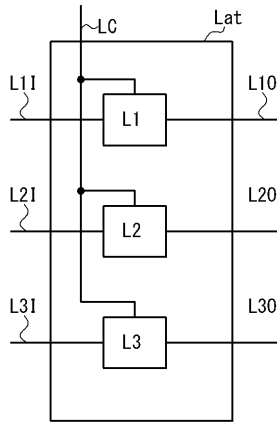
【図1A】



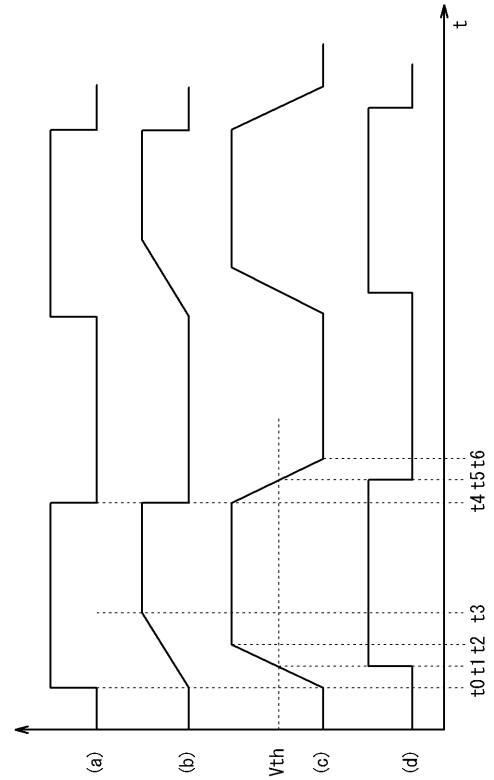
【図1B】



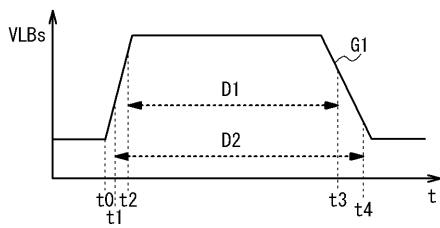
【 図 1 C 】



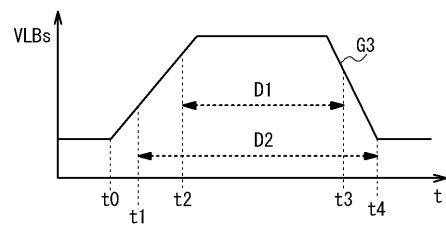
【 図 2 】



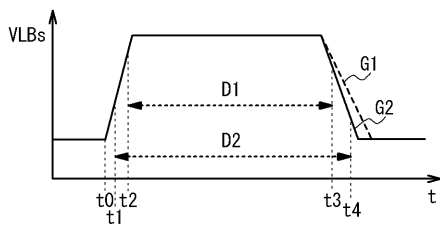
【 図 3 A 】



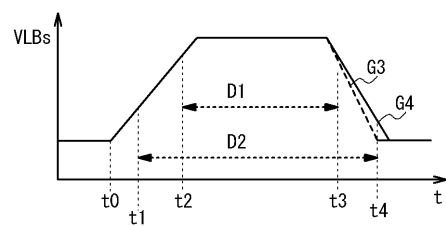
【 図 3 C 】



【 図 3 B 】



【 図 3 D 】



フロントページの続き

- (56)参考文献 特開2011-250345(JP,A)
特開2009-111470(JP,A)
特開2008-271224(JP,A)
特開平7-321632(JP,A)
特表2009-527992(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 25/02
H03K 19/0175