

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4058234号
(P4058234)

(45) 発行日 平成20年3月5日 (2008.3.5)

(24) 登録日 平成19年12月21日 (2007.12.21)

(51) Int. Cl.

F I

H O 1 L 21/3205 (2006.01)

H O 1 L 21/88

Z

H O 1 L 23/52 (2006.01)

H O 1 L 21/90

A

H O 1 L 21/768 (2006.01)

H O 1 L 21/82

W

H O 1 L 21/82 (2006.01)

H O 1 L 27/04

D

H O 1 L 21/822 (2006.01)

請求項の数 18 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2000-377279 (P2000-377279)
 (22) 出願日 平成12年12月12日 (2000.12.12)
 (65) 公開番号 特開2001-244267 (P2001-244267A)
 (43) 公開日 平成13年9月7日 (2001.9.7)
 審査請求日 平成15年12月5日 (2003.12.5)
 (31) 優先権主張番号 特願平11-364199
 (32) 優先日 平成11年12月22日 (1999.12.22)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075683
 弁理士 竹花 喜久男
 (74) 代理人 100084515
 弁理士 宇治 弘
 (72) 発明者 野口 充宏
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝 横浜事業所内
 (72) 発明者 西山 彰
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝 横浜事業所内

審査官 長谷山 健

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

半導体基板 上に形成された第1導電型のMISFETおよび第2導電型のMISFETと、前記半導体基板上に第1の絶縁膜を介して形成され、前記第1導電型のMISFETおよび前記第2導電型のMISFETにW,Ru,TaN,Ti,TiN,Cu,AlまたはAlCuからなる第1の配線コンタクトを介して電氣的に接続された複数本の第1の配線層と、これらの第1の配線層上に第2の絶縁膜を介して形成された複数本の第2の配線層と、これらの第2の配線層上に第3の絶縁膜を介して形成された複数本の第3の配線層とを具備し、

前記第1の配線層、前記第2の配線層および前記第3の配線層は、他の配線層が介在せず
にこの順に積層され、

前記第1の配線層の配線膜厚は、前記第2の配線層の配線膜厚および前記第3の配線層の配線膜厚よりも小さく、前記第1の配線層と前記第2の配線層との距離は、前記第2の配線層と第3の配線層との距離の1.7倍に等しいかこれよりも大きく形成され、

前記第2の配線層または前記第3の配線層の電圧振幅は、前記第1の配線層の複数の配線の電圧振幅より小さいことを特徴とする半導体装置。

【請求項 2】

前記第1の配線層の配線幅は、前記第2の配線層の配線幅または前記第3の配線層の配線幅よりも小さいことを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記第1の配線層の配線と前記第2の配線層の配線とは、ねじれ (Crossover layout) の

10

20

関係にあることを特徴とする請求項 1 または 2 のいずれかに記載の半導体装置。

【請求項 4】

前記第1の配線層の電圧振幅をVDD、前記第2の配線層の電圧振幅をV1、前記第1の配線層および前記第2の配線層間の距離をH1、前記第2の配線層および第3の配線層間の距離をH2とするとき、 $H1 = (VDD/V1)^{1.5} \times H2$ となるように構成したことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

前記第1の配線層の隣接する配線同士の間隔は、前記第2の配線層の隣接する配線同士の間隔および前記第3の配線層の隣接する配線同士の間隔よりも小さいことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

10

【請求項 6】

前記第1の配線層の電圧振幅をVDD、前記第2の配線層の複数の配線の電圧振幅をV1とすると、 $V1 = 0.48 \times VDD$ となることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 7】

半導体基板上に形成される第1導電型のMISFETおよび第2導電型のMISFETと、前記半導体基板上に第1の絶縁膜を介して形成され、前記第1導電型のMISFETおよび前記第2導電型のMISFETにW,Ru,TaN,Ti,TiN,Cu,AlまたはAlCuからなる第1の配線コンタクトを介して電氣的に接続された複数本の第1の配線層と、これらの第1の配線層上に第2の絶縁膜を介して形成された複数本の第2の配線層と、これらの第2の配線層上に第3の絶縁膜を介して形成された複数本の第3の配線層とを具備し、

20

前記第1の配線層、前記第2の配線層および前記第3の配線層は、他の配線層が介在せず

にこの順に積層され、
前記第1の配線層と前記第2の配線層との距離は、前記第2の配線層と第3の配線層との距離の1.7倍に等しいかこれよりも大きく、

前記第1の配線層、前記第2の配線層、および前記第3の配線層に含まれる配線の少なくとも1つは銅を主成分として含み、

前記第2の配線層または前記第3の配線層の電圧振幅は、前記第1の配線層の複数の配線の電圧振幅より小さいことを特徴とする半導体装置。

【請求項 8】

30

前記第1の配線層の配線幅は、前記第2の配線層の配線幅または前記第3の配線層の配線幅よりも小さいことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記第1の配線層の配線と前記第2の配線層の配線とは、ねじれ(Crossover layout)の関係にあることを特徴とする請求項 7 または 8 のいずれかに記載の半導体装置。

【請求項 10】

前記第1の配線層の電圧振幅をVDD、前記第2の配線層の電圧振幅をV1、前記第1の配線層および前記第2の配線層間の距離をH1、前記第2の配線層および第3の配線層間の距離をH2とするとき、 $H1 = (VDD/V1)^{1.5} \times H2$ となるように構成したことを特徴とする請求項 7 乃至 9 のいずれかに記載の半導体装置。

40

【請求項 11】

前記第1の配線層の隣接する配線同士の間隔は、前記第2の配線層の隣接する配線同士の間隔および前記第3の配線層の隣接する配線同士の間隔よりも小さいことを特徴とする請求項 7 乃至 10 のいずれかに記載の半導体装置。

【請求項 12】

前記第1の配線層の電圧振幅をVDD、前記第2の配線層の複数の配線の電圧振幅をV1とすると、 $V1 = 0.48 \times VDD$ となることを特徴とする請求項 7 乃至 11 のいずれかに記載の半導体装置。

【請求項 13】

半導体基板上に形成される第1導電型のMISFETおよび第2導電型のMISFETと、前

50

記半導体基板上に第1の絶縁膜を介して形成され、前記第1導電型のMISFETおよび前記第2導電型のMISFETにW,Ru,TaN,Ti,TiN,Cu,AlまたはAlCuからなる第1の配線コンタクトを介して電氣的に接続された複数本の第1の配線層と、前記第1の配線層上に第2の絶縁膜を介して形成された複数本の第2の配線層と、前記第2の配線層上に第3の絶縁膜を介して形成された複数本の第3の配線層と、前記第3の配線層上に第4の絶縁膜を介して形成された複数本の第4の配線層とを具備し、

前記第1の配線層および前記第2の配線層は他の配線層が介在せずにこの順に積層され、

前記第3の配線層および前記第4の配線層は他の配線層が介在せずにこの順に積層され、

前記第1の配線層の配線膜厚は、前記第2の配線層の配線膜厚、前記第3の配線層の配線膜厚あるいは前記第4の配線層の配線膜厚よりも小さく、前記第1の配線層と前記第2の配線層との距離は、前記第3の配線層と第4の配線層との距離の1.7倍に等しいかこれよりも大きく、

前記第3の配線層または前記第4の配線層の電圧振幅は、前記第1の配線層の複数の配線の電圧振幅よりも小さいことを特徴とする半導体装置。

【請求項14】

前記第1の配線層の電圧振幅をVDD、前記第3の配線層の電圧振幅をV2とすると、前記第1の配線層と前記第2の配線層との距離H1と、前記第3の配線層と第4の配線層との距離H3の関係は、 $H1 = (VDD/V2)^{1.5} \times H3$ となるように構成したことを特徴とする請求項13に記載の半導体装置。

【請求項15】

第1の配線層、第2の配線層、第3の配線層および第4の配線層に含まれる配線の少なくとも1つは銅を主成分として含むことを特徴とする請求項13または14のいずれかに記載の半導体装置。

【請求項16】

前記第1の配線層の配線と前記第2の配線層の配線とは、ねじれ(Crossover layout)の関係にあることを特徴とする請求項13乃至15のいずれかに記載の半導体装置。

【請求項17】

前記第1の配線層の配線幅は、前記第2の配線層の配線幅および前記第3の配線層の配線幅よりも小さいことを特徴とする請求項13乃至15のいずれかに記載の半導体装置。

【請求項18】

前記第1の配線層の隣接する配線同士の間隔は、前記第2の配線層の隣接する配線同士の間隔および前記第3の配線層の隣接する配線同士の間隔よりも小さいことを特徴とする請求項13乃至15のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に低消費電力と高速化を両立した多層配線構造を有する半導体論理回路に関する。

【0002】

【従来の技術】

CMOSトランジスタからなる大規模集積半導体論理回路は、半導体素子がより微細化している。一方チップサイズは年々増加しており、チップ内の配線長がより長くなってきている。

【0003】

チップ内の配線長が長くなると、配線抵抗や配線容量が、配線を駆動するトランジスタのチャネル抵抗や拡散層容量よりも大きくなる。そうすると配線の抵抗と配線容量の積によって回路の動作速度が決定されるので、トランジスタ等の半導体素子がいくら高速になっても装置の動作速度はそれ以上速くならない。

【0004】

このために配線膜厚や配線幅を大きくして抵抗を小さくし、また配線間隔を広くして配線

10

20

30

40

50

容量を小さくすれば回路の動作速度を向上することができる。しかしながら単に配線膜厚を大きくし、また配線間隔を広くするには、ますます高集積化する論理回路を配線するには適していない。

【 0 0 0 5 】

そこで高集積化論理回路に適した配線構造として半導体チップ上に複数の配線を具備する多層配線構造がある。半導体チップ上に形成された論理回路のうち、近接する論理回路同士の配線は配線ピッチを細かくした下層のローカル配線によって行い、離れた論理回路同士の配線は、上層のグローバル配線によって行う。グローバル配線は、ローカル配線よりも配線膜厚および配線幅を大きくし、配線間隔を広くしている（特開平 6 - 1 3 5 9 0 号公報）。

10

【 0 0 0 6 】

しかしながら論理回路のクロック周波数は微細化のスケールリングに従って増大し、配線層の配線本数も増大するために、上記した多層配線構造でも配線層の容量の充放電に必要な電力が大きく増大する問題がある。

【 0 0 0 7 】

従来の多層配線構造では、配線層の層数を増やさずに、配線遅延を改善しつつ配線容量の充放電に伴う電力を減少させることが困難である。

【 0 0 0 8 】

【発明が解決しようとする課題】

本発明は、上記問題を解決するためになされたものであり、CMOS 論理回路の回路レイアウトや配線構造の大幅な変更を伴わずに、配線遅延を低減し、低消費電力化と高速化を両立させる半導体装置を提供することを目的とする。

20

【 0 0 0 9 】

【課題を解決するための手段】

上記目的を達成するために、第 1 の本発明は、半導体基板と、
前記半導体基板上に形成された半導体素子回路と、
前記半導体基板上に絶縁膜を介して形成され、前記半導体素子と電気的に接続した第 1 の配線層と、
前記第 1 の配線層上に絶縁膜を介して形成された第 2 の配線層と、
前記第 2 の配線層上に絶縁膜を介して形成された第 3 の配線層とを具備し、
前記第 1 の配線層の配線膜厚は、前記第 2 の配線層の配線膜厚および前記第 3 の配線層の配線膜厚よりも小さく、
前記第 1 の配線層と前記第 2 の配線層との距離は、前記第 2 の配線層と前記第 3 の配線層との距離よりも大きいことを特徴とする半導体装置を提供する。

30

【 0 0 1 0 】

このとき、前記第 1 の配線層と前記第 2 の配線層および前記第 3 の配線層は、他の配線層が介在せずこの順に積層されていることが好ましい。

【 0 0 1 1 】

このとき、前記第 1 の配線層と前記第 2 の配線層との距離は、前記第 2 の配線層と前記第 3 の配線層との距離の 1.7 倍に等しいかこれより大きくなることとなることが好ましい。

40

【 0 0 1 2 】

また、前記第 1 の配線層の隣接する配線同士の間隔は、前記第 2 の配線層の隣接する配線同士の間隔および前記第 3 の配線層の隣接する配線同士の間隔よりも小さいことが好ましい。

【 0 0 1 3 】

また、前記第 1 の配線層の配線幅は、前記第 2 の配線層の配線幅および前記第 3 の配線層の配線幅よりも小さいことが好ましい。

【 0 0 1 4 】

また、前記第 1 の配線層の配線と前記第 2 の配線層の配線とはねじれ(crossover layout)

50

の関係にあることが好ましい。

【0015】

また、前記第2の配線層および前記第3の配線層の電圧振幅は、前記第1の配線層の電圧振幅よりも小さいことが好ましい。

【0016】

また、前記半導体素子の電源電圧を V_{DD} とすると、前記第1の配線層の電圧振幅も V_{DD} であることが好ましい。

【0017】

また、前記第2の配線層の前記電圧振幅を V_1 とすると、前記第1の配線層と前記第2の配線層との距離は、前記第2の配線層と前記第3の配線層との距離の $(V_{DD}/V_1)^{1.5}$ 倍よりも大きいことが好ましい。

10

【0018】

また、前記第1の配線層は、前記半導体素子に直接接続されることが好ましい。

【0019】

前記第2の配線層の複数の配線の電圧振幅は、0.48VDD 以下となることが好ましい。

【0020】

また、第2の発明は、半導体基板と、

前記半導体基板上に形成された半導体素子と、

前記半導体基板上に絶縁膜を介して形成され、前記半導体素子と電氣的に接続された第1の配線層と、

20

前記第1の配線層上に絶縁膜を介して形成された第2の配線層と、

前記第2の配線層上に絶縁膜を介して形成された第3の配線層と、

前記第3の配線層上に絶縁膜を介して形成された第4の配線層とを具備し、

前記第1の配線層の配線膜厚は、前記第2の配線層、前記第3の配線層および前記第4の配線層の配線膜厚よりも小さく、

前記第1の配線層と前記第2の配線層との距離は、前記第3の配線層と前記第4の配線層との距離よりも大きいことを特徴とする半導体装置を提供する。

【0021】

このとき、前記第1の配線層と前記第2の配線層および前記第3の配線層は、他の配線層が介在せずこの順に積層されていることが好ましい。

30

【0022】

このとき、前記第1の配線層と前記第2の配線層との距離は、前記第3の配線層と前記第4の配線層との距離の1.7倍に等しいかこれよりも大きくなることが好ましい。

【0023】

また、前記第1の配線層の隣接する配線同士の間隔は、前記第2の配線層の隣接する配線同士の間隔および前記第3の配線層の隣接する配線同士の間隔よりも小さいことが好ましい。

【0024】

また、前記第1の配線層の隣接する配線同士の間隔は、前記第4の配線層の隣接する配線同士の間隔よりも小さいことが好ましい。

40

【0025】

また、前記第1の配線層の配線と前記第2の配線層の配線とはねじれ(crossover layout)の関係にあることが好ましい。

【0026】

また、前記第2の配線層、前記第3の配線層および前記第4の配線層の電圧振幅は、前記第1の配線層の電圧振幅よりも小さいことが好ましい。

【0027】

また、前記半導体素子の電源電圧を V_{DD} とすると、前記第1の配線層の電圧振幅も V_{DD} であることが好ましい。

【0028】

50

また、前記第 2 の配線層の前記電圧振幅を V_1 とすると、前記第 1 の配線層と前記第 2 の配線層との間隔は、前記第 3 の配線層と前記第 4 の配線層との間隔の $(V_{DD}/V_1)^{1.5}$ 倍よりも大きいことが好ましい。

【0029】

また、前記第 1 の配線層は、前記半導体素子に直接接続されることが好ましい。

【0030】

また、前記第 2 の信号配線層の複数の配線の電圧振幅は、 $0.48V_{DD}$ 以下となることが好ましい。

【0031】

また、本発明では、電源電圧を V_{DD} 、第 2 の信号配線層および第 3 の信号配線層からなるグローバル配線の電圧振幅を V_{DD} より小さい電圧 V_1 、第 1 の信号配線層（ローカル配線層）と第 2 の信号配線層の間隔を H_1 、第 2 の信号配線層と第 3 の信号配線層の間隔を H_2 とすると、 $H_1 > 0.4 \times H_2 (V_{DD} / V_1)$ となるように H_1 を H_2 よりも大きくすることで、ローカル配線層での電圧振幅 V_{DD} の電圧ノイズが、容量結合によってグローバル配線に乗って誤動作するのを防ぐことができる。

【0032】

また、本発明は、グローバル配線層での電圧振幅をローカル配線層での電圧振幅よりも小さくすることで、グローバル配線層での充放電を小さくできるので、より低消費電力を実現できる。

【0033】

また、本発明は、半導体基板と、
前記半導体基板上に形成された半導体素子と、
前記半導体基板上に絶縁膜を介して形成され、前記半導体素子を電氣的に接続したローカル配線層と、
前記ローカル配線層上に絶縁膜を介して形成され、そのローカル配線層に電氣的に接続された第 1 の配線層およびこの上に形成された第 2 の配線層を含み、
前記ローカル配線層の配線膜厚は、前記第 1 の配線層の配線膜厚および前記第 2 の配線層の配線膜厚よりも薄く、
前記ローカル配線層と前記第 1 の配線層との距離は、前記第 1 の配線層と前記第 2 の配線層との距離よりも大きいことを特徴とする半導体装置を提供する。

【0034】

【発明の実施の形態】

以下、図面を参照しながら本発明の好ましい実施形態を説明する。

【0035】

（実施形態 1）

図 1 は本発明による実施形態 1 に係る半導体装置の断面図であり、図 4 に配線層の層内構造を斜め上方から俯瞰で眺めた各層の平面レイアウトを示す。図 4 において、より配線層をわかりやすくするために、半導体基板領域、およびコンタクトは省略し、点線でそのコンタクトと配線の接続関係を示している。

【0036】

本実施形態では、配線層をローカル配線層（配線層 4 と第 1 の配線層 1）と、ローカル配線層上に形成されたグローバル配線層（第 2 の配線層 2 と第 3 の配線層 3）の 2 つに分けている。グローバル配線層とローカル配線層との距離は、グローバル配線層間の距離よりも広くし、グローバル配線層の配線膜厚をローカル配線層の配線膜厚より大きくし、グローバル配線層の電圧振幅がローカル配線層の電圧振幅よりも低くしている。配線層 1 が第 1 の配線層、配線層 2 が第 2 の配線層、配線層 3 が第 3 の配線層である。また、配線層 4 は第 1 の配線層 1 の下層に形成され共にローカル配線層として機能する。以下により詳しく説明する。

【0037】

図 1 に示すように、半導体基板 10 は、ボロンまたはインジウムを不純物濃度 $10^{14} \sim 10^{18}$

10

20

30

40

50

cm^{-3} ドープした例えばシリコンからなる p 型半導体で形成されている。

【 0 0 3 8 】

この p 型半導体基板 1 0 上には、ソース・ドレイン領域 9 とこれらに挟まれたチャネル領域と、このチャネル領域上にゲート絶縁膜を介して形成されたゲート電極 8 とからなる M I S F E T が形成されている。これらの M I S F E T は複数形成されており、半導体論理回路 1 0 0 を構成している。

【 0 0 3 9 】

M I S F E T のうち、n 型 M I S F E T は、不純物濃度 10^{19}cm^{-3} 以下の p 型不純物添加領域からなるチャネルと、膜厚 1 0 n m 以下のシリコン酸化膜やシリコン窒化膜からなるゲート絶縁膜と、このゲート絶縁膜上に形成され不純物濃度 10^{19}cm^{-3} 以上の P (リン) または A s (砒素) を添加したポリシリコンゲート電極 8 と、このゲート電極 8 の両側に形成された不純物濃度 10^{19}cm^{-3} 以上 P (リン) または A s (砒素) を添加した深さ 0 . 5 μm 以内の n 型半導体領域からなるソース・ドレイン領域 9 とから構成される。また p 型 M I S F E T も同様に半導体基板 1 0 上に形成され、n 型 M I S F E T と相補型半導体論理回路のスイッチ素子を形成している。

【 0 0 4 0 】

これら n 型 M I S F E T や p 型 M I S F E T の形成されていない半導体基板 1 0 上には、シリコン酸化膜からなる素子分離領域 1 1 が深さ 0 . 0 5 μm ~ 1 μm で形成され、個々の M I S F E T 1 0 0 を分離している。

【 0 0 4 1 】

これら論理回路を構成する M I S F E T 1 0 0 上部には、層間絶縁膜 1 3 を介して、配線層 4 が形成されている。配線層 4 上には層間絶縁膜 1 3 を介して第 1 の配線層 1 が形成されている。配線層 4 および第 1 の配線層 1 はローカル配線層を構成している。第 1 の配線層上には層間絶縁膜 1 3 を介して第 2 の配線層 2 が形成されている。第 2 の配線層 2 上には層間絶縁膜 1 3 を介して第 3 の配線層 3 が形成されている。第 2 の配線層 2 および第 3 の配線層 3 はグローバル配線層を構成している。層間絶縁膜 1 3 は例えばシリコン酸化膜やシリコン窒化膜からなり、配線層 4、第 1 の配線層 1、第 2 の配線層 2 および第 3 の配線層 3 の配線間にも形成されている。

【 0 0 4 2 】

ここでローカル配線層は、半導体基板 1 0 上の半導体論理回路 1 0 0 を構成するトランジスタに接続するものであるが、半導体論理回路 1 0 0 を構成するトランジスタに接続する配線層が 2 層以上ある場合、本発明におけるローカル配線層は最下層から 2 層までを対象とする。また、グローバル配線層は前記ローカル配線層上に形成されており、かつローカル配線層に接続するものであるが、前記ローカル配線層上に形成されており、かつローカル配線層に接続する配線層が 2 層以上ある場合、本発明におけるグローバル配線層は最上層から 2 層までを対象とする。したがって本発明を適用するには少なくともローカル配線層を 1 層と、グローバル配線層を 2 層有する多層配線層が必要である。通常配線容量の増加を避けて素子や配線の任意の位置でコンタクトが設けられるようにするには、1 層を例えば X 方向に伸びる配線とすると、もう一層は前記 X 方向に直行する Y 方向に伸びる配線とすることが行われる。即ちローカル配線層およびグローバル配線層のそれぞれにコンタクトの自由度を持たせるには 4 層以上の多層配線が必要となる。

さらに本発明で説明するローカル配線層とグローバル配線層との距離は、最上層のローカル配線層と、最下層のグローバル配線層との距離である。

【 0 0 4 3 】

なお、配線とは、半導体論理回路の信号伝達のために用いる信号配線のことを指す。それぞれの配線層 1、2、3、4 の配線材料は W、C u、A l 或いは A l C u を用いることができる。

【 0 0 4 4 】

また、半導体基板 1 0 上の M I S F E T のソース・ドレイン領域 9 上には、配線コンタクト 7 が形成されローカル配線層のうち配線層 4 と接続されている。この配線コンタクト 7

10

20

30

40

50

は、W、Ru、Ta₂N₅、Ti、TiN、Cu、Al 或いはAlCuからなり、高さ0.1 μm ~ 2 μm、直径0.03 μm ~ 1 μmである。

【0045】

配線層4の配線幅は、半導体基板10に形成されたMISFETとの合わせずれをできるだけ小さくすることによって、コンタクト7の径を小さく形成している。このようにしてMISFETの集積密度を向上している。配線層4より上層に位置する配線層1、2、3におけるコンタクト5、6は、これよりも大きくしても良い。

【0046】

上記したように、配線層4の配線は隣接する半導体論理回路を接続する比較的短い配線に用いられ、集積度を向上させるためのローカル配線層である。したがって配線層4の最小線幅は、0.03 μm ~ 1 μmとし、最小の配線層間隔も配線幅と同様0.03 μm ~ 1 μmとすることが、集積密度を向上させるために望ましい。

【0047】

また、配線層4の上には、配線コンタクト5が形成されもうひとつのローカル配線層である第1の配線層1と接続されている。この配線コンタクト5は、W、Ru、Ta₂N₅、Ti、TiN、Cu、Al 或いはAlCuからなり、高さ0.03 μm ~ 1 μm、直径0.03 μm ~ 1 μmである。この配線コンタクト5の径は、配線コンタクト7の径と等しいか大きくすることが、第1の配線層1のコンタクト部の抵抗を低減させるために望ましい。

【0048】

第1の配線層1は、配線層4と直交する方向に延在することによって半導体基板10上のランダムな位置に配置された半導体論理回路領域100を任意に配線することができる。第1の配線層1も配線層4と同じ膜厚、線幅で形成されることが、配線の積層面に平行な2次元方向で、半導体論理回路100の最小レイアウト幅を等しくし回路配置を容易にするため、および、配線の集積密度を向上させるために望ましい。

【0049】

第1の配線層1上には、層間絶縁膜13が高さH1となるように全面堆積され、この上に第2の配線層2が形成されている。第2の配線層2上には、層間絶縁膜13が高さH2となるように全面堆積され、この上に第3の配線層3が形成されている。第2の配線層2および第3の配線層3はともにグローバル配線層を構成している。グローバル配線層は、ローカル配線層より比較的長い位置の配線を行っている。また第2の配線層2と第3の配線層3は直交する方向に延在し、ランダムな位置に配置された半導体論理回路領域100やローカル配線を任意に配線している。

【0050】

第2の配線層2上には、配線コンタクト6が形成され第3の配線層3と接続されている。この配線コンタクト6は、高さH2、直径0.05 μm ~ 3 μmで、W、Ru、Ti、TiN、Ta₂N₅、Cu、Al 或いはAlCuからなり、径が配線コンタクト5の径と等しいか大きくなるようにする。

【0051】

また図1および図4には示していないが、ローカル配線層とグローバル配線層間、すなわち第1の配線層1と第2の配線層2との間には、高さH1、直径0.05 μm ~ 3 μmで、W、Ru、Ta₂N₅、Ti、TiN、Cu、Al 或いはAlCuからなる配線コンタクトが形成され、お互いの層は接続されている。

【0052】

第1の配線層1と第2の配線層2とは、平行な方向に形成されるよりも直交した方向に延在して形成されることが、ローカル配線層およびグローバル配線層間のクロストークを減少させるのに望ましい。

【0053】

本発明では、ローカル配線層である第1の配線層1と配線層4の配線膜厚T1を、グローバル配線層である第2の配線層2の配線膜厚T2および第3の配線層3の配線膜厚T3よりも小さく(T1 < T2, T3)形成している。また、ローカル配線層とグローバル配線

10

20

30

40

50

層との間隔 H_1 、すなわち配線層 1 と配線層 2 との距離 H_1 は、グローバル配線層内の第 2 の配線層 2 と第 3 の配線層 3 との距離 H_2 よりも大きく ($H_1 > H_2$) している。また、グローバル配線層内の第 2 の配線層 2 および第 3 の配線層 3 の配線間隔 S_2 、 S_3 を、ローカル配線層である第 1 の配線層 1 と配線層 4 の配線間隔 S_1 よりも大きく ($S_1 < S_2$ 、 S_3) 形成している。このときの配線間隔は、その配線層内における最小配線間隔を意味する。

【0054】

また、グローバル配線である第 2 の配線層 2 および第 3 の配線層 3 の最小線幅 W_2 、 W_3 を、ローカル配線の配線最小幅 W_1 よりも大きく ($W_1 < W_2$ 、 W_3) 形成している。

【0055】

このようにして、グローバル配線層での単位長さあたりの配線抵抗を下げ、さらに配線容量を下げているので、グローバル配線層内の配線抵抗と配線容量の積を小さくし、クロックの高速化に伴う充放電の量を小さくし低消費電力化を図れる。具体的には、配線幅を 2 倍にすると抵抗は $1/2$ 倍になる。配線層間隔を 2 倍にすると容量は $1/2$ 倍になる。配線間隔を 2 倍にすると容量は $1/2$ 倍になる。配線膜厚を 2 倍にすると抵抗が $1/2$ 倍になる。

【0056】

また、配線層 1、2、3、4 の配線材料として Al か Cu を使い、層間絶縁膜 13 として誘電率が 4 以下の絶縁膜を用いた場合、配線による遅延時間を最適化しつつ最も配線の集積密度を向上させて配置した構造では $0.2 \times S_2 < W_2 < 5 \times S_2$ 、 $0.2 \times S_2 < T_2$ 20
 $< 5 \times S_2$ 、 $0.2 \times S_3 < W_3 < 5 \times S_3$ 、 $0.2 \times S_3 < T_3 < 5 \times S_3$ の範囲で配線構造が最適化される。

【0057】

また、第 1 の配線層 1 と第 2 の配線層 2 との距離 H_1 が、第 2 の配線層 2 と第 3 の配線層 3 との距離 H_2 より大きく ($H_1 > H_2$) なっているので、第 1 の配線層 1 と第 2 の配線層 2 間の容量結合を防ぎ、第 2 の配線層 2 にクロストークノイズが生じるのを防ぐことができる。

【0058】

図 2 は第 1 の配線層 1 と第 2 の配線層 2 との距離 H_1 が、第 2 の配線層 2 と第 3 の配線層 3 との距離 H_2 よりも小さい ($H_1 < H_2$) 場合の従来比較例による多層配線構造を示す図である。その他の構造は図 1 に示す構造と同様である。 30

【0059】

この比較例の構造においても、グローバル配線層の単位面積あたりの配線抵抗を下げるため、第 2 の配線層 2 の配線膜厚 T_2 は、第 1 の配線層 1 の配線膜厚 T_1 より大きく ($T_1 < T_2$) する。またグローバル配線層内の配線間の容量を低減するため、配線層内の最小配線間隔は、上層構造になるほど等しいか大きくする。またそれぞれの配線層 1、2、3、4 間の間隔は、それぞれの配線層 1、2、3、4 内の最小配線間隔よりも大きくすることによって、配線層間に起因する配線容量を低減する。

【0060】

しかしながらこの構造では、第 1 の配線層 1 と第 2 の配線層 2 の容量結合によって、第 2 の配線層 2 にクロストークノイズが生じてしまった。この構造ではグローバル配線層である第 2 の配線層 2 および第 3 の配線層 3 の信号電圧を低電圧化した場合ノイズが大きく信号を正しく伝送することが困難である。 40

【0061】

図 3 は、本発明の多層配線構造の駆動方法を説明する図であり、第 1 の配線層 1 の電圧パルスによる第 2 の配線層 2 の電圧上昇を説明する図である。図 1 の第 1 の配線層よりも上の構造を示している。

【0062】

ここで、第 1 の配線層 1 および第 3 の配線層 3 は、できるだけクロストークを減少させるため第 2 の配線層 2 と直交する方向に形成する。また、第 1 の配線層 1 は、配線膜厚 T_1 50

、配線幅 W_1 、配線間隔 S_1 で稠密に形成されており、ある時刻以前で GND 、ある時刻以後 V_{DD} となるステップパルスが加えられているものとする。

【0063】

これは図4において、第2の配線層2の下に第1の配線層1内の配線が全て敷設され、振幅 V_{DD} で動作する論理回路が同時に配線電圧を V_{DD} となるように駆動された場合に相当する。また、第3の配線層3は、配線膜厚 T_3 、配線幅 W_3 、配線間隔 S_3 で稠密に形成されており、各配線は接地されているものとする。また、第2の配線層2は、配線膜厚 T_2 、配線幅 W_2 、配線間隔 S_2 で形成されているものとし、1つの配線は浮遊状態にあり、一端に電圧計14が接続されており、その1つの配線を除いて接地されているとする。

【0064】

図3において、まず、第1の配線層1に0Vから V_{DD} のステップパルスが加えられると、第2の配線層2の電圧が V だけ容量性結合によって上昇する。ここで V/V_{DD} は、次の関係式で得られる値と一致することを本発明者は新たに見出した。

【0065】

$$V/V_{DD} = \{0.0261 - 0.0945(T_2/S_2)\}(H_2/S_2) + 0.3657 - 0.0541(T_2/S_2) \times (H_1/S_2) - \{0.65 + 0.05(T_2/S_2)\} \quad \text{式(1)}$$

ただし、 $1 < (H_1/S_2) < 3$ 、 $0.5 < (T_2/S_2) < 3$ 、および $1/4 < (S_1/S_2) < 1/2$ で、また、 $W_1 = 2 \times T_1$ 、 $W_3 = 2 \times T_3$ の範囲で $\pm 20\%$ の誤差範囲内で式(1)で求められる。

【0066】

ここで第2の配線層2および第3の配線層3が同一配線幅、配線膜厚、配線間隔さで形成されている場合を考え、 $H_2 = T_2 = S_2$ の条件で、 $H_1 = H_2$ とする場合、式(1)より $V/V_{DD} = 0.24$ となり、容量性結合により、配線2に $V = 0.24V_{DD}$ の電圧上昇が生じる。

【0067】

また、第1の配線層1に与える信号を V_{DD} から0Vのステップパルスにした場合には、第2の配線層2に $0.24V_{DD}$ の電圧下降が生じる。

【0068】

よって、第2の配線層2の電圧振幅としては、最低 $2 \times 0.24V_{DD} = 0.48V_{DD}$ が必要となり、この電圧以下で配線層2の電圧を低電圧振幅させると誤動作が生じてしまう。

【0069】

そこで H_1 を H_2 より大きくし、特に、第2の配線層2の信号振幅を $V_1 < V_{DD}$ として、 $H_1 > (V_{DD}/V_1)^{1.5} \times H_2$ となるようにする。このようにすると、式(1)より、 $H_1 = H_2$ で S_2 および T_2 が同一の条件に比べて、少なくとも $0.5 < (T_2/S_2) < 3$ の範囲で、 $V/V_{DD} = 0.24 \times (V_1/V_{DD})$ となる。

【0070】

よって、本発明では、容量性結合による電圧上昇を $0.24V_{DD}$ から $0.24V_1$ 以下とすることができ、比較例に比べクロストークを (V_1/V_{DD}) 倍以下に抑えることができる。また、クロストークを (V_1/V_{DD}) 倍以下に抑えることは、第1の配線層1の配線幅や配線間隔が変化した一般の配線レイアウトでも同様に成立する。

【0071】

上記したようにグローバル配線層である第2の配線層2内および第3の配線層3内の、層内で隣接した最小配線間隔の信号配線の電圧振幅を V_1 以下にすることで、第2の配線層2内で隣接する配線のクロストーク電圧は、層内で隣接した最小配線間隔の信号配線の電圧振幅を V_{DD} 以下にした場合に比較して、 (V_1/V_{DD}) 倍以下に抑えることができる。

【0072】

これらの方法では、第2の配線層2および第3の配線層3の配線線幅、配線間隔、および第2の配線層2と第3の配線層3との距離を変化させる必要がない。

【0073】

以上を組み合わせるにより、本発明では第2の配線層2および第3の配線層3の容量結合によるクロストーク電圧すべてを、比較例の第2の配線層2および第3の配線層3に含まれる配線を V_{DD} 振幅で駆動した場合に比較して、 (V_1/V_{DD}) 倍以下に抑えること

10

20

30

40

50

ができる。この方法により、チップ内配線で第2の配線層2および第3の配線層3に含まれる配線の電圧振幅を、比較例の (V_1/V_{DD}) 倍以下に抑えることができる。

【0074】

また、同じ考えをさらに第3の配線層3よりも上層の配線層に用いることにより、さらに上層の配線層も配線の電圧振幅を、 (V_1/V_{DD}) 倍以下に抑えることができる。

【0075】

なお、図1の構成で、第3の配線層3の電圧振幅を例えば V_{DD} とし、第2の配線層2の論理電圧振幅を例えば V_{DD} より低い V_1 とした場合には、第2の配線層2と第3の配線層3の距離を、 $H1$ よりも狭い $H2$ のままでは、第3の配線層3から第2の配線層2へのクロストーク電圧振幅が $\pm 0.24V_{DD}$ 程度となるため、第2の配線層2のレシーバが誤動作してしまい、効果が十分には得られない。よって、第2の配線層2に対向する第3の配線層3の電圧振幅を抑えることで十分な効果が得られる。

10

【0076】

グローバル配線層である第2の配線層2および第3の配線層3およびこれより上層の配線層には、通常、 V_{DD} 振幅の電圧駆動がなされる外部入出力端子が設けられている場合が多い。この V_{DD} 振幅の信号の端子から低電圧配線に対するクロストークについては、例えば、図5のような配線構造で減じることができる。

【0077】

図5は、第2の配線層2および第3の配線層3を貫く V_{DD} 振幅の信号配線構造の層間俯瞰図である。図4と同じ記号については、説明を省略する。

20

【0078】

第2の配線層2および第3の配線層3で、 V_{DD} 振幅駆動される配線は配線15および配線16であり、図では示していないさらに上層の配線層の入力回路および出力回路へ接続されている。これら外部に対する入力回路および出力回路は、それぞれごく近隣に配置した素子で形成することができ、チップ内の配線はローカル配線層を用いることで十分実現できる。

【0079】

したがって第2の配線層2および第3の配線層3を貫く配線15、配線16の面積は、図5のように、さらに上部の配線へのコンタクトを形成するのに十分な最小面積でよい。よって第2の配線層2内または第3の配線層3内の隣接配線への容量結合も、配線15、配線16の断面積が小さいため小さくすることができる。この結果、配線15、配線16がグローバル配線層内を平行して長く形成されている場合に比較して、クロストークは、配線断面積にほぼ比例して非常に小さく保つことができる。

30

【0080】

また、図5では、配線15および配線16に隣接して、例えば、GNDや V_{DD} など一定の電位を有する配線17が隣接して形成され配線15および配線16をシールドしている。配線17と、配線15および配線16の面内での距離は、最小配線間隔となるように形成されるのが望ましい。

【0081】

また、例えば配線16と同一層に含まれた配線17は、配線16と配線18との間隔を一定とした場合、配線16の容量結合による同一層内の低電圧振幅配線18へのクロストークを、配線17が無い場合の $1/10$ 以下に減少させることができ、密に配線を形成しつつクロストークを減少させることができることが実験により分かった。

40

【0082】

同様に、配線15と同一層に含まれた配線17は、配線18との間隔を一定とした場合、同一層内の低電圧振幅配線18への配線16からの容量結合によるクロストークを減少させる。この場合、配線15と配線18との距離を、配線層2の最小配線間隔 $S2$ よりも k 倍大きくすることにより、配線18に生ずるクロストークを最小配線間隔で配置した場合の $(1/k)$ 倍以下に低減することができることがわかった。

【0083】

50

以上の方法を用いることにより、 V_{DD} 振幅の信号の端子から低電圧配線に対するクロストークを低減できる。

【0084】

また、外部入出力端子の数は、トランジスタゲート数を N として、トランジスタ数に比較してゲートアレイでも高々 $1.9 \times N^{0.5}$ [本] である。ちなみに、ゲートアレイは、マイクロプロセッサ、スタティック RAM、ダイナミック RAM、ゲートアレイの間で最もゲート数に対する外部入出力端子の数が多。この場合、トランジスタを用いたチップ内総配線数 $\sim 3 \times N$ に比較して、 10^6 個以上のトランジスタ数で 0.07% 以下であり、その全配線に対する割合はトランジスタ数が増すにつれ $N^{-0.5}$ で減少する。

【0085】

ここで、図5のビット線シールド方法によるグローバル配線層の配線面積は、ビット線シールドを行わない場合の配線面積に比べて高々4倍程度しか増加せず、第2の配線層2の最小配線ピッチを $2F$ として、 $36F^2$ 程度の面積しか占有しない。よって、例えば、配線ピッチを $2\mu m$ とすると、図5で示したビット線シールドによる面積増大は、 $36F^2 \times (4 - 1)$ 倍 $\sim 100\mu m^2$ 程度で、全入出力ピン合わせても 10^6 個 $\times 0.07\% \times 100\mu m^2 \sim 0.07mm^2$ より面積が小さく、通常 $10mm^2$ 以上ある VLSI 回路チップではチップ面積増大の割合は非常に小さい。

【0086】

さらに、 V_{DD} 振幅の信号の端子から低電圧配線に対するクロストークを低減するために、 V_{DD} 電圧振幅の第1の配線層1および配線層4を通過させ、低電圧信号を第2の配線層2および第3の配線層3に伝達する場合にも、第1の配線層1および配線層4に対して図5と同様の配置を用いることができる。

【0087】

この低電圧配線は、他の V_{DD} 電圧振幅の第1の配線層1および配線層4と接続する必要がないため、図5の配線15や配線16と同様に第1の配線層1および配線層4内では配線断面積を小さく保った矩形形状で形成することができる。

【0088】

よって、第1の配線層1および配線層4での V_{DD} 電圧振幅の隣接配線からの容量結合も、第1の配線層1および配線層4での低電圧配線の配線断面積が小さいため小さくすることができる。この結果、クロストークは、配線が平行して長く形成されている場合に比較して、配線断面積にほぼ比例して非常に小さく保つことができる。

【0089】

次に、図6は V_{DD} 振幅の配線駆動回路の例である。図7から図12は本発明のグローバル配線層を駆動するための低電圧振幅回路の例である。

【0090】

図6から図12においてインバータ INV1 から INV11 までは、例えば電源電圧が V_{DD} の CMOS インバータを示しており、NAND1 から NAND2 まで、および NOR1 から NOR2 までは、例えば電源電圧が V_{DD} の NAND 回路および NOR 回路を示している。ここで、 C_{int} が配線容量を示し、 C_{int} が接続されている部分が配線となっており、配線層1、2、3、4に対応した符号をつけている。

【0091】

図6では配線ドライバである CMOS インバータ INV1 の出力が、 C_{int} の容量を有した配線層1または配線層4の一端に接続され、その配線の他の一端が配線レシーバであるインバータ INV2 の入力に接続されている。これらによって、 V_{IN} の入力電圧が、配線層1または配線層4を通じて V_{OUT} に出力される。

【0092】

本発明では図6の V_{DD} 配線駆動回路はローカル配線層である配線層1および配線層4を駆動するために用いられよく CMOS 回路の配線駆動回路からの変更は必要ない。

【0093】

また、グローバル配線層である第2の配線層2および第3の配線層3は、例えば図7の低

10

20

30

40

50

電圧振幅回路を用いる。図7は、いわゆるスタティックセンスアンプ回路であり、例えば、"VLSIシステム設計 回路と実装の基礎", H. Bakoglu著、中澤喜三郎、中村宏監訳、平成7年3月30日発行、丸善株式会社、pp.184~198に記載されている回路である。

【0094】

この回路において、n型MISFET Qn1が配線ドライバとなり、p型MISFET Qp1およびインバータINV3、INV4、INV5が配線レシーバとなる。

【0095】

n型MISFET Qn1がoffの時、配線層2の配線はp型MISFET Qp1によって充電されるが、インバータINV3の論理反転電圧よりもすこし高くなると、Qp1がオフとなって、充電が止まり、配線層2の電圧は V_{DD} よりも小さい値で留まる。また、n型MISFET Qn1がonの時は、n型MISFET Qp1とp型MISFET Qn1のチャネル抵抗比によって決まる電圧に配線層2の電圧はクランプされ、0Vまで低下することはない。

10

【0096】

以上から第2の配線層2の電圧振幅は V_{DD} より小さく V_1 とすることができ、第2の配線層2を充電する電力を $(V_1/V_{DD})^2$ 倍に低減することができる。

【0097】

ここで、この回路は、電源電圧として V_{DD} のみを用いているにも関わらず、第2の配線層2の電圧を0Vより高く V_{DD} より低く抑えることができる。 V_{DD} の信号振幅を有する図6の回路では、配線レシーバ第一段のインバータINV2を形成するn型MISFETのしきい値を V_{thn} とし、p型MISFETのしきい値を V_{thp} とすると、インバータINV2の入力電圧が V_{thn} 以下と $(V_{DD}-V_{thp})$ 以上の範囲では、それぞれn型MISFET、p型MISFETがonしないため、この電圧範囲で入力電圧変化が生じても出力電圧は変化せず、入力信号に対する出力遅れが生ずる。

20

【0098】

このため、図7において、これらQn1およびQp1のトランジスタ幅を調整して、この第2の配線層2の電圧範囲を、インバータINV3を形成するn型MISFETのしきい値 V_{thn} 以上にし、インバータINV3を形成するp型MISFETのしきい値を V_{thp} として、 $(V_{DD}-V_{thp})$ 以下にするようにすれば、前述の、図6のインバータで生ずるトランジスタのしきい値に起因する不感帯に起因する入出力の遅れを低減でき、より高速に動作できる。実際、図7の回路で $0.4V_{DD}$ の電圧振幅となるように設計し、 V_{IN} と V_{OUT} との遅延時間を調べた。トランジスタしきい値を $0.2V_{DD}$ とし、配線ドライバ終段のトランジスタ抵抗をRとし $F/0=1$ のインバータの遅延時間を t_0 とすると、 V_{IN} から V_{OUT} までの50%遅延時間は $0.5 \times C_{int} \times R + 3 \times t_0$ 以下であり、図6のCMOSインバータで配線層2を駆動した場合の50%遅延時間 $0.7 \times C_{int} \times R$ よりも配線容量 C_{int} が支配的な領域で高速化できることが判明した。

30

【0099】

また、図7の回路で第2の配線層2を駆動した場合、配線層充放電に伴う消費電力も図6のCMOSインバータの16%まで低減できる。さらに、信号を伝達する長い配線は図6の回路の場合と同様に1本で良く、グローバル配線層での配線数の増加もない。勿論、電源電圧は V_{DD} のみで良いので、新たな電源電圧線も不要である。

【0100】

特に、図7から図11までに示すレシーバでは、図6に示すレシーバのような、レシーバトランジスタのしきい値 V_{thn} および V_{thp} に起因する不感帯の入力電圧範囲がない。よって、この不感帯分、第2の配線層2の電圧振幅を小さくしても、配線遅延が増大しない。ここで、 V_{thn} と V_{thp} は、 $0.15 \times V_{DD}$ 以上とすることが、図6のCMOSインバータを用いたレシーバで、貫通電流を減らすのに望ましい。よって、配線遅延を増大させずに、 V_1 $V_{DD}-V_{thp}-V_{thn}$ $0.7 \times V_{DD}$ とすることが可能で、配線充放電に伴う消費電力を小さくできる。これは、すなわち、 H_1 $(V_{DD}/V_1)^{1.5} \times H_2$ $1.7 \times H_2$ の構造で実現することができる。

40

【0101】

図8に示す駆動回路は、Qp1の代りにn型MISFET Qn2を用いた例であり、Qn1とQn2は同導電性のトランジスタであり、マッチングが取り易くなる。

【0102】

50

また、図 9 に示す駆動回路は、いわゆる $V_{DD}/2$ プリチャージ回路であり、第 2 の配線層 2 或いは第 3 の配線層 3 より左側が第 2 の配線層 2 或いは第 3 の配線層 3 に対するドライバになっている。また、第 2 の配線層 2 或いは第 3 の配線層 3 より右側が配線に対するレシーバとなっており、第 2 の配線層 2 或いは第 3 の配線層 3 の電圧は $V_{DD}/2$ を中心に V_{DD} より小さい電圧振幅で動作する。

【 0 1 0 3 】

ここで、1 と 2 は、図 1 3 で示されるような 2 相のオーバーラップのないクロックであり、1 が high の時に、配線層をほぼ $V_{DD}/2$ に充電するプリチャージ期間となり、2 が high の時に、信号伝達を行う。このようにすることにより、図 7 および図 8 の回路でトランジスタ $Qn1$ が導通状態の時に存在した直流電流を削減することができる。

10

【 0 1 0 4 】

また、図 1 0 に示す回路は、図 7 のスタティックセンスアンプ回路にクロックを追加したクロック付きセンスアンプである。この回路でもトランジスタ $Qn1$ が導通状態の時に存在した直流電流消費を削減することができる。

【 0 1 0 5 】

これら図 9 および図 1 0 に示す回路は、1 および 2 という外部クロック入力の配線を必要とする。また、 V_{IN} 入力の HIGH 期間が長く、図 7 の回路のトランジスタ $Qn1$ が on になることによる配線電力消費が問題となる場合には、例えば、図 1 1 に示す回路のように、図 7 の相補型となる回路を用いればよい。

【 0 1 0 6 】

20

以上、図 7 から図 1 1 に示す低電圧振幅回路を、グローバル配線層を駆動するために用いると、配線遅延時間を短縮し、信号を伝達する長い配線は図 6 の駆動回路を用いた場合と同様に 1 本で良く、配線数の増加もない。さらに、電源電圧は V_{DD} のみで良いので、新たな電源電圧線も不要である。さらに、回路面積の増大も図 6 の駆動回路をグローバル配線層に用いた場合に比較して 2 倍以下である。

【 0 1 0 7 】

さらに、図 1 2 で示す駆動回路のように、長い配線を複数に分割し、図 7 から図 1 2 までの低電圧振幅回路を直列に接続することにより、低電圧振幅のリピータを形成することによって、信号遅延を改善することができる。また、配線抵抗よりも配線容量が問題となる場合は、低電圧振幅回路の前段にだんだんとサイズが大きくなるように直列接続したインバータ $INV10$, $INV11$ を接続し、カスケードドライバを形成することによって、遅延時間を改善できる。このカスケードドライバは、ごく近接したトランジスタ配置によって形成することができる。前記低電圧振幅回路のグローバル配線層の層数の増加を行わずにグローバル配線層は低電圧振幅回路として形成することができる。

30

【 0 1 0 8 】

以上述べた構成は、以下の特徴を有する。

【 0 1 0 9 】

まず、配線層の層数の追加なしに、低消費電力化および配線遅延による遅延時間の改善が同時にできる。低消費電力化は、グローバル配線層の配線電圧振幅が V_{DD} より小さいためであり、その振幅を V_1 、グローバル配線の総容量を Cu 、ローカル配線層の総容量とトランジスタの接合総容量とゲート容量の和を Cd として、同一クロック周波数で $(Cu \times V_1^2 + Cd \times V_{DD}^2) / (Cu \times V_{DD}^2 + Cd \times V_{DD}^2)$ の割合に電力を低消費電力化できる。この際、同時に、図 7 の駆動回路を用いて詳述したように、配線遅延時間も最大 71% に短縮する。よって、より、配線遅延起因の回路スキューを減少させることができ、より高速で誤動作の少ない回路を実現できる。

40

【 0 1 1 0 】

また、グローバル配線層の動作電圧を V_{DD} よりも低電圧化でき、スイッチングに伴う電流も CMOS インバータよりも小さくできるので、より、グローバル配線層の電流密度を小さくしエレクトロマイグレーションや層間膜絶縁性などの信頼性の問題を緩和することができる。

50

【0111】

さらに、グローバル配線層の発する電磁ノイズを低減することができ、電磁ノイズによる電源電圧変動や、センス回路の誤動作を防ぐことができる。勿論、低消費電力化に伴い、充放電に伴う発熱の減少によって、配線の熱履歴の低下による信頼性の向上や、電源配線の薄膜化や電源配線の割合を減少させることやトランジスタの接合リークを小さくでき、より高信頼性・低リークで高集積化を実現することができる。

【0112】

また、配線層の層数の追加が必要ないので、層間接続の不良など追加層に起因する不良発生や信頼性低下、配線層の大幅なレイアウト変更がなく、製造工程増大による生産性低下もない。

10

【0113】

低論理電圧振幅回路の配線ドライバと配線レシーバを置き換えるだけで従来回路設計の手法およびツールをそのまま用いることができ、多電源電圧対応や多信号振幅対応を行う必要がない。すなわち、従来回路設計の論理設計まではなんら変更を必要としないし、レイアウト設計レベルにおいても図14の手順で設計すれば配線遅延時間のモデルを修正するだけで大幅なレイアウト変更なく実施することができ、従来のCADツールを用いることができる。

【0114】

図14は、従来のレイアウト設計ツールをそのまま用いて本実施形態の回路配線を実現する手法を示している。まず、符号20で示したように、グローバル配線層およびローカル配線層の区別なくすべて V_{DD} 電圧とした回路のレイアウトを設計する。

20

【0115】

まず、グローバル配線層を選択し、グローバル配線層に割り当てられる配線を決定する。次に、CADツールを用いて、グローバル配線層に属する配線を抽出する。ここで、グローバル配線層で用いる配線ドライバおよびレシーバは、それぞれ隣接した素子で形成することができローカル配線層のみを用いて配線ドライバ内およびレシーバ内の結線は実現できる。

【0116】

また、ローカル配線層が2層配線以上の場合には、前記低電圧振幅配線ドライバおよびレシーバの、CMOSインバータによるドライバおよびレシーバからの面積増大は2倍以内であり、デザインルールをFとして、 $500F^2$ 以下で実現できる。

30

【0117】

また、配線遅延によってチップの動作速度が限定される多層配線を形成する状況では、トランジスタの最小寸法によって決まる最小面積は、配線によって決まるチップ面積よりも小さくなり、トランジスタの配置には余裕がある状態になる。よって、符号20で抽出したグローバル配線層とローカル配線層が最適配置として割り当てられている場合、グローバル配線層とローカル配線層との割り当ては変化させずに、ローカル配線層の低電圧ドライバ付近のレイアウトを修正することで、配線遅延の高速化することができる。

【0118】

次に、符号22で配置したダミー回路を、符号24で配線ドライバと配線レシーバとに置き換えればレイアウトが完成する。

40

【0119】

さらに、図7および図8に示したスタティックセンスアンプ回路では、図6で示したCMOSインバータ回路に比較して、配線容量がファンアウト1のインバータ容量の100倍以上では、回路面積は0.8倍以下と小さくなる。この場合には、図6のCMOS回路で形成された配線ドライバと配線レシーバを用いて配線のレイアウト設計を行い、グローバル配線層に接続される配線ドライバとレシーバを、他の配線構造のなんらレイアウト変更を伴わずに本スタティックセンスアンプ回路に置き換えることができ、全て自動化設計することが容易にできる。勿論、図14で示した最適化を行えば、CMOS回路で形成された配線ドライバと配線レシーバを用いた場合よりも回路面積を縮小化できる。この場合は、グローバル配線

50

層のリソグラフィ条件およびマスクはそのまま用いることができ、従来の構造プロセスが構築されていれば、非常に安価に高速・低消費電力化が実現できる。

【0120】

また本発明は、従来の方法と比較して配線層の積層方向の変更は、グローバル配線層とローカル配線層との間の層間膜厚さだけであり、製造工程数の増大がない。また、グローバル配線層間およびローカル配線層間では、従来の配線線幅、配線間隔、および層間膜厚さのままでよく、上下左右方向の隣接配線から生じるクロストーク電圧をすべて(V_1/V_{DD})倍にスケールリングすることができる。よって、既に従来の構造の回路で回路検証やプロセス検証のとれた配線配置をそのまま用いることができる。

【0121】

また、配線層高さは第1の配線層1と第2の配線層2との間の層間膜高さが増加しただけであり、他の配線層は層間膜を増加させる必要がないので、層間膜増加にともなう膜応力起因の欠陥の発生を他の配線層の膜厚も増加させた場合よりも減少させることができる。

【0122】

次に、水平方向に低電圧振幅回路と V_{DD} 振幅回路を設けた場合には、低電圧振幅回路の多層配線の隣接するグローバル配線層およびローカル配線層の論理電圧振幅を抑える必要があり、例えば、電源供給層などの一定電圧の層を挿入する必要があるが、本方法ではその必要はなく、よりチップ内の有効配線面積を広く用いることができる。

【0123】

(実施形態2)

図15は、本発明の実施形態2にかかる半導体装置の半導体基板領域を含めた配線構造の積層断面図を示す。図1と同一部分には、同一符号をつけてその説明を省略する。

【0124】

本実施形態では、実施形態1における第3の配線層3の上にさらに第4の配線層12を形成したもので、第1の配線層1と第2の配線層2の間隔 H_1 を第3の配線層3と第4の配線層12の間隔 H_2 よりも大きくしたものである。

【0125】

図15において、第2の配線層2より下部は、実施形態1で説明した構造と等しいので省略する。

【0126】

第2の配線層2の上部には、絶縁膜13が H_1 よりも大きい厚さとなるように全面堆積され、例えば、WやRu、Ti、TiN、Cu、Al、AlCuからなる配線層間のコンタクト6が形成されている。この配線コンタクト6の径は、配線コンタクト5の径と等しいか大きくなる。

【0127】

さらに、配線コンタクト6は、例えば、W、Cu、Al、AlCuからなる第3の配線層3が形成されている。第3の配線層3の膜厚は、第1の配線層1の膜厚よりも大きく、積層面での単位面積あたりの配線抵抗を下けている。さらに、この第3の配線層3内の配線間隔 S_3 は、第1の配線層1内の配線間隔 S_1 よりも大きく形成され、第3の配線層3に含まれる配線間の容量を抑制し、配線抵抗と配線容量の積を小さくし、第1の配線層1よりも遠い回路ブロック間の配線に用いられ、第3の配線層3の配線長は第1の配線層1の配線長よりも長くなる。

【0128】

また、第3の配線層3の最小線幅 W_3 を第1の配線層1の配線幅 W_1 よりも大きくし、配線抵抗を低減している。第2の配線層2および第3の配線層3は、直交した方向に延在して形成され、同じ膜厚、線幅で形成されることが、ランダムなブロックの配線を、集積密度を向上させて形成するのに望ましい。

【0129】

さらに、第2の配線層2と第3の配線層3とは、平行な方向に形成されるよりも直交した方向に延在して形成されることが、配線層間のクロストークを減少させるのに望ましい。

10

20

30

40

50

【0130】

さらに、第3の配線層3上には、絶縁膜13がH2の高さで全面堆積され、例えば、図示されていないが、W、Ru、Ti、TiN、Ta₂N₅、Cu、Al、AlCuからなる配線層間の配線コンタクトが形成されている。この配線コンタクトの径は、配線コンタクト6の径と等しいか大きくなる。

【0131】

さらに、配線コンタクト上には、例えば、W、Cu、Al、AlCuからなる第4の配線層12が形成されている。第4の配線層12の膜厚は、第1の配線層1の膜厚よりも大きく、積層面での単位面積あたりの配線抵抗を下げています。さらに、この第4の配線層12内の配線間隔S4は、第1の配線層1内の配線間隔S1よりも大きく形成され、第4の配線層12に含まれる配線間の容量を抑制し、配線抵抗と配線容量の積を小さくし、第1の配線層1よりも遠い回路ブロック間の配線に用いられ、第1の配線層12の配線長は配線1の配線長よりも長くなる。

10

【0132】

また、第4の配線層12の最小線幅W12は第1の配線層1の最小配線幅W1よりも大きくなり、配線抵抗を低減している。第4の配線層12と第3の配線層3とは、平行な方向に形成されるよりも直交した方向に延在して形成されることが、配線層間のクロストークを減少させるのに望ましい。

【0133】

ここで、本実施形態では、グローバル配線の配線層間隔の1つであるH2が、ローカル配線層とグローバル配線層との距離H1よりも小さくなる。ここで、特に、第2の配線層2および第3の配線層3、配線層4の信号振幅を V_1 として、 $H1 > (V_{DD}/V_1)^{1.5} \times H2$ とする。このような構造でも、第1の配線層1からのクロストークを (V_1/V_{DD}) 倍以下にすることができ、グローバル配線層の論理電圧振幅を V_1 まで減少させることができる。勿論、図15では示していないが、第4の配線層12よりさらに上層に積層方向に隣接する層間隔の最小値をH2として、 $H1 > (V_{DD}/V_1)^{1.5} \times H2$ を満足させることにより、ローカル配線層の容量結合によるクロストークをすべて (V_1/V_{DD}) 倍以下にでき、グローバル配線層の論理電圧振幅を V_1 まで減少させることができる。

20

【0134】

本実施形態では、実施形態1に比較して、第2の配線層2と第3の配線層3との距離が離れているため、より第2の配線層2と第3の配線層3とのクロストークを小さくすることができる。

30

【0135】

本発明は、素子分離膜や絶縁膜形成法自身は、シリコンをシリコン酸化膜やシリコン窒化膜に変換するこれら以外の方法、例えば酸素イオンを堆積したシリコンに注入する方法や、堆積したシリコンを酸化する方法を用いても構わない。

【0136】

また、ゲート絶縁膜や層間絶縁膜13は、SiN膜、アモルファスカーボン膜、TiO₂やアルミナ、あるいは、タンタル酸化膜、チタン酸ストロンチウムやチタン酸バリウム、チタン酸ジルコニウム鉛や、HSQ(hydrogen silsesquioxane)、MSQ(methyl silsesquioxane)、または、PAE(poly arylene ether)、ポリイミド、などの有機絶縁膜、それら積層膜を用いても構わない。

40

【0137】

また、半導体基板10としてp型Si基板を用いたが、代わりにn型Si基板やSOI基板のSOIシリコン層、またはSiGe混晶、SiGeC混晶など、シリコンを含む単結晶半導体基板であればよい。

【0138】

また、ゲート電極8は、p型多結晶SiやSiGe混晶、またはAlやTiN、Ta₂N₅、Al、Cuといった金属や、これらの積層構造にしてもよい。

【0139】

50

また、トレンチ素子分離 11 を形成した例を示したが、トレンチ素子分離ではなく、例えば、メサエッチングや LOCOS 素子分離でもよい。

【0140】

その他、本発明の要旨を逸脱しない範囲で、様々に変形して実施することができる。

【0141】

【発明の効果】

本発明は、CMOS 論理回路の回路レイアウトや配線構造の大幅な変更を伴わずに、配線遅延を低減し、低消費電力化と高速化を両立させる半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態1にかかる半導体装置の断面図。

10

【図2】 比較例の半導体装置の断面図。

【図3】 本発明の実施形態1にかかる半導体装置の駆動方法を説明するための断面図。

【図4】 本発明の実施形態1にかかる半導体装置の斜視図。

【図5】 本発明の実施形態1にかかる半導体装置の斜視図。

【図6】 本発明のローカル配線層を駆動するための駆動回路図。

【図7】 本発明のグローバル配線層を低電圧駆動するための低電圧駆動回路。

【図8】 本発明のグローバル配線層を低電圧駆動するための低電圧駆動回路。

【図9】 本発明のグローバル配線層を低電圧駆動するための低電圧駆動回路。

【図10】 本発明のグローバル配線層を低電圧駆動するための低電圧駆動回路。

【図11】 本発明のグローバル配線層を低電圧駆動するための低電圧駆動回路。

20

【図12】 本発明のグローバル配線層を低電圧駆動するための低電圧駆動回路。

【図13】 本発明の半導体装置を駆動するための信号電圧の関係を示す図。

【図14】 本発明の半導体装置の製造方法を説明するためのフローチャート。

【図15】 本発明の実施形態2にかかる半導体装置の断面図。

【符号の説明】

1 ... 第1の配線層

2 ... 第2の配線層

3 ... 第3の配線層

4 ... 配線層

5 ... 配線コンタクト

30

6 ... 配線コンタクト

7 ... 配線コンタクト

8 ... ゲート電極

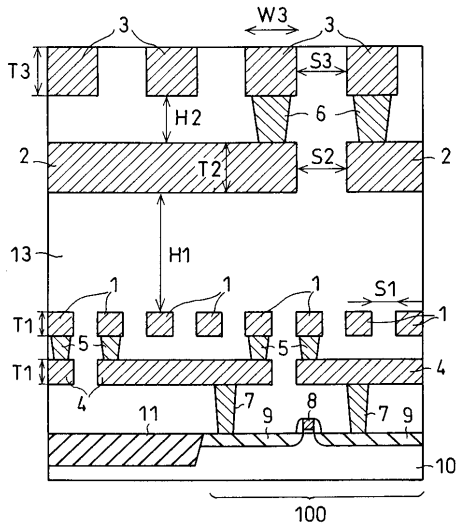
9 ... ソース/ドレイン

10 ... 半導体基板

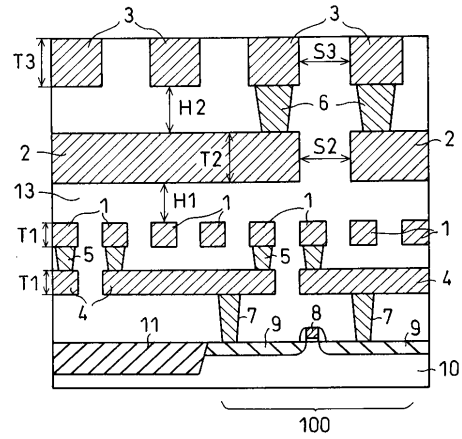
11 ... 素子分離領域

12 ... 第4の配線層

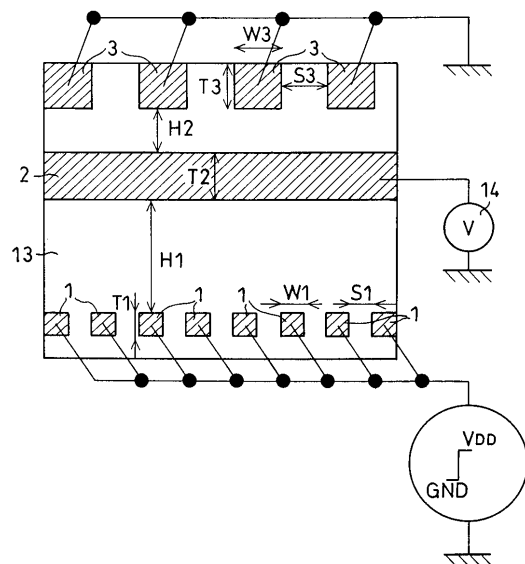
【図 1】



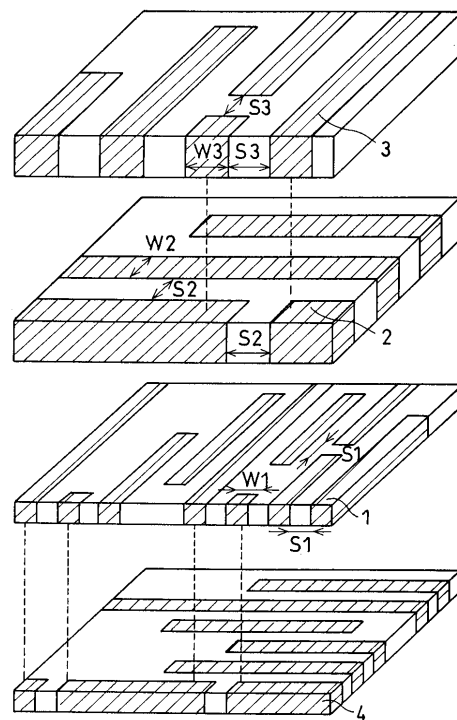
【図 2】



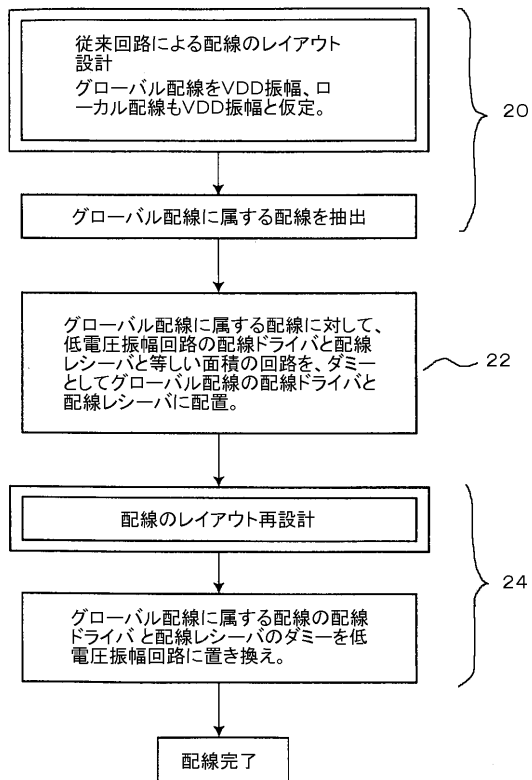
【図 3】



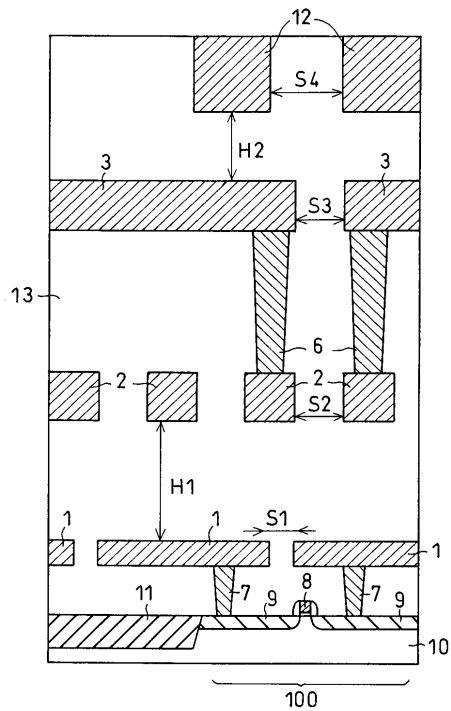
【図 4】



【 ㊦ 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/04 (2006.01)

(56)参考文献 特開平 1 1 - 0 1 7 1 4 5 (J P , A)

特開平 0 6 - 0 1 3 5 9 0 (J P , A)

特開平 0 4 - 3 5 5 9 5 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/3205

H01L 21/768

H01L 21/82

H01L 21/822

H01L 23/52

H01L 27/04