(19)日本国特許庁(JP)　(12)特 許 公 報(B2)　(11)特許番号
特許第5871387号
(P5871387)
(45)発行日　平成28年3月1日(2016.3.1)　(24)登録日　平成28年1月22日(2016.1.22)

(51)Int.Cl.　F I
H03K 19/177 (2006.01)　H03K 19/177

請求項の数 3　(全 56 頁)

(21)出願番号　特願2012-111152 (P2012-111152)
(22)出願日　平成24年5月15日 (2012.5.15)
(65)公開番号　特開2012-257216 (P2012-257216A)
(43)公開日　平成24年12月27日 (2012.12.27)
審査請求日　平成27年2月23日 (2015.2.23)
(31)優先権主張番号　特願2011-112045 (P2011-112045)
(32)優先日　平成23年5月19日 (2011.5.19)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　米田　誠一
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　西島　辰司
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　白井　孝治

最終頁に続く

(54)【発明の名称】プログラマブルロジックデバイス

(57)【特許請求の範囲】
【請求項１】
複数の論理回路を有する、複数の論理ブロックと、
前記複数の論理ブロックと電気的に接続され、行方向または列方向に延設された複数の配線と、
前記複数の配線の電気的接続を制御する複数のプログラマブルスイッチと、を有し、
前記プログラマブルスイッチは、第１のトランジスタと、第２のトランジスタと、を有し、
前記第１のトランジスタのソース電極またはドレイン電極の一方は、前記複数の配線の一と電気的に接続され、
前記第１のトランジスタのソース電極またはドレイン電極の他方は、前記複数の配線の他の一と電気的に接続され、
前記第２のトランジスタのソース電極またはドレイン電極の一方は、前記第１のトランジスタのゲート電極と電気的に接続され、
前記第１のトランジスタのチャネル形成領域は、単結晶シリコンに設けられ、
前記第２のトランジスタのチャネル形成領域は、酸化物半導体層に設けられ、
前記第１のトランジスタのゲート電極上に絶縁層を有し、
前記絶縁層の上面は平坦化され、
前記絶縁層上に、前記酸化物半導体層が設けられ、
前記第２のトランジスタのソース電極またはドレイン電極の他方から入力された電位を

、前記第１のトランジスタのゲート電極に保持する、プログラマブルロジックデバイス。

【請求項２】

請求項１において、

前記酸化物半導体層は、第１の領域と、第２の領域と、第３の領域と、を有し、

前記第１の領域および前記第２の領域は、前記第2のトランジスタのゲート電極をマスクとしたドーパントの添加によって形成されたものであり、

前記第１の領域および前記第２の領域に含まれるドーパントの濃度は、５×１０^{１８}ａｔｏｍｓ／ｃｍ^{３}以上１×１０^{２２}ａｔｏｍｓ／ｃｍ^{３}以下であり、

前記第３の領域は、水素濃度が５×１０^{１８}ａｔｏｍｓ／ｃｍ^{３}未満であり、チャネル形成領域として機能し、前記酸化物半導体層の表面に垂直な方向に沿うようにｃ軸が配向した結晶部を有し、

前記結晶部は、一辺が１００ｎｍ未満の立方体内に収まる大きさである、プログラマブルロジックデバイス。

【請求項３】

請求項１において、

前記酸化物半導体層は、第１の領域と、第２の領域と、第３の領域と、を有し、

前記第１の領域および前記第２の領域は、前記第2のトランジスタのゲート電極をマスクとしたドーパントの添加によって形成されたものであり、

前記第１の領域の導電率および前記第２の領域の導電率は、０．１Ｓ／ｃｍ以上１０００Ｓ／ｃｍ以下であり、

前記第３の領域は、水素濃度が５×１０^{１８}ａｔｏｍｓ／ｃｍ^{３}未満であり、チャネル形成領域として機能し、前記酸化物半導体層の表面に垂直な方向に沿うようにｃ軸が配向した結晶部を有し、

前記結晶部は、一辺が１００ｎｍ未満の立方体内に収まる大きさである、プログラマブルロジックデバイス。

【発明の詳細な説明】

【技術分野】

【０００１】

プログラマブルロジックデバイスまたは当該プログラマブルロジックデバイスを用いた半導体装置に関する。また、当該半導体装置を用いた電子機器に関する。

【背景技術】

【０００２】

通常、ＩＣやＬＳＩに代表される半導体集積回路は、製造時に回路構成を固定され、製造後に回路構成を変更することはできない。これに対して、プログラマブルロジックデバイス（ＰＬＤ：Ｐｒｏｇｒａｍｍａｂｌｅ　Ｌｏｇｉｃ　Ｄｅｖｉｃｅ）と呼ばれる半導体集積回路は、複数の論理回路からなる論理ブロックを単位として、各論理ブロックが配線を介して電気的に接続される構造となっている。プログラマブルロジックデバイスでは、各論理ブロックの回路構成を電気信号によって制御することができる。

【０００３】

これにより、プログラマブルロジックデバイスは、製造後も設計変更を行うことが可能となるので、プログラマブルロジックデバイスを用いることにより、半導体集積回路の設計、開発に費やされる期間およびコストを大幅に削減させることができる。

【０００４】

プログラマブルロジックデバイスには、ＣＰＬＤ（Ｃｏｍｐｌｅｘ　ＰＬＤ）、ＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）と呼ばれるものも存在する。いずれにおいても、各論理ブロック間の配線の交差部に設けられている、メモリ部に格納されたデータ（コンフィギュレーションデータ）に従ってスイッチの切換を行うプログラマブルスイッチによって各論理ブロックの接続を制御している。つまり、各論理ブロック間の配線接続を制御するプログラマブルスイッチにデータをプログラミングすることで、プログラマブルロジックデバイスの回路構成を変更することができる。

【０００５】
　プログラマブルロジックデバイスのメモリ部には、ＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）などの揮発性メモリが主に用いられている。また、その一方で特許文献１に示すように、当該メモリ部に、フラッシュメモリのようにフローティングゲートトランジスタからなる不揮発性メモリを用いる技術も存在する。
【先行技術文献】
【特許文献】
【０００６】
【特許文献１】特開２００２－３７４１６５号公報
【発明の概要】
【発明が解決しようとする課題】
【０００７】
　近年、電子機器の消費電力の低減は重要な課題として取り上げられており、電子機器に用いられる半導体集積回路の低消費電力化も強く求められている。そこで、消費電力低減のために、半導体装置全体またはその一部への電源電位の供給を一時的に遮断し、必要なときのみ必要な回路ブロックにおいて電源電位の供給を選択する駆動方法（以下、ノーマリーオフの駆動方法と呼ぶ）が提案されている。
【０００８】
　しかし、プログラマブルロジックデバイスにおいて、各論理ブロック間の配線接続を制御するプログラマブルスイッチのメモリ部に揮発性メモリを用いる場合、電源電位の供給が遮断された時に、メモリ部に格納されていたコンフィギュレーションデータが失われることになる。これにより、プログラマブルスイッチのメモリ部に揮発性メモリを用いたプログラマブルロジックデバイスでは、電源投入の度に、当該揮発性メモリにコンフィギュレーションデータを毎回書き込む必要がある。よって、電源投入を行ってからプログラマブルロジックデバイスを動作させるまでに大きな遅延時間が生じる。つまり、プログラマブルスイッチのメモリ部に揮発性メモリを用いたプログラマブルロジックデバイスにおいては、電源電位の供給を一時的に遮断するノーマリーオフの駆動方法を行うことが困難になる。
【０００９】
　また、プログラマブルロジックデバイスにおいて、各論理ブロック間の配線接続を制御するプログラマブルスイッチのメモリ部にフローティングゲートトランジスタを有する不揮発性メモリを用いる場合、ノーマリーオフの駆動方法を用いて電源電位の供給を一時的に遮断してもコンフィギュレーションデータは保持される。しかし、データを書き込む際にはフローティングゲートに電子を注入するので、高い電位が必要となり、書き込みに長い時間を必要とするという問題があった。また、当該書き込みの際のトンネル電流によりフローティングゲートのゲート絶縁層が劣化するという問題もある。
【００１０】
　上述の問題に鑑み、電源電位の供給が遮断されたときでもコンフィギュレーションデータの保持が可能で、電源投入後のプログラマブルロジックデバイスの起動時間が短い、低消費電力化が可能なプログラマブルロジックデバイスを提供することを課題の一とする。
【課題を解決するための手段】
【００１１】
　開示する発明の一態様では、各論理ブロック間の配線接続を制御するプログラマブルスイッチのメモリ部のトランジスタに、トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドバンドギャップ半導体である酸化物半導体材料を用いて当該トランジスタを構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、電源電位の供給が遮断されたときでもコンフィギュレーションデータを保持することが可能となる。本明細書で開示するプログラマブルロジックデバイスの具体的な構成は以下のようになる。
【００１２】

開示する発明の一態様は、複数の論理回路を有する、複数の論理ブロックと、複数の論理ブロックと電気的に接続され、行方向または列方向に延設された複数の配線と、複数の配線の交差する部分にそれぞれ設けられ、当該交差する部分における複数の配線の接続を制御する複数の配線選択回路と、を有し、複数の配線選択回路それぞれは、当該交差する部分における複数の配線の二と電気的に接続され、当該配線の二の接続を制御する、少なくとも一以上のプログラマブルスイッチと、を有し、プログラマブルスイッチは、複数の配線の一と、ソース電極またはドレイン電極の一方が電気的に接続され、複数の配線の他の一と、ソース電極またはドレイン電極の他方が電気的に接続される第１のトランジスタと、第１のトランジスタのゲート電極と、ソース電極またはドレイン電極の一方が電気的に接続される第２のトランジスタと、を有し、第２のトランジスタは酸化物半導体層を含み、第２のトランジスタのソース電極またはドレイン電極の他方から入力された電位を、第１のトランジスタのゲート電極に保持する、プログラマブルロジックデバイスである。
【００１３】
また、上記において、第２のトランジスタのソース電極またはドレイン電極の一方と、第１のトランジスタのゲート電極との間に、インバータが電気的に接続された構成としても良い。さらに、第１のトランジスタのソース電極またはドレイン電極の一方と、ソース電極またはドレイン電極の一方が電気的に接続され、第１のトランジスタのソース電極またはドレイン電極の他方と、ソース電極またはドレイン電極の他方が電気的に接続され、第２のトランジスタのソース電極またはドレイン電極の一方と、ゲート電極が電気的に接続される第３のトランジスタを有し、第３のトランジスタと第１のトランジスタは導電型が異なる構成としても良い。
【００１４】
また、上記において、第１のトランジスタは、単結晶シリコンを用いて形成されることが好ましい。また、第２のトランジスタは、絶縁膜を介して第１のトランジスタの上に積層して形成され、且つ第２のトランジスタの少なくとも一部は、第１のトランジスタの少なくとも一部と重畳して形成されることが好ましい。また、第２のトランジスタの少なくとも一部は、第２のトランジスタを有するプログラマブルスイッチに隣接するプログラマブルスイッチが有する第１のトランジスタの少なくとも一部と重畳して形成されることが好ましい。
【００１５】
また、第２のトランジスタのソース電極またはドレイン電極の一方に、一方の端子が電気的に接続される容量素子を有する構成としても良い。
【００１６】
開示する発明の他の一態様は、複数の論理回路を有する、複数の論理ブロックと、複数の論理ブロックと電気的に接続され、行方向または列方向に延設された複数の配線と、複数の配線の交差する部分にそれぞれ設けられ、当該交差する部分における複数の配線の接続を制御する複数の配線選択回路と、を有し、複数の配線選択回路それぞれは、当該交差する部分における複数の配線の二と電気的に接続され、当該配線の二の接続を制御する、少なくとも一以上のプログラマブルスイッチと、を有し、プログラマブルスイッチは、複数の配線の一と、ソース電極またはドレイン電極の一方が電気的に接続され、複数の配線の他の一と、ソース電極またはドレイン電極の他方が電気的に接続される第１のトランジスタと、前記複数の配線の一と、ソース電極またはドレイン電極の一方が電気的に接続され、前記複数の配線の他の一と、ソース電極またはドレイン電極の他方が電気的に接続される第２のトランジスタと、第１のトランジスタのゲート電極と、ソース電極またはドレイン電極の一方が電気的に接続される第３のトランジスタと、第２のトランジスタのゲート電極と、ソース電極またはドレイン電極の一方が電気的に接続され、第３のトランジスタのゲート電極と、ゲート電極が電気的に接続される第４のトランジスタと、を有し、第２のトランジスタと第１のトランジスタは導電型が異なり、第３のトランジスタおよび第４のトランジスタは酸化物半導体層を含み、第３のトランジスタのソース電極またはドレイン電極の他方から入力された第１の電位を、第１のトランジスタのゲート電極に保持し

、第４のトランジスタのソース電極またはドレイン電極の他方から入力された第１の電位と逆の極性の第２の電位を、第２のトランジスタのゲート電極に保持するプログラマブルロジックデバイスである。

【００１７】

　また、上記において第３のトランジスタまたは第４のトランジスタのソース電極またはドレイン電極の一方に、一方の端子が電気的に接続される容量素子を有する構成としても良い。

【発明の効果】

【００１８】

　各論理ブロック間の配線接続を制御するプログラマブルスイッチのメモリ部のトランジスタに、トランジスタのオフ電流を十分に小さくすることができる、酸化物半導体のようなワイドバンドギャップ半導体を用いることにより、電源電位の供給が遮断されたときでもコンフィギュレーションデータを保持することが可能となる。これにより、電源投入後のコンフィギュレーションデータの書き込みを省略することが可能となるので、プログラマブルロジックデバイスの起動時間を短くすることができる。よって、プログラマブルロジックデバイスにノーマリーオフの駆動方法を用いて、低消費電力化を図ることができる。

【図面の簡単な説明】

【００１９】

【図１】本発明の一態様に係るプログラマブルロジックデバイスを説明する回路図。

【図２】本発明の一態様に係るプログラマブルロジックデバイスの一部を説明する回路図。

【図３】本発明の一態様に係るプログラマブルロジックデバイスの一部を説明する回路図。

【図４】本発明の一態様に係るプログラマブルロジックデバイスの一部を説明する回路図。

【図５】本発明の一態様に係るプログラマブルロジックデバイスの一部を説明する回路図。

【図６】プログラマブルロジックデバイスの作製工程を示す図。

【図７】プログラマブルロジックデバイスの作製工程を示す図。

【図８】プログラマブルロジックデバイスの作製工程を示す図。

【図９】プログラマブルロジックデバイスの作製工程を示す図。

【図１０】携帯用の電子機器のブロック図。

【図１１】電子書籍のブロック図。

【図１２】酸化物の構造を説明する図。

【図１３】酸化物の構造を説明する図。

【図１４】酸化物の構造を説明する図。

【図１５】酸化物の構造を説明する図。

【図１６】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図１７】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図１８】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図１９】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図２０】計算に用いたトランジスタの断面構造を説明する図。

【図２１】酸化物半導体膜を用いたトランジスタ特性のグラフ。

【図２２】試料Ａおよび試料ＢのＸＲＤスペクトルを示す図。

【図２３】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図２４】I_{ds}および電界効果移動度のV_{gs}依存性を示す図。

【図２５】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。
【図２６】測定に用いたトランジスタの平面図と断面構造を説明する図。
【図２７】プログラマブルロジックデバイスの構造の一部を説明する平面図。
【図２８】プログラマブルロジックデバイスの構造の一部を説明する平面図。
【図２９】本発明の一態様に係るプログラマブルロジックデバイスを説明する回路図。
【発明を実施するための形態】
【００２０】
　以下では、実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。
【００２１】
　なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。
【００２２】
「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。
【００２３】
　回路図上は独立している構成要素どうしが電気的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一つの導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。
【００２４】
「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。
【００２５】
　図面において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、範囲などに限定されない。
【００２６】
「第１」、「第２」、「第３」などの序数詞は、構成要素の混同を避けるために付すものである。
【００２７】
（実施の形態１）
　本実施の形態では、開示する発明の一態様に係るプログラマブルロジックデバイスの回路構成について、図１乃至図５を参照して説明する。
【００２８】
　開示する発明の一態様に係る、プログラマブルロジックデバイスの構成を図１（Ａ）に示す。プログラマブルロジックデバイスは、複数の論理回路を有する複数の論理ブロック１０と、複数の論理ブロック１０と電気的に接続された複数の配線１１と、複数の配線１１が交差する部分に設けられたスイッチマトリックス１２と、を有する。複数の論理ブロック１０は、図１（Ａ）に示すように、マトリクス状に設けることが好ましい。配線１１

は、各論理ブロック１０の間に少なくとも１本以上設けられるように、行方向または列方向に延設して設けられる。また、行方向に延設された複数の配線１１と列方向に延設された複数の配線１１とが交差する部分にスイッチマトリックス１２が設けられる。図１（Ａ）に示すように、複数の論理ブロック１０の外周部を囲むように複数の配線１１および複数のスイッチマトリックス１２が設けられる。

【００２９】

なお、論理ブロック１０は必ずしもマトリックス状に間隔を空けて設ける必要はなく、例えば、複数の論理ブロック１０の間に配線１１を設けずに、行方向または列方向に隣接させて設けて設置してもよい。その場合配線１１は、行方向または列方向に隣接された複数の論理ブロック群の間に少なくとも１本以上設けられる。また、行方向に延設された複数の配線１１または列方向に延設された複数の配線１１が交差する部分にスイッチマトリックス１２が設けられる。また、複数の論理ブロック１０の外周部を囲むように複数の配線１１および複数のスイッチマトリックス１２を設けても良い。論理ブロック１０を構成する論理回路は、任意の論理回路を用いることができ、論理ゲートを用いても良いし、論理ゲートを組み合わせた組み合わせ論理回路を用いても良い。

【００３０】

また、論理ブロック１０、配線１１およびスイッチマトリックス１２の個数は適宜設定すればよく、図１中に示す数に限られるものではない。

【００３１】

また、プログラマブルロジックデバイスは、更に、マルチプライヤ（乗算器）や、ＲＡＭ（Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）ブロックや、ＰＬＬ（Ｐｈａｓｅ　Ｌｏｃｋｅｄ　Ｌｏｏｐ）ブロックや、Ｉ／Ｏ（Ｉｎｐｕｔ／Ｏｕｔｐｕｔ）エレメントを有していてもよい。マルチプライヤ（乗算器）は、複数のデータの乗算を高速で行う機能を有する。ＲＡＭブロックは、メモリとして任意のデータを記憶する機能を有する。ＰＬＬブロックは、クロック信号をプログラマブルロジックデバイス内部の回路に供給する機能を有する。Ｉ／Ｏエレメントは、プログラマブルロジックデバイスと外部回路との信号の受け渡しを制御する機能を有する。

【００３２】

論理ブロック１０は、複数の論理回路を有しており、当該複数の論理回路から所望の論理回路を選択して接続することにより、所望の論理機能を有する論理回路を形成することができる。このような論理ブロック１０は、格納されたデータに応じて接続の切り替えを行うスイッチを設け、当該スイッチを介して複数の論理回路を接続する構成とすることにより形成することができる。

【００３３】

また、上記のような論理ブロック１０は、複数の論理回路を用いてルックアップテーブルを構成することにより形成することもできる。ここで、ルックアップテーブルは、入力信号に対して、各論理ブロックに設けられたメモリに格納されたデータに応じた演算処理を行って出力信号を出力することができる。

【００３４】

また、論理ブロック１０には、フリップフロップやカウンタ回路などの順序回路が含まれてもよく、例えば、シフトレジスタなどを一緒に設けても良い。

【００３５】

図１（Ａ）に示すスイッチマトリックス１２の構成を図１（Ｂ）に示す。スイッチマトリックス１２は、図１（Ｂ）に示すように、行方向に延設された複数の配線１１の一と列方向に延設された複数の配線１１の一とが交差する部分に配線選択回路１３を有する。

【００３６】

さらに図１（Ｂ）に示す配線選択回路１３の構成を図２（Ａ）に示す。配線選択回路１３は、配線１１ａ乃至配線１１ｄ、およびプログラマブルスイッチ３０ａ乃至プログラマブルスイッチ３０ｆを有している。配線１１ａは、プログラマブルスイッチ３０ａを介して配線１１ｂと、プログラマブルスイッチ３０ｅを介して配線１１ｃと、プログラマブル

スイッチ３０ｄを介して配線１１ｄと、電気的に接続されている。また、配線１１ｂは、プログラマブルスイッチ３０ｂを介して配線１１ｃと、プログラマブルスイッチ３０ｆを介して配線１１ｄと、電気的に接続されている。また、配線１１ｃは、プログラマブルスイッチ３０ｃを介して配線１１ｄと、電気的に接続されている。

【００３７】

ここで、配線１１ａおよび配線１１ｃは、図１（Ａ）および図１（Ｂ）において、行方向に延設された配線１１に相当するが、配線選択回路１３において行方向以外の方向にも分岐させることができる。例えば、図２（Ａ）に示すように、行方向に延設された配線１１ａはプログラマブルスイッチ３０ａおよびプログラマブルスイッチ３０ｄによって配線１１ｂと１１ｄに電気的に接続させて列方向に分岐させることができる。また同様に、配線１１ｂおよび配線１１ｄは、図１（Ａ）および図１（Ｂ）において、列方向に延設された配線１１に相当するが、配線選択回路１３のプログラマブルスイッチ３０ａ乃至３０ｄによって行方向にも分岐させることができる。

【００３８】

なお、図２（Ａ）に示される配線選択回路１３では、配線を４本（配線１１ａ乃至配線１１ｄ）設けたが、本実施の形態に示す配線選択回路１３はこれに限られるものではない。配線選択回路に設けられる配線の本数はプログラマブルロジックデバイスの配線の本数に応じて決定されるので、適宜２本以上の配線を設ければよく、配線の数に応じてプログラマブルスイッチも設ければよい。

【００３９】

ここでプログラマブルスイッチ３０ａ乃至プログラマブルスイッチ３０ｆは、格納されたデータ（以下コンフィギュレーションデータとも呼ぶ。）に応じて配線１１ａ乃至配線１１ｄのうちいずれか二つの接続を制御する。よって、配線選択回路１３は、プログラマブルスイッチ３０ａ乃至プログラマブルスイッチ３０ｆを切り替えることで、配線１１ａ乃至配線１１ｄを所望の接続関係とすることができる。

【００４０】

つまり、スイッチマトリックス１２の各配線１１の交差する部分に設けられた配線選択回路１３において、プログラマブルスイッチを切り替えることで、複数の論理ブロック１０のうち所望の論理ブロック１０を選択して接続することができる。これにより、所望の論理機能を有するプログラマブルロジックデバイスを形成することができる。このようにスイッチマトリックス１２を設けることにより、二つの所望の論理ブロック１０を、間に別の論理ブロック１０を介することなく、直接接続することが可能になる。

【００４１】

図２（Ａ）に示すプログラマブルスイッチ３０ａ乃至プログラマブルスイッチ３０ｆに対応するプログラマブルスイッチ３０の構成を図２（Ｂ）に示す。図２（Ｂ）に示すプログラマブルスイッチは、端子Ａと、端子Ｂと、メモリ部３２およびスイッチ部３４からなる。

【００４２】

プログラマブルスイッチ３０は、メモリ部３２に格納されたコンフィギュレーションデータによりスイッチ部３４を制御し、端子Ａと端子Ｂの接続を制御する。端子Ａおよび端子Ｂは、それぞれ配線選択回路１３に設けられた複数の配線１１の一と電気的に接続されている。スイッチ部３４は、端子Ａおよび端子Ｂを介して配線選択回路１３に設けられた配線１１と電気的に接続されている。メモリ部３２は、メモリ部に格納するコンフィギュレーションデータの電位を入力するデータ線Ｄと電気的に接続され、メモリ部へのコンフィギュレーションデータの書き込みを制御する信号を入力するワード線Ｗと電気的に接続され、コンフィギュレーションデータを格納するノードにおいて、スイッチ部３４と電気的に接続されている。

【００４３】

プログラマブルスイッチ３０が有するメモリ部３２の構成を図２（Ｃ）に示す。図２（Ｃ）に示すように、メモリ部３２は、スイッチ部３４と電気的に接続されるソース電極ま

たはドレイン電極の一方と、データ線Ｄと電気的に接続されるソース電極またはドレイン電極の他方と、ワード線Ｗと電気的に接続されるゲート電極と、を有する、トランジスタ４０で構成されている。ここで、トランジスタ４０として、オフ電流が極めて低いトランジスタを用い、当該トランジスタ４０がオフ状態の時、スイッチ部３４と電気的に接続されるソース電極またはドレイン電極の一方にコンフィギュレーションデータに対応する電位を保持することができる。例えば、ソース電極またはドレイン電極の一方が高電位の状態を「１」に対応させ、ソース電極またはドレイン電極の一方が低電位の状態を「０」に対応させることによって、１ビットのコンフィギュレーションデータを記憶することができる。

【００４４】

オフ電流が極めて低いトランジスタは、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い、ワイドバンドギャップ半導体を、チャネル形成領域に含むものとする。シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い、ワイドバンドギャップ半導体の一例として、炭化珪素（ＳｉＣ）、窒化ガリウム（ＧａＮ）などの化合物半導体、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体などの金属酸化物でなる酸化物半導体などを適用することができる。本実施の形態において、メモリ部３２に用いるオフ電流の極めて低いトランジスタとしては、酸化物半導体を含むものを用いることとし、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、ＯＳの符号を併せて付す場合がある。

【００４５】

メモリ部３２およびスイッチ部３４を有するプログラマブルスイッチ３０の具体的な回路構成を図３（Ａ）に示す。図３（Ａ）に示すプログラマブルスイッチは、端子Ａとソース電極またはドレイン電極の一方とが電気的に接続され、当該プログラマブルスイッチの端子Ｂとソース電極またはドレイン電極の他方とが電気的に接続されるトランジスタ１１２と、トランジスタ１１２のゲート電極とソース電極またはドレイン電極の一方とが電気的に接続され、データ線Ｄとソース電極またはドレイン電極の他方とが電気的に接続され、ワード線Ｗとゲート電極とが電気的に接続されるトランジスタ１１０と、を有する。

【００４６】

端子Ａは当該プログラマブルスイッチの一方の端子であり、配線選択回路１３に設けられた複数の配線１１の一と電気的に接続されているものとする。また、端子Ｂは当該プログラマブルスイッチの他方の端子であり、配線選択回路１３に設けられた複数の配線１１の他の一と電気的に接続されているものとする。また、トランジスタ１１０は、図２（Ｂ）に示すメモリ部３２に対応し、酸化物半導体層を含んで形成される。また、トランジスタ１１２は、図２（Ｂ）に示すスイッチ部３４に対応する。なお、トランジスタ１１２の導電型は、ｎ型としてもよいし、ｐ型としてもよい。本実施の形態では、トランジスタ１１２の導電型をｎ型とする。

【００４７】

図３（Ａ）に示すプログラマブルスイッチは、トランジスタ１１０のソース電極またはドレイン電極の一方とトランジスタ１１２のゲート電極とが電気的に接続されたノード（以下ノードＦＧとも表記する）にコンフィギュレーションデータに対応する電位を与え、当該電位をノードＦＧに保持することにより、端子Ａと端子Ｂを導通状態とするか非導通状態とするかを選択することができる。以下にプログラマブルスイッチにおけるコンフィギュレーションデータの書き込みおよび保持の動作について説明する。

【００４８】

まず、ワード線Ｗの電位をトランジスタ１１０がオン状態となる電位にしてトランジスタ１１０をオン状態とする。これによりデータ線Ｄの電位がノードＦＧに与えられる。つまり、トランジスタ１１２のゲート電極に所定の電位が与えられる（データの書き込み）。ここで、当該所定の電位が高電位の場合、ｎ型のトランジスタ１１２がオン状態となり、端子Ａと端子Ｂが導通状態となる。また、当該所定の電位が低電位の場合、ｎ型のトランジスタ１１２がオフ状態となり、端子Ａと端子Ｂが非導通状態となる。

【００４９】
　データ線Ｄの電位をノードＦＧに書き込んだ後、当該データ線Ｄの電位を保持した状態で、ワード線Ｗの電位をトランジスタ１１０がオフ状態となる電位にしてトランジスタ１１０をオフ状態とする。トランジスタ１１０は、酸化物半導体のようなワイドギャップ半導体が用いられており、オフ電流が極めて低いので、ノードＦＧに与えられた所定の電位が保持されることになる（データの保持）。つまり、トランジスタ１１２のゲート電極の所定の電位が保持されるので、トランジスタ１１２の接続状態も保持されることになる。これにより、図３（Ａ）に示すプログラマブルスイッチの接続状態を電源電位の供給無しで保持することが可能になる。
【００５０】
　このように、各論理ブロック間の配線接続を制御するプログラマブルスイッチのメモリ部のトランジスタに、トランジスタのオフ電流を十分に小さくすることができる、酸化物半導体のようなワイドバンドギャップ半導体を用いることにより、電源電位の供給が遮断されている間も長期間に渡ってコンフィギュレーションデータを保持し、プログラマブルスイッチの接続状態を保持することができる。これにより、プログラマブルロジックデバイス全体またはその一部への電源電位の供給を一時的に遮断し、必要なときのみ必要な回路ブロックにおいて電源電位供給を選択する駆動方法（ノーマリーオフの駆動方法）を用いて、当該プログラマブルスイッチを含む複数の論理ブロックへの電源電位の供給を遮断しても、各論理ブロック間の接続状態は保持される。よって、ノーマリーオフの駆動方法を用いて、電源投入を行うときに、コンフィギュレーションデータの書き込みを省略することが可能となるので、プログラマブルロジックデバイスの起動時間を短くすることができる。故に、本実施の形態に示すプログラマブルロジックデバイスで、ノーマリーオフの駆動方法を用いて低消費電力化を図ることができる。
【００５１】
　また、トランジスタ１１０を介してコンフィギュレーションデータに応じた電位をノードＦＧに与えることで当該データを書き込むことができるので、プログラマブルスイッチのメモリ部にフローティングゲートを用いて電子注入でコンフィギュレーションデータを書き込む場合と比較して、書き込みに必要な電位および時間を大幅に低減することができる。また、フローティングゲートに電子注入を行うときに生じたトンネル電流によるゲート絶縁層の劣化の問題も生じないので、データの書き換え可能回数を増やすことができる。
【００５２】
　また、一般的にプログラマブルロジックデバイスは、当該プログラマブルロジックデバイスを有する半導体装置の動作を停止した状態で、プログラマブルスイッチの切り替えを行なって各論理ブロック間の接続状態の変更を行う。これをコンフィギュレーションと呼ぶ。コンフィギュレーションに対して、当該半導体装置の動作中にコンフィギュレーションを行うことを動的コンフィギュレーションと呼ぶ。上述のように、本実施の形態に示すプログラマブルスイッチはコンフィギュレーションデータの書き込みが高速化されているので、動的コンフィギュレーションも容易に行うことができる。
【００５３】
　また、上述のプログラマブルスイッチは、図１（Ａ）に示す配線選択回路１３だけでなく、図１（Ａ）に示す論理ブロック１０に用いて複数の論理回路の接続状態を記憶させておくこともできる。
【００５４】
　また、図３（Ａ）に示す構成とは異なるプログラマブルスイッチについて図３（Ｂ）乃至図３（Ｄ）、図４（Ａ）乃至図４（Ｃ）および図５（Ａ）乃至図５（Ｃ）を用いて説明する。
【００５５】
　図３（Ｂ）に示すプログラマブルスイッチは、一方の端子がノードＦＧと電気的に接続し、他方の端子が一定の電位に固定される容量素子１１６を有する点において、図３（Ａ

）に示すプログラマブルスイッチと異なる。ここで本実施の形態に示す容量素子１１６は他方の端子を接地させている。なお、その他の構成については図３（Ａ）に示すプログラマブルスイッチの構成と同様である。

【００５６】

このように容量素子１１６を設けることにより、データ線ＤからノードＦＧにコンフィギュレーションデータに応じた電位を入力する際にノードＦＧに与えられた電荷を容易に保持することができるので、プログラマブルスイッチのコンフィギュレーションデータの保持特性を容易に向上させることができる。またノードＦＧの寄生容量が十分大きい場合には、特別に容量素子を設けなくとも容量素子１１６を設ける場合と同様の効果を得ることもできる。

【００５７】

また、図３（Ｃ）に示すプログラマブルスイッチは、トランジスタ１１０のソース電極またはドレイン電極の一方と、トランジスタ１１２のゲート電極との間にバッファ１１８を設けている点において、図３（Ａ）に示すプログラマブルスイッチと異なる。ここでは、トランジスタ１１２のゲート電極を含むノードをノードＦＧとする。なお、その他の構成については図３（Ａ）に示すプログラマブルスイッチの構成と同様である。

【００５８】

このようにバッファ１１８を設けて、電源線からノードＦＧに電位を与えることにより、端子Ａまたは端子Ｂの電位が変動しても、トランジスタ１１２の容量結合でノードＦＧの電位が変化することを防ぐことができる。また、バッファ１１８を設けることにより、データ線Ｄから入力した電位がトランジスタ１１０においてトランジスタ１１０のしきい値電位の分だけ電圧降下しても、電源電位に応じた電位をノードＦＧに入力することができる。

【００５９】

また、図３（Ｄ）に示すプログラマブルスイッチは、トランジスタ１１０のソース電極またはドレイン電極の一方と、トランジスタ１１２のゲート電極との間にインバータ１２０を設けている点において、図３（Ａ）に示すプログラマブルスイッチと異なる。ここでは、トランジスタ１１２のゲート電極を含むノードをノードＦＧとする。なお、その他の構成については図３（Ａ）に示すプログラマブルスイッチの構成と同様である。ただし、データ線Ｄから入力された電位がインバータ１２０によって逆極性になるので、図３（Ａ）に示すプログラマブルスイッチとトランジスタ１１２の動作が逆転することになる。

【００６０】

このようにインバータ１２０を設けて、電源線からノードＦＧに電位を与えることにより、端子Ａまたは端子Ｂの電位が変動しても、トランジスタ１１２の容量結合でノードＦＧの電位が変化することを防ぐことができる。また、インバータ１２０を設けることにより、データ線Ｄから入力した電位がトランジスタ１１０においてトランジスタ１１０のしきい値電位の分だけ電圧降下しても、電源電位に応じた電位をノードＦＧに入力することができる。

【００６１】

また、図３（Ａ）乃至図３（Ｄ）に示すプログラマブルスイッチにおいては、スイッチ部にトランジスタ１１２を用いたが、本実施の形態に係るスイッチ部の構成はこれに限られるものではない。スイッチ部を構成するトランジスタ１１２の代わりにトランスミッションゲート１３４を設けることもできる。

【００６２】

例えば、図４（Ａ）に示すような構成とすればよい。図４（Ａ）に示すプログラマブルスイッチは、トランジスタ１３０とトランスミッションゲート１３４とインバータ１４４と、を有している。ここでトランスミッションゲート１３４は、ｎ型のトランジスタとｐ型のトランジスタからなり、お互いにソース電極またはドレイン電極の一方を端子Ａと電気的に接続し、お互いにソース電極またはドレイン電極の他方を端子Ｂと電気的に接続し、ｎ型のトランジスタのゲート電極（ノードＦＧ１）をトランジスタ１３０のソース電極

またはドレイン電極の一方と電気的に接続し、ｐ型のトランジスタのゲート電極（ノードＦＧ２）をトランジスタ１３０のソース電極またはドレイン電極の一方とインバータ１４４を介して電気的に接続している。トランジスタ１３０は、データ線Ｄとソース電極またはドレイン電極の他方とが電気的に接続され、ワード線Ｗとゲート電極とが電気的に接続されている。ここで、トランジスタ１３０は、酸化物半導体層を含んで形成されるものとする。なお、図４（Ａ）では、インバータ１４４をトランジスタ１３０のソース電極またはドレイン電極の一方とトランスミッションゲート１３４のｐ型のトランジスタのゲート電極との間に設けたが、これに限られることなく、インバータ１４４をトランジスタ１３０のソース電極またはドレイン電極の一方とトランスミッションゲート１３４のｎ型のトランジスタのゲート電極との間に設けてもよい。

【００６３】

つまり、図４（Ａ）に示すプログラマブルスイッチは、スイッチ部を構成するトランジスタ１１２の代わりにトランスミッションゲート１３４が設けられている点、およびトランスミッションゲート１３４の一方のトランジスタのゲート電極とトランジスタ１３０のソース電極またはドレイン電極の一方との間にインバータ１４４が設けられている点において、図３（Ａ）に示すプログラマブルスイッチと異なる。

【００６４】

プログラマブルスイッチのスイッチ部が一つのトランジスタで構成されている場合、当該トランジスタの接続状態（オン状態またはオフ状態のこと）を維持するには、当該トランジスタのソース電極またはドレイン電極にかかる最大電位（または最小電位）より当該トランジスタのしきい値電位分だけ高い（または低い）電位を、当該トランジスタのゲート電極にかける必要がある。しかし、上述のように、プログラマブルスイッチのスイッチ部にトランスミッションゲートを用いることにより、上記のしきい値電位分だけ高い（または低い）電位をゲート電極にかけなくてもスイッチングを行うことができるので、プログラマブルスイッチの低消費電力化を図ることができる。

【００６５】

また、図４（Ｂ）に示すプログラマブルスイッチは、一方の端子がノードＦＧ１と電気的に接続し、他方の端子が一定の電位と電気的に接続される容量素子１３６を有する点において、図４（Ａ）に示すプログラマブルスイッチと異なる。ここで本実施の形態に示す容量素子１３６は他方の端子を接地させている。なお、その他の構成については図４（Ａ）に示すプログラマブルスイッチの構成と同様である。

【００６６】

このように容量素子１３６を設けることにより、データ線ＤからノードＦＧ１にコンフィギュレーションデータに応じた電位を入力する際にノードＦＧ１に与えられた電荷を容易に保持することができるので、プログラマブルスイッチのコンフィギュレーションデータの保持特性を容易に向上させることができる。またノードＦＧ１の寄生容量が十分大きい場合には、特別に容量素子を設けなくとも容量素子１３６を設ける場合と同様の効果を得ることもできる。

【００６７】

また、図４（Ｃ）に示すプログラマブルスイッチは、トランジスタ１３０のソース電極またはドレイン電極の一方と、トランスミッションゲート１３４のｎ型のトランジスタのゲート電極との間にバッファ１４６を設けている点において、図４（Ａ）に示すプログラマブルスイッチと異なる。なお、その他の構成については図４（Ａ）に示すプログラマブルスイッチの構成と同様である。

【００６８】

このようにインバータ１４４およびバッファ１４６を設けて、電源線からノードＦＧ１およびノードＦＧ２に電位を与えることにより、端子Ａまたは端子Ｂの電位が変動しても、トランスミッションゲート１３４を構成するトランジスタの容量結合でノードＦＧ１およびノードＦＧ２の電位が変化することを防ぐことができる。また、インバータ１４４およびバッファ１４６を設けることにより、データ線Ｄから入力した電位がトランジスタ１

３０においてトランジスタ１３０のしきい値電位の分だけ電圧降下しても、電源電位に応じた電位をノードＦＧ１およびノードＦＧ２に入力することができる。

【００６９】

　また、図４（Ａ）乃至図４（Ｃ）に示すプログラマブルスイッチにおいては、スイッチ部のトランスミッションゲート１３４の各ゲート電極に互いに逆極性の電位を入力するためにインバータ１４４を用いたが、本実施の形態に係るプログラマブルスイッチの構成はこれに限られるものではない。互いに逆極性の電位が入力されるデータ線Ｄとデータ線ＤＢ、およびそれぞれに電気的に接続される酸化物半導体を含むトランジスタを用いても良い。

【００７０】

　例えば、図５（Ａ）に示すような構成とすればよい。図５（Ａ）に示すプログラマブルスイッチは、トランジスタ１５０とトランジスタ１５２とトランスミッションゲート１５４と、を有している。ここでトランスミッションゲート１５４は、ｎ型のトランジスタとｐ型のトランジスタからなり、お互いにソース電極またはドレイン電極の一方を端子Ａと電気的に接続し、お互いにソース電極またはドレイン電極の他方を端子Ｂと電気的に接続し、ｎ型のトランジスタのゲート電極（ノードＦＧ１）をトランジスタ１５０のソース電極またはドレイン電極の一方と電気的に接続し、ｐ型のトランジスタのゲート電極（ノードＦＧ２）をトランジスタ１５２のソース電極またはドレイン電極の一方と電気的に接続している。トランジスタ１５０は、データ線Ｄとソース電極またはドレイン電極の他方とが電気的に接続され、ワード線Ｗとゲート電極とが電気的に接続されている。トランジスタ１５２は、データ線ＤＢとソース電極またはドレイン電極の他方とが電気的に接続され、ワード線Ｗとゲート電極とが電気的に接続されている。ここで、トランジスタ１５０およびトランジスタ１５２は、酸化物半導体層を含んで形成されるものとする。また、データ線Ｄの電位とデータ線ＤＢの電位は互いに逆極性とする。

【００７１】

　つまり、図５（Ａ）に示すプログラマブルスイッチは、スイッチ部を構成するトランジスタ１１２の代わりにトランスミッションゲート１５４が設けられている点、およびデータ線ＤＢとトランジスタ１５２が設けられている点において、図３（Ａ）に示すプログラマブルスイッチと異なる。

【００７２】

　このように、プログラマブルスイッチのスイッチ部にトランスミッションゲートを用いることにより、図４（Ａ）に示すトランスミッションゲートを用いたプログラマブルスイッチと同様に、トランジスタのソース電極またはドレイン電極にかかる最大電位（または最小電位）より当該トランジスタのしきい値電位分だけ高い（または低い）電位をゲート電極にかけなくてもスイッチングを行うことができるので、プログラマブルスイッチの低消費電力化を図ることができる。

【００７３】

　また、図５（Ｂ）に示すプログラマブルスイッチは、一方の端子がノードＦＧ１と電気的に接続し、他方の端子が一定の電位と電気的に接続される容量素子１５６と、一方の端子がノードＦＧ２と電気的に接続し、他方の端子が一定の電位と電気的に接続される容量素子１５８と、を有する点において、図５（Ａ）に示すプログラマブルスイッチと異なる。ここで本実施の形態に示す容量素子１５６および容量素子１５８は他方の端子を接地させている。なお、その他の構成については図５（Ａ）に示すプログラマブルスイッチの構成と同様である。

【００７４】

　このように容量素子１５６および容量素子１５８を設けることにより、データ線ＤからノードＦＧ１に、データ線ＤＢからノードＦＧ２にコンフィギュレーションデータに応じた電位を入力する際にノードＦＧ１およびノードＦＧ２に与えられた電荷を容易に保持することができるので、プログラマブルスイッチのコンフィギュレーションデータの保持特性を容易に向上させることができる。またノードＦＧ１およびノードＦＧ２の寄生容量が

十分大きい場合には、特別に容量素子を設けなくとも容量素子１５６および容量素子１５８を設ける場合と同様の効果を得ることもできる。

【００７５】

また、図５（Ｃ）に示すプログラマブルスイッチのように、一方の端子がノードＦＧ１と電気的に接続し、他方の端子がノードＦＧ２と電気的に接続される容量素子１６０を設ける構成としても良い。なお、その他の構成については図５（Ａ）に示すプログラマブルスイッチの構成と同様である。

【００７６】

なお、図４（Ａ）乃至図４（Ｃ）および図５（Ａ）乃至図５（Ｃ）に示すプログラマブルスイッチについても図３（Ｂ）乃至図３（Ｄ）に示すプログラマブルスイッチと同様の構成を組み合わせることができる。

【００７７】

以上のように、各論理ブロック間の配線接続を制御するプログラマブルスイッチのメモリ部のトランジスタに、トランジスタのオフ電流を十分に小さくすることができる、酸化物半導体のようなワイドバンドギャップ半導体を用いることにより、電源電位の供給が遮断されたときでもコンフィギュレーションデータを保持することが可能となる。これにより、電源投入後のコンフィギュレーションデータの書き込みを省略することが可能となるので、プログラマブルロジックデバイスの起動時間を短くすることができる。よって、プログラマブルロジックデバイスにノーマリーオフの駆動方法を用いて、低消費電力化を図ることができる。

【００７８】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す構成、方法どうしで組み合わせて用いることもできるし、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることもできる。

【００７９】

（実施の形態２）

本実施の形態においては、実施の形態１に示すプログラマブルロジックデバイスのプログラマブルスイッチの作製方法について、図６乃至図９を用いて説明する。例として図３（Ａ）に示す、トランジスタ１１０およびトランジスタ１１２からなるプログラマブルスイッチの作製方法について説明する。なお、図６乃至図９において、Ａ－Ｂに示す断面図は、酸化物半導体膜を有するトランジスタ１１０、ｎ型のトランジスタ１１２が形成される領域の断面図に相当し、Ｃ－Ｄに示す断面図は、酸化物半導体膜を有するトランジスタ１１０のソース電極またはドレイン電極の一方とｎ型のトランジスタ１１２のゲート電極とが接続されたノードＦＧにおける断面図に相当する。

【００８０】

まず、図６（Ａ）に示すように、ｐ型の半導体基板２０１に素子分離領域２０３を形成する。

【００８１】

ｐ型の半導体基板２０１としては、ｐ型の導電型を有する単結晶シリコン基板（シリコンウェハー）、化合物半導体基板（ＳｉＣ基板、サファイア基板、ＧａＮ基板等）を用いることができる。

【００８２】

また、ｐ型の半導体基板２０１の代わりに、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板として、鏡面研磨ウェハーに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて作られた所謂ＳＩＭＯＸ（Ｓｅｐａｒａｔｉｏｎ　ｂｙ　Ｉｍｐｌａｎｔｅｄ　ＯＸｙｇｅｎ）基板や、水素イオン注入により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開するスマートカット法や、ＥＬＴＲＡＮ法（Ｅｐｉｔａｘｉａｌ　Ｌａｙｅｒ　Ｔｒａｎｓｆｅｒ：キャノン社の登録商標）等を用いて形成したＳＯＩ基板を用いてもよい。

【００８３】
素子分離領域２０３は、ＬＯＣＯＳ（Ｌｏｃａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）法またはＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法等を用いて形成する。
【００８４】
また、同一基板上にｐ型のトランジスタを形成する場合、例えば、図４（Ａ）に示すトランスミッションゲートやインバータを同一基板上に作製する場合、ｐ型半導体基板２０１の一部にｎウェル領域を形成してもよい。ｎウェル領域は、リン、ヒ素等のｎ型を付与する不純物元素を添加して形成される。
【００８５】
なお、ここでは、ｐ型の半導体基板を用いているが、ｎ型の半導体基板を用いて、ｐ型のトランジスタを形成してもよい。その場合、ｎ型の半導体基板にｐ型を付与するホウ素等の不純物元素が添加されたｐウェル領域を形成して、同一基板上にｎ型のトランジスタを形成してもよい。
【００８６】
次に、図６（Ｂ）に示すように、半導体基板２０１上にゲート絶縁膜２０７およびゲート電極２０９を形成する。
【００８７】
熱処理を行い半導体基板２０１の表面を酸化した酸化シリコン膜を形成する。または、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有するシリコン膜（酸化窒化シリコン膜）との積層構造で形成する。次に、酸化シリコン膜または酸窒化シリコン膜の一部を選択的にエッチングして、ゲート絶縁膜２０７を形成する。若しくは、厚さ５～５０ｎｍの酸化シリコン、酸化窒化シリコン、高誘電率物質（ｈｉｇｈ－ｋ材料ともいう）であるタンタル酸化物、酸化ハフニウム、酸化ハフニウムシリケート、酸化ジルコニウム、酸化アルミニウム、酸化チタンなどの金属酸化物、または酸化ランタンなどの希土類酸化物等を、ＣＶＤ法、スパッタリング法等を用いて形成した後、選択的に一部をエッチングして、ゲート絶縁膜２０７を形成する。
【００８８】
ゲート電極２０９は、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造でゲート電極２０９を形成してもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。
【００８９】
ゲート電極２０９は、導電膜をスパッタリング法、ＣＶＤ法等により形成した後、該導電膜の一部を選択的にエッチングして形成される。
【００９０】
ここでは、熱処理を行い、半導体基板２０１上の表面を酸化した酸化シリコン膜を形成し、該酸化シリコン膜上に窒化タンタル膜及びタングステン膜が積層された導電膜をスパッタリング法により形成した後、酸化シリコン膜及び導電膜のそれぞれ一部を選択的にエッチングして、ゲート絶縁膜２０７およびゲート電極２０９を形成する。
【００９１】
なお、高集積化を実現するためには、ゲート電極２０９の側面にサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタの特性を重視する場合には、ゲート電極２０９の側面にサイドウォール絶縁層を設けることもできる。
【００９２】
次に、図６（Ｃ）に示すように、半導体基板２０１にｎ型を付与する不純物元素を添加

して、ｎ型の不純物領域２１１ａ、ｎ型の不純物領域２１１ｂを形成する。また、同一基板上にｎウェル領域を形成している場合、当該領域にｐ型を付与する不純物元素を添加してｐ型の不純物領域を形成する。ｎ型の不純物領域２１１ａ、ｎ型の不純物領域２１１ｂおよびｐ型の不純物領域におけるｎ型を付与する不純物元素及びｐ型を付与する不純物元素の濃度は、$１×１０^{１９}$／$ｃｍ^{３}$以上$１×１０^{２１}$／$ｃｍ^{３}$以下である。ｎ型を付与する不純物元素及びｐ型を付与する不純物元素は、イオンドーピング法、イオン注入法等を適宜用いて、半導体基板２０１及びｎウェル領域に添加する。

【００９３】

また、ゲート電極２０９の側面にサイドウォール絶縁層を設ける場合、当該サイドウォール絶縁層と重畳する領域に、ｎ型の不純物領域２１１ａ、ｎ型の不純物領域２１１ｂおよびｐ型の不純物領域とは異なる不純物濃度の不純物領域を形成することができる。

【００９４】

次に、図６（Ｄ）に示すように、半導体基板２０１、素子分離領域２０３、ゲート絶縁膜２０７およびゲート電極２０９上に、スパッタリング法、ＣＶＤ法等により、絶縁膜２１５および絶縁膜２１７を形成する。

【００９５】

絶縁膜２１５および絶縁膜２１７は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、絶縁膜２１５をＣＶＤ法により形成することで、絶縁膜２１５の水素含有量が高まる。このような絶縁膜２１５を用いて加熱処理を行うことにより、半導体基板を水素化し、水素によりダングリングボンドを終端させ、当該半導体基板中の欠陥を低減することができる。

【００９６】

また、絶縁膜２１７として、ＢＰＳＧ（Ｂｏｒｏｎ　Ｐｈｏｓｐｈｏｒｕｓ　Ｓｉｌｉｃｏｎ　Ｇｌａｓｓ）などの無機材料、または、ポリイミド、アクリル樹脂などの有機材料を用いて形成することで、絶縁膜２１７の平坦性を高めることができる。

【００９７】

絶縁膜２１５または絶縁膜２１７を形成した後、ｎ型の不純物領域２１１ａ、ｎ型の不純物領域２１１ｂおよびｐ型の不純物領域に添加された不純物元素を活性化するための熱処理を行う。

【００９８】

以上の工程により、図６（Ｄ）に示すように、ｎ型のトランジスタ１１２を作製することができる。ここで、トランジスタ１１２は、単結晶シリコンなどの酸化物半導体とは異なる半導体を用いて形成されるので、十分な高速動作が可能となる。これにより、十分な高速動作が可能なプログラマブルスイッチを形成することができる。

【００９９】

次に、絶縁膜２１５および絶縁膜２１７の一部を選択的にエッチングして、開口部を形成する。次に、開口部にコンタクトプラグ２１９ａおよびコンタクトプラグ２１９ｂを形成する。代表的には、スパッタリング法、ＣＶＤ法等により導電膜を形成した後、ＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法やエッチングなどにより平坦化処理を行い、導電膜の不要な部分を除去して、コンタクトプラグ２１９ａおよびコンタクトプラグ２１９ｂを形成する。

【０１００】

コンタクトプラグ２１９ａおよびコンタクトプラグ２１９ｂとなる導電膜は、$ＷＦ_{６}$ガスと$ＳｉＨ_{４}$ガスからＣＶＤ法でタングステンシリサイドを形成し、開口部に埋め込むことで形成される。

【０１０１】

次に、絶縁膜２１７及びコンタクトプラグ２１９ａおよびコンタクトプラグ２１９ｂ上に、スパッタリング法、ＣＶＤ法等により絶縁膜を形成した後、該絶縁膜の一部を選択的にエッチングし、溝部を有する絶縁膜２２１を形成する。次に、スパッタリング法、ＣＶ

Ｄ法等により導電膜を形成した後、ＣＭＰ法やエッチングなどにより平坦化処理を行い、該導電膜の不要な部分を除去して、配線２２３ａおよび配線２２３ｂを形成する（図７（Ａ）参照）。
【０１０２】
ここで、配線２２３ａは、トランジスタ１１２のソース電極またはドレイン電極の一方として機能し、図３（Ａ）に示す端子Ａまたは端子Ｂの一方と電気的に接続される。また、配線２２３ｂは、トランジスタ１１２のソース電極またはドレイン電極の他方として機能し、図３（Ａ）に示す端子Ａまたは端子Ｂの他方と電気的に接続される。
【０１０３】
絶縁膜２２１は、絶縁膜２１５と同様の材料を用いて形成することができる。
【０１０４】
配線２２３ａおよび配線２２３ｂとして、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。
【０１０５】
平坦化された絶縁膜２２１、配線２２３ａおよび配線２２３ｂを用いることで、後に形成する酸化物半導体膜を有するトランジスタにおける電気特性のばらつきを低減することができる。また、酸化物半導体膜を有するトランジスタを歩留まり高く形成することができる。
【０１０６】
次に、加熱処理またはプラズマ処理により、絶縁膜２２１、配線２２３ａおよび配線２２３ｂに含まれる水素を脱離させることが好ましい。この結果、後の加熱処理において、後に形成される絶縁膜及び酸化物半導体膜中に水素が拡散することを防ぐことができる。なお、加熱処理は、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気にて、１００℃以上基板の歪み点未満で行う。また、プラズマ処理は、希ガス、酸素、窒素または酸化窒素（亜酸化窒素、一酸化窒素、二酸化窒素など）を用いる。
【０１０７】
次に、絶縁膜２２１及び配線２２３ａおよび配線２２３ｂ上に、スパッタリング法、ＣＶＤ法等により、絶縁膜２２５を形成する。絶縁膜２２５としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウムを単層または積層して形成する。また、絶縁膜２２５として、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成することが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜としては、化学量論比を満たす酸素よりも多くの酸素を含む酸化絶縁膜を用いる。加熱により酸素の一部が酸化絶縁膜から脱離するため、後の工程で行う加熱により酸化物半導体膜に酸素を拡散させることができる。
【０１０８】
また、絶縁膜２２５は、ＣＭＰ処理などを行って平坦化を図ることが望ましい。絶縁膜２２５の表面の平均面粗さ（Ｒａ）は、１ｎｍ以下、好ましくは０．３ｎｍ以下、より好ましくは０．１ｎｍ以下とする。
【０１０９】
なお、本明細書などにおいて平均面粗さ（Ｒａ）とは、ＪＩＳＢ０６０１：２００１（ＩＳＯ４２８７：１９９７）で定義されている中心線平均粗さ（Ｒａ）を、測定面に対して適用できるよう三次元に拡張したものであり、基準面から指定面までの偏差の絶対値を平均した値で表現される。
【０１１０】

平均面粗さ（Ｒａ）は、測定面をＺ＝Ｆ（Ｘ，Ｙ）で表すとき、基準面から指定面までの偏差の絶対値を平均した値で表現され、次の式（１）で与えられる。

【０１１１】

【数１】

$$R_a = \frac{1}{S_0}\int_{Y_1}^{Y_2}\int_{X_1}^{X_2}\left|F(X,Y)-Z_0\right|dXdY \qquad (1)$$

【０１１２】

ここで、指定面とは、粗さ計測の対象となる面であり、座標（Ｘ$_1$，Ｙ$_1$）（Ｘ$_1$，Ｙ$_2$）（Ｘ$_2$，Ｙ$_1$）（Ｘ$_2$，Ｙ$_2$）で表される４点により囲まれる長方形の領域とし、指定面が理想的にフラットであるとしたときの面積をＳ$_0$とする。また、基準面とは、指定面の平均の高さにおける、ＸＹ平面と平行な面のことである。つまり、指定面の高さの平均値をＺ$_0$とするとき、基準面の高さもＺ$_0$で表される。平均面粗さ（Ｒａ）は原子間力顕微鏡（ＡＦＭ：Ａｔｏｍｉｃ　Ｆｏｒｃｅ　Ｍｉｃｒｏｓｃｏｐｅ）にて評価可能である。

【０１１３】

上記ＣＭＰ処理は、１回行ってもよいし、複数回行ってもよい。複数回に分けてＣＭＰ処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁膜２２５の表面の平坦性をさらに向上させることができる。

【０１１４】

また、絶縁膜２２５を平坦化させる処理としては、プラズマ処理を用いることもできる。プラズマ処理は、真空のチャンバーに不活性ガス、例えばアルゴンガスなどの希ガスを導入し、被処理面を陰極とする電界をかけて行う。その原理としてはプラズマドライエッチ法と同等であるが、不活性ガスを用いて行う。すなわち、このプラズマ処理は、被処理面に不活性ガスのイオンを照射して、スパッタリング効果により表面の微細な凹凸を平坦化する処理である。このことから、当該プラズマ処理を「逆スパッタ処理」と呼ぶこともできる。

【０１１５】

このプラズマ処理時、プラズマ中には電子とアルゴンの陽イオンが存在し、陰極方向にアルゴンの陽イオンが加速される。加速されたアルゴンの陽イオンは被処理面をスパッタする。このとき、該被処理面の凸部から優先的にスパッタされる。被処理面からスパッタされた粒子は、被処理面の別の場所に付着する。このとき、該被処理面の凹部に優先的に付着する。このように凸部を削り、凹部を埋めることで被処理面の平坦性が向上する。なお、プラズマ処理とＣＭＰ処理と併用することにより絶縁膜２２５のさらなる平坦化を図ることができる。

【０１１６】

なお、当該プラズマ処理によって、絶縁膜２２５表面に付着した水素、水分、有機物などの不純物をスパッタリングの効果で除去することも可能である。

【０１１７】

なお、酸化物半導体の成膜を行う前に、成膜室の加熱および排気を行って、成膜室中の水素、水、水酸基を有する化合物、水素化物などの不純物を除去しておくことが好ましい。特に成膜室の内壁に吸着して存在するこれらの不純物を除去することが重要である。ここで、加熱処理は、例えば、１００℃以上４５０℃以下で行えばよい。また、成膜室の排気は、ドライポンプなどの粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプ及びクライオポンプなどの高真空ポンプとを適宜組み合わせて行うとよい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素や水の排気能力が低い。さらに、水の排気能力の高いクライオポンプまたは水素の排気能力の高いスパッタイオンポンプを組み合わせることが有効となる。またこのとき、不活性ガスを導入しながら不純物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる

。このような処理を行って酸化物半導体の成膜前に成膜室の不純物を除去することにより、酸化物半導体への水素、水、水酸基を有する化合物、水素化物などの混入を低減することができる。

【０１１８】

また、酸化物半導体膜をスパッタリング装置で成膜する前に、スパッタリング装置にダミー基板を搬入し、ダミー基板上に酸化物半導体膜を成膜して、ターゲット表面、または防着板に付着した水素、水分を取り除く工程を行ってもよい。

【０１１９】

次に、絶縁膜２２５上に、スパッタリング法、塗布法、印刷法、蒸着法、ＰＣＶＤ法、ＰＬＤ法、ＡＬＤ法またはＭＢＥ法等を用いて酸化物半導体膜２２７を形成する（図７（Ｂ）参照）。ここでは、酸化物半導体膜２２７として、スパッタリング法により、１ｎｍ以上５０ｎｍ以下、好ましくは３ｎｍ以上２０ｎｍ以下の厚さで酸化物半導体膜を形成する。酸化物半導体膜２２７の厚さを上記厚さとすることで、トランジスタの微細化に伴って発生するおそれのある短チャネル効果を抑制することができる。

【０１２０】

酸化物半導体膜２２７に用いる酸化物半導体としては、少なくともインジウム（Ｉｎ）あるいは亜鉛（Ｚｎ）を含むことが好ましい。特にＩｎとＺｎを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ｇａ）を有することが好ましい。また、スタビライザーとしてスズ（Ｓｎ）を有することが好ましい。また、スタビライザーとしてハフニウム（Ｈｆ）を有することが好ましい。また、スタビライザーとしてアルミニウム（Ａｌ）を有することが好ましい。

【０１２１】

また、他のスタビライザーとして、ランタノイドである、ランタン（Ｌａ）、セリウム（Ｃｅ）、プラセオジム（Ｐｒ）、ネオジム（Ｎｄ）、サマリウム（Ｓｍ）、ユウロピウム（Ｅｕ）、ガドリニウム（Ｇｄ）、テルビウム（Ｔｂ）、ジスプロシウム（Ｄｙ）、ホルミウム（Ｈｏ）、エルビウム（Ｅｒ）、ツリウム（Ｔｍ）、イッテルビウム（Ｙｂ）、ルテチウム（Ｌｕ）のいずれか一種あるいは複数種を有してもよい。

【０１２２】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるＩｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｚｎ－Ｍｇ系酸化物、Ｓｎ－Ｍｇ系酸化物、Ｉｎ－Ｍｇ系酸化物、Ｉｎ－Ｇａ系酸化物、三元系金属の酸化物であるＩｎ－Ｇａ－Ｚｎ系酸化物（ＩＧＺＯとも表記する）、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｌａ－Ｚｎ系酸化物、Ｉｎ－Ｃｅ－Ｚｎ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ系酸化物、四元系金属の酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ系酸化物を用いることができる。また、上記酸化物半導体に酸化シリコンを含んでもよい。ここで、例えば、Ｉｎ－Ｇａ－Ｚｎ系酸化物とは、インジウム（Ｉｎ）、ガリウム（Ｇａ）、亜鉛（Ｚｎ）を主成分として有する酸化物という意味であり、ＩｎとＧａとＺｎの比率は問わない。また、ＩｎとＧａとＺｎ以外の金属元素が入っていてもよい。このとき、上記酸化物半導体においては、化学量論比に対し、酸素を過剰にすると好ましい。酸素を過剰にすることで酸化物半導体膜の酸素欠損に起因するキャリアの生成を抑制することができる。

【０１２３】

また、酸化物半導体として、$InMO_3(ZnO)_m$（ｍ＞０、且つ、ｍは整数でない

）で表記される材料を用いてもよい。なお、Ｍは、Ｇａ、Ｆｅ、Ｍｎ及びＣｏから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、$In_3SnO_5(ZnO)_n$（ｎ＞０、且つ、ｎは整数）で表記される材料を用いてもよい。

【０１２４】

なお、酸化物半導体膜２２７において、アルカリ金属またはアルカリ土類金属の濃度は、1×10^{18}ａｔｏｍｓ／cm^3以下、さらに好ましくは2×10^{16}ａｔｏｍｓ／cm^3以下であることが望ましい。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアが生成されることがあり、トランジスタのオフ電流の上昇の原因となるためである。

【０１２５】

また、酸化物半導体膜２２７には、5×10^{18}ａｔｏｍｓ／cm^3以下の窒素が含まれてもよい。

【０１２６】

なお、酸化物半導体膜２２７に用いることが可能な酸化物半導体は、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い、ワイドバンドギャップ半導体とする。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

【０１２７】

酸化物半導体膜２２７は、単結晶構造であってもよいし、非単結晶構造であってもよい。後者の場合、アモルファス構造でも、多結晶構造でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファス構造でもよい。

【０１２８】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【０１２９】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、上述のように、絶縁膜２２５の表面の平均面粗さ（Ｒａ）を、１ｎｍ以下、好ましくは０．３ｎｍ以下、より好ましくは０．１ｎｍ以下とし、その上に酸化物半導体膜２２７を形成することが好ましい。

【０１３０】

ここでは、酸化物半導体膜２２７をスパッタリング法により形成する。

【０１３１】

スパッタリング法に用いるターゲットとしては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるＩｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｚｎ－Ｍｇ系酸化物、Ｓｎ－Ｍｇ系酸化物、Ｉｎ－Ｍｇ系酸化物、Ｉｎ－Ｇａ系酸化物、三元系金属の酸化物であるＩｎ－Ｇａ－Ｚｎ系酸化物（ＩＧＺＯとも表記する）、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｌａ－Ｚｎ系酸化物、Ｉｎ－Ｃｅ－Ｚｎ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ系酸化物、四元系金属の酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ系酸化物を用いることができる。

【０１３２】

酸化物半導体としてＩｎ－Ｇａ－Ｚｎ－Ｏ系の材料を用いる場合、用いるターゲットの組成比は、例えば、原子数比でＩｎ：Ｇａ：Ｚｎ＝１：１：１、４：２：３、３：１：２、１：１：２、２：１：３、または３：１：４などとすればよい。このような原子数比のＩｎ－Ｇａ－Ｚｎ系酸化物やその組成の近傍の酸化物をターゲットとして用いることができる。また、ターゲットの組成比を上記のようにすることにより、多結晶または後述するＣＡＡＣ－ＯＳが形成されやすくなる。

【０１３３】

また、酸化物半導体としてＩｎ－Ｓｎ－Ｚｎ－Ｏ系の材料を用いる場合、用いるターゲットの組成比は、例えば、原子数比で、Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１、２：１：３、１：２：２、または２０：４５：３５などとすればよい。このような原子数比のＩｎ－Ｓｎ－Ｚｎ系酸化物やその組成の近傍の酸化物をターゲットとして用いることができる。また、ターゲットの組成比を上記のようにすることにより、多結晶または後述するＣＡＡＣ－ＯＳが形成されやすくなる。

【０１３４】

酸化物半導体としてＩｎ－Ｚｎ－Ｏ系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、Ｉｎ：Ｚｎ＝５０：１～１：２（モル数比に換算するとIn_2O_3：ＺｎＯ＝２５：１～１：４）、好ましくはＩｎ：Ｚｎ＝２０：１～１：１（モル数比に換算するとIn_2O_3：ＺｎＯ＝１０：１～１：２）、さらに好ましくはＩｎ：Ｚｎ＝１５：１～１．５：１（モル数比に換算するとIn_2O_3：ＺｎＯ＝１５：２～３：４）とする。例えば、Ｉｎ－Ｚｎ－Ｏ系酸化物半導体の形成に用いるターゲットは、原子数比がＩｎ：Ｚｎ：Ｏ＝Ｘ：Ｙ：Ｚのとき、Ｚ≧１．５Ｘ＋Ｙとする。このような原子数比のＩｎ－Ｚｎ－Ｏ系酸化物やその組成の近傍の酸化物をターゲットとして用いることができる。

【０１３５】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

【０１３６】

例えば、Ｉｎ－Ｓｎ－Ｚｎ系酸化物では比較的容易に高い移動度が得られる。しかしながら、Ｉｎ－Ｇａ－Ｚｎ系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【０１３７】

なお、例えば、Ｉｎ、Ｇａ、Ｚｎの原子数比がＩｎ：Ｇａ：Ｚｎ＝ａ：ｂ：ｃ（ａ＋ｂ＋ｃ＝１）である酸化物の組成が、原子数比がＩｎ：Ｇａ：Ｚｎ＝Ａ：Ｂ：Ｃ（Ａ＋Ｂ＋Ｃ＝１）の酸化物の組成の近傍であるとは、ａ、ｂ、ｃが、

$$(a-A)^2+(b-B)^2+(c-C)^2\leqq r^2$$

を満たすことをいい、ｒは、例えば、０．０５とすればよい。他の酸化物でも同様である。

【０１３８】

なお、スパッタリングガスは、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、スパッタリングガスは、酸化物半導体膜への水素、水、水酸基を有する化合物、水素化物などの混入を防ぐために、水素、水、水酸基を有する化合物、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【０１３９】

スパッタリング法において、プラズマを発生させるための電源装置は、ＲＦ電源装置、ＡＣ電源装置、ＤＣ電源装置等を適宜用いることができる。

【０１４０】

なお、酸化物半導体膜を成膜する処理室は、リークレートを1×10^{-10}Ｐａ・m^3

／秒以下とすることが好ましく、それによりスパッタリング法により成膜する際、膜中への不純物の混入を低減することができる。このように、酸化物半導体膜の成膜工程において、更に好ましくは酸化絶縁膜の成膜工程において、処理室の圧力、処理室のリークレートなどにおいて、不純物の混入を極力抑えることによって、酸化物半導体膜に含まれる水素を含む不純物の混入を低減することができる。また、酸化絶縁膜から酸化物半導体膜への水素などの不純物の拡散を低減することができる。

【０１４１】

また、酸化物半導体膜２２７として、結晶化した部分を有するＣＡＡＣ－ＯＳ（Ｃ Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜を用いてもよい。

【０１４２】

ＣＡＡＣ－ＯＳ膜は、完全な単結晶ではなく、完全な非晶質でもない。ＣＡＡＣ－ＯＳ膜は、非晶質相に結晶部を有する結晶－非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が１００ｎｍ未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ Ｅｌｅｃｔｒｏｎ Ｍｉｃｒｏｓｃｏｐｅ）による観察像では、ＣＡＡＣ－ＯＳ膜に含まれる非晶質部と結晶部との境界は明確ではない。また、ＴＥＭによってＣＡＡＣ－ＯＳ膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、ＣＡＡＣ－ＯＳ膜は、粒界に起因する電子移動度の低下が抑制される。

【０１４３】

ＣＡＡＣ－ＯＳ膜に含まれる結晶部は、ｃ軸がＣＡＡＣ－ＯＳ膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつａｂ面に垂直な方向から見て三角形状または六角形状の原子配列を有し、ｃ軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれａ軸およびｂ軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、８５°以上９５°以下の範囲も含まれることとする。また、単に平行と記載する場合、－５°以上５°以下の範囲も含まれることとする。

【０１４４】

なお、ＣＡＡＣ－ＯＳ膜において、結晶部の分布が一様でなくてもよい。例えば、ＣＡＡＣ－ＯＳ膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、ＣＡＡＣ－ＯＳ膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【０１４５】

ＣＡＡＣ－ＯＳ膜に含まれる結晶部のｃ軸は、ＣＡＡＣ－ＯＳ膜が形成される時の表面（すなわち被形成面）の法線ベクトル、または形成されたＣＡＡＣ－ＯＳ膜の上表面の法線ベクトルに平行な方向に揃うため、ＣＡＡＣ－ＯＳ膜の形状（被形成面の断面形状または表面の断面形状）によっては面内で互いに異なる方向を向くことがある。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【０１４６】

ＣＡＡＣ－ＯＳ膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【０１４７】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【０１４８】

また、ＣＡＡＣ－ＯＳのように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（Ｒａ）が１ｎｍ以下、好ましくは

０．３ｎｍ以下、より好ましくは０．１ｎｍ以下の表面上に形成するとよい。

【０１４９】

ＣＡＡＣ－ＯＳに含まれる結晶構造の一例について図１２乃至図１５を用いて詳細に説明する。なお、特に断りがない限り、図１２乃至図１５は上方向をｃ軸方向とし、ｃ軸方向と直交する面をａｂ面とする。なお、単に上半分、下半分という場合、ａｂ面を境にした場合の上半分、下半分をいう。また、図１２において、丸で囲まれたＯは４配位のＯを示し、二重丸で囲まれたＯは３配位のＯを示す。

【０１５０】

図１２（Ａ）に、１個の６配位のＩｎと、Ｉｎに近接の６個の４配位の酸素原子（以下４配位のＯ）と、を有する構造を示す。ここでは、金属原子が１個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図１２（Ａ）の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図１２（Ａ）の上半分および下半分にはそれぞれ３個ずつ４配位のＯがある。図１２（Ａ）に示す小グループは電荷が０である。

【０１５１】

図１２（Ｂ）に、１個の５配位のＧａと、Ｇａに近接の３個の３配位の酸素原子（以下３配位のＯ）と、Ｇａに近接の２個の４配位のＯと、を有する構造を示す。３配位のＯは、いずれもａｂ面に存在する。図１２（Ｂ）の上半分および下半分にはそれぞれ１個ずつ４配位のＯがある。また、Ｉｎも５配位をとるため、図１２（Ｂ）に示す構造をとりうる。図１２（Ｂ）に示す小グループは電荷が０である。

【０１５２】

図１２（Ｃ）に、１個の４配位のＺｎと、Ｚｎに近接の４個の４配位のＯと、を有する構造を示す。図１２（Ｃ）の上半分には１個の４配位のＯがあり、下半分には３個の４配位のＯがある。または、図１２（Ｃ）の上半分に３個の４配位のＯがあり、下半分に１個の４配位のＯがあってもよい。図１２（Ｃ）に示す小グループは電荷が０である。

【０１５３】

図１２（Ｄ）に、１個の６配位のＳｎと、Ｓｎに近接の６個の４配位のＯと、を有する構造を示す。図１２（Ｄ）の上半分には３個の４配位のＯがあり、下半分には３個の４配位のＯがある。図１２（Ｄ）に示す小グループは電荷が＋１となる。

【０１５４】

図１２（Ｅ）に、２個のＺｎを含む小グループを示す。図１２（Ｅ）の上半分には１個の４配位のＯがあり、下半分には１個の４配位のＯがある。図１２（Ｅ）に示す小グループは電荷が－１となる。

【０１５５】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【０１５６】

ここで、これらの小グループ同士が結合する規則について説明する。図１２（Ａ）に示す６配位のＩｎの上半分の３個のＯは下方向にそれぞれ３個の近接Ｉｎを有し、下半分の３個のＯは上方向にそれぞれ３個の近接Ｉｎを有する。図１２（Ｂ）に示す５配位のＧａの上半分の１個のＯは下方向に１個の近接Ｇａを有し、下半分の１個のＯは上方向に１個の近接Ｇａを有する。図１２（Ｃ）に示す４配位のＺｎの上半分の１個のＯは下方向に１個の近接Ｚｎを有し、下半分の３個のＯは上方向にそれぞれ３個の近接Ｚｎを有する。この様に、金属原子の上方向の４配位のＯの数と、そのＯの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の４配位のＯの数と、そのＯの上方向にある近接金属原子の数は等しい。Ｏは４配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は４になる。従って、金属原子の上方向にある４配位のＯの数と、別の金属原子の下方向にある４配位のＯの数との和が４個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、６配位の金属原子（ＩｎまたはＳｎ）が下半分の４配位のＯを介して結合する場合、４配位のＯが３個であるため、５配位の金属原子（ＧａまたはＩｎ）、または４配位の金属原子（Ｚｎ）のいずれかと結合するこ

となる。

【０１５７】

これらの配位数を有する金属原子は、ｃ軸方向において、４配位のＯを介して結合する。また、このほかにも、層構造の合計の電荷が０となるように複数の小グループが結合して中グループを構成する。

【０１５８】

図１３（Ａ）に、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系の層構造を構成する中グループのモデル図を示す。図１３（Ｂ）に、３つの中グループで構成される大グループを示す。なお、図１３（Ｃ）は、図１３（Ｂ）の層構造をｃ軸方向から観察した場合の原子配列を示す。

【０１５９】

図１３（Ａ）においては、簡単のため、３配位のＯは省略し、４配位のＯは個数のみ示し、例えば、Ｓｎの上半分および下半分にはそれぞれ３個ずつ４配位のＯがあることを丸枠の３として示している。図１３（Ａ）において、Ｉｎの上半分および下半分にはそれぞれ１個ずつ４配位のＯがあり、丸枠の１として示している。また、同様に、図１３（Ａ）において、下半分には１個の４配位のＯがあり、上半分には３個の４配位のＯがあるＺｎと、上半分には１個の４配位のＯがあり、下半分には３個の４配位のＯがあるＺｎとを示している。

【０１６０】

図１３（Ａ）において、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系の層構造を構成する中グループは、上から順に４配位のＯが３個ずつ上半分および下半分にあるＳｎが、４配位のＯが１個ずつ上半分および下半分にあるＩｎと４配位のＯを介して結合し、そのＩｎが、上半分に３個の４配位のＯがあるＺｎと４配位のＯを介して結合し、そのＺｎの下半分の１個の４配位のＯを介して４配位のＯが３個ずつ上半分および下半分にあるＩｎと結合し、そのＩｎが、上半分に１個の４配位のＯがあるＺｎ２個からなる小グループと結合し、この小グループの下半分の１個の４配位のＯを介して４配位のＯが３個ずつ上半分および下半分にあるＳｎと結合している構成である。この中グループが複数結合して大グループを構成する。

【０１６１】

ここで、３配位のＯおよび４配位のＯの場合、結合１本当たりの電荷はそれぞれ－０．６６７、－０．５と考えることができる。例えば、Ｉｎ（６配位または５配位）、Ｚｎ（４配位）、Ｓｎ（５配位または６配位）の電荷は、それぞれ＋３、＋２、＋４である。従って、Ｓｎを含む小グループは電荷が＋１となる。そのため、Ｓｎを含む層構造を形成するためには、電荷＋１を打ち消す電荷－１が必要となる。電荷－１をとる構造として、図１２（Ｅ）に示すように、２個のＺｎを含む小グループが挙げられる。例えば、Ｓｎを含む小グループが１個に対し、２個のＺｎを含む小グループが１個あれば、電荷が打ち消されるため、層構造の合計の電荷を０とすることができる。

【０１６２】

具体的には、図１３（Ｂ）に示した大グループが繰り返されることで、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系の結晶（$Ｉｎ_2ＳｎＺｎ_3Ｏ_8$）を得ることができる。なお、得られるＩｎ－Ｓｎ－Ｚｎ－Ｏ系の層構造は、$Ｉｎ_2ＳｎＺｎ_2Ｏ_7$（ＺｎＯ）$_m$（ｍは０または自然数。）とする組成式で表すことができる。

【０１６３】

また、このほかにも、四元系金属の酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ－Ｏ系酸化物や、三元系金属の酸化物であるＩｎ－Ｇａ－Ｚｎ－Ｏ系酸化物（ＩＧＺＯとも表記する。）、Ｉｎ－Ａｌ－Ｚｎ－Ｏ系酸化物、Ｓｎ－Ｇａ－Ｚｎ－Ｏ系酸化物、Ａｌ－Ｇａ－Ｚｎ－Ｏ系酸化物、Ｓｎ－Ａｌ－Ｚｎ－Ｏ系酸化物や、Ｉｎ－Ｈｆ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｌａ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｃｅ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｌｕ－Ｚ

ｎ－Ｏ系酸化物や、二元系金属の酸化物であるＩｎ－Ｚｎ－Ｏ系酸化物、Ｓｎ－Ｚｎ－Ｏ系酸化物、Ａｌ－Ｚｎ－Ｏ系酸化物、Ｚｎ－Ｍｇ－Ｏ系酸化物、Ｓｎ－Ｍｇ－Ｏ系酸化物、Ｉｎ－Ｍｇ－Ｏ系酸化物や、Ｉｎ－Ｇａ－Ｏ系酸化物、などを用いた場合も同様である。

【０１６４】

例えば、図１４（Ａ）に、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の層構造を構成する中グループのモデル図を示す。

【０１６５】

図１４（Ａ）において、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の層構造を構成する中グループは、上から順に４配位のＯが３個ずつ上半分および下半分にあるＩｎが、４配位のＯが１個上半分にあるＺｎと４配位のＯを介して結合し、そのＺｎの下半分の３個の４配位のＯを介して、４配位のＯが１個ずつ上半分および下半分にあるＧａと結合し、そのＧａの下半分の１個の４配位のＯを介して、４配位のＯが３個ずつ上半分および下半分にあるＩｎと結合している構成である。この中グループが複数結合して大グループを構成する。

【０１６６】

図１４（Ｂ）に３つの中グループで構成される大グループを示す。なお、図１４（Ｃ）は、図１４（Ｂ）の層構造をｃ軸方向から観察した場合の原子配列を示している。

【０１６７】

ここで、Ｉｎ（６配位または５配位）、Ｚｎ（４配位）、Ｇａ（５配位）の電荷は、それぞれ＋３、＋２、＋３であるため、Ｉｎ、ＺｎおよびＧａのいずれかを含む小グループは、電荷が０となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に０となる。

【０１６８】

また、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の層構造を構成する中グループは、図１４（Ａ）に示した中グループに限定されず、Ｉｎ、Ｇａ、Ｚｎの配列が異なる中グループを組み合わせた大グループも取りうる。

【０１６９】

具体的には、図１４（Ｂ）に示した大グループが繰り返されることで、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の結晶を得ることができる。なお、得られるＩｎ－Ｇａ－Ｚｎ－Ｏ系の層構造は、$InGaO_3(ZnO)_n$（ｎは自然数。）とする組成式で表すことができる。

【０１７０】

ｎ＝１（$InGaZnO_4$）の場合は、例えば、図１５（Ａ）に示す結晶構造を取りうる。なお、図１５（Ａ）に示す結晶構造において、図１２（Ｂ）で説明したように、Ｇａ及びＩｎは５配位をとるため、ＧａがＩｎに置き換わった構造も取りうる。

【０１７１】

また、ｎ＝２（$InGaZn_2O_5$）の場合は、例えば、図１５（Ｂ）に示す結晶構造を取りうる。なお、図１５（Ｂ）に示す結晶構造において、図１２（Ｂ）で説明したように、Ｇａ及びＩｎは５配位をとるため、ＧａがＩｎに置き換わった構造も取りうる。

【０１７２】

酸化物半導体膜２２７をＣＡＡＣ－ＯＳとする場合は、酸化物半導体膜２２７を成膜する際に、基板温度が２００℃を超えて７００℃以下、好ましくは３００℃を超えて５００℃以下、より好ましくは４００℃以上４５０℃以下となるように、基板を加熱する。このように、基板を加熱しながら酸化物半導体膜２２７を成膜することにより、酸化物半導体膜２２７をＣＡＡＣ－ＯＳとすることができる。

【０１７３】

また、上記の温度範囲で加熱しながら、一原子層以上１０ｎｍ以下、好ましくは２ｎｍ以上５ｎｍ以下の薄い膜厚の第１の酸化物半導体膜を成膜したのち、同様の方法で加熱しながら、第１の酸化物半導体膜よりも大きい膜厚の第２の酸化物半導体膜を成膜し、第１の酸化物半導体膜と第２の酸化物半導体膜を積層して、ＣＡＡＣ－ＯＳの酸化物半導体膜２２７を形成しても良い。

【０１７４】
　また、酸化物半導体膜２２７を非晶質構造とする場合は、酸化物半導体膜２２７を、基板温度を２００℃未満、より好ましくは１８０℃未満で成膜する。このように、酸化物半導体膜２２７を成膜することにより、酸化物半導体膜２２７を非晶質構造とすることができる。
【０１７５】
　また、上記の方法で酸化物半導体膜を非晶質構造として成膜した後、２５０℃以上７００℃以下、好ましくは４００℃以上、より好ましくは５００℃、さらに好ましくは５５０℃以上の温度で加熱処理を行って、当該非晶質構造の酸化物半導体膜の少なくとも一部を結晶化し、ＣＡＡＣ－ＯＳの酸化物半導体膜２２７を形成しても良い。なお、当該熱処理は不活性ガス雰囲気下で行うことができる。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、６Ｎ（９９．９９９９％）以上、好ましくは7Ｎ（９９．９９９９９％）以上（すなわち、不純物濃度が１ｐｐm以下、好ましくは０．１ｐｐm以下）とする。また、当該熱処理は、後述する脱水化または脱水素化の熱処理などで兼ねることも可能である。
【０１７６】
　以上の方法において、成膜時の基板加熱温度が高いほど、得られる酸化物半導体膜２２７の不純物濃度は低くなる。また、酸化物半導体膜２２７中の原子配列が整い、高密度化され、多結晶またはＣＡＡＣ－ＯＳが形成されやすくなる。さらに、酸素ガス雰囲気で成膜することでも、希ガスなどの余分な原子が含まれないため、多結晶またはＣＡＡＣ－ＯＳが形成されやすくなる。ただし、酸素ガスと希ガスの混合雰囲気としてもよく、その場合は酸素ガスの割合は３０体積％以上、好ましくは５０体積％以上、さらに好ましくは８０体積％以上とする。
【０１７７】
　酸化物半導体膜２２７形成後、酸化物半導体膜２２７に対して、熱処理を行ってもよい。熱処理を行うことによって、酸化物半導体膜２２７中に含まれる水素原子を含む物質をさらに除去し、酸化物半導体膜２２７の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。当該熱処理は不活性ガス雰囲気下で行い、熱処理の温度は、３００℃以上７００℃以下、好ましくは４５０℃以上６００℃以下、また、基板が歪み点を有する場合は基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、６Ｎ（９９．９９９９％）以上、好ましくは7Ｎ（９９．９９９９９％）以上（すなわち、不純物濃度が１ｐｐm以下、好ましくは０．１ｐｐm以下）とする。
【０１７８】
　当該熱処理は、例えば、抵抗発熱体などを用いた電気炉に半導体基板２０１を導入し、窒素雰囲気下、４５０℃、1時間の条件で行うことができる。
【０１７９】
　また、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、ＬＲＴＡ（Ｌａｍｐ　Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）装置、GＲＴＡ（Ｇａｓ　Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）装置等のRＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）装置を用いることができる。ＬＲＴＡ装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。ＧＲＴＡ装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活

性気体が用いられる。なお、加熱処理装置としてＧＲＴＡ装置を用いる場合には、その熱処理時間が短いため、６５０℃～７００℃の高温に加熱した不活性ガス中で基板を加熱してもよい。

【０１８０】

また、上記熱処理で酸化物半導体膜２２７を加熱した後、同じ炉に高純度の酸素ガス、高純度の$Ｎ_2$Ｏガス、又は超乾燥エア（ＣＲＤＳ（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が２０ｐｐｍ（露点換算で－５５℃）以下、好ましくは１ｐｐｍ以下、好ましくは１０ｐｐｂ以下の空気）とすることが好ましい。特にこれらのガスには、水、水素などが含まれないことが好ましい。また、同じ炉に導入する酸素ガスまたは$Ｎ_2$Ｏガスの純度を、６Ｎ以上好ましくは７Ｎ以上（即ち不純物濃度を１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下）とすることが好ましい。酸素ガスまたは$Ｎ_2$Ｏガスの作用によって、脱水化または脱水素化処理による不純物の排除工程で低減してしまった酸化物半導体を構成する主成分材料の一つである酸素を供給することができる。

【０１８１】

なお、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化または脱水素化などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工する前、ゲート絶縁膜の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化または脱水素化の熱処理は、一回に限らず複数回行っても良い。

【０１８２】

次に、酸化物半導体膜２２７の一部を選択的にエッチングして、酸化物半導体膜２２９を形成する。それから、酸化物半導体膜２２９上に、スパッタリング法、ＣＶＤ法等により絶縁膜２３１を形成する。そして、絶縁膜２３１上にゲート電極２３３を形成する（図８（Ａ）参照）。

【０１８３】

絶縁膜２３１は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはＧａ－Ｚｎ－Ｏ系金属酸化物膜などを用いればよく、積層または単層で設ける。また、絶縁膜２３１は、絶縁膜２２５に示すような、加熱により酸素が脱離する酸化絶縁膜を用いてもよい。絶縁膜２３１に加熱により酸素が脱離する膜を用いることで、後の加熱処理により酸化物半導体膜２２９に生じる酸素欠損を修復することができ、トランジスタの電気特性の劣化を抑制できる。

【０１８４】

また、絶縁膜２３１として、ハフニウムシリケート（$ＨｆＳｉＯ_x$）、窒素が添加されたハフニウムシリケート（$ＨｆＳｉ_xＯ_yＮ_z$）、窒素が添加されたハフニウムアルミネート（$ＨｆＡｌ_xＯ_yＮ_z$）、酸化ハフニウム、酸化イットリウムなどのｈｉｇｈ－ｋ材料を用いることでゲート絶縁膜の厚さを薄くしてもゲートリークを低減できる。

【０１８５】

絶縁膜２３１の厚さは、１０ｎｍ以上３００ｎｍ以下、より好ましくは５ｎｍ以上５０ｎｍ以下、より好ましくは１０ｎｍ以上３０ｎｍ以下とするとよい。

【０１８６】

ゲート電極２３３は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金などを用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、ゲート電極２３３は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜上にタングステン膜を積層する二層構造、チタン膜と、そのチ

タン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【０１８７】

また、ゲート電極２３３は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【０１８８】

ゲート電極２３３は、印刷法またはインクジェット法により形成される。若しくは、スパッタリング法、ＣＶＤ法、蒸着法等で導電膜を形成した後、該導電膜の一部を選択的にエッチングして形成される。

【０１８９】

なお、ゲート電極２３３と絶縁膜２３１との間に、絶縁膜２３１に接する材料層として、窒素を含むＩｎ－Ｇａ－Ｚｎ－Ｏ膜や、窒素を含むＩｎ－Ｓｎ－Ｏ膜や、窒素を含むＩｎ－Ｇａ－Ｏ膜や、窒素を含むＩｎ－Ｚｎ－Ｏ膜や、窒素を含むＳｎ－Ｏ膜や、窒素を含むＩｎ－Ｏ膜や、金属窒化膜（ＩｎＮ、ＺｎＮなど）を設けることが好ましい。これらの膜は５ｅＶ、あるいは５．５ｅＶ以上の仕事関数を有し、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。例えば、窒素を含むＩｎ－Ｇａ－Ｚｎ－Ｏ膜を用いる場合、酸化物半導体膜２２９より高い窒素濃度、具体的には７原子％以上の窒素を含むＩｎ－Ｇａ－Ｚｎ－Ｏ膜を用いる。

【０１９０】

なお、絶縁膜２３１の成膜後に、不活性ガス雰囲気下、または酸素雰囲気下で熱処理（第２の熱処理）を行ってもよい。熱処理の温度は、２００℃以上４５０℃以下とするのが好ましく、２５０℃以上３５０℃以下とするのがより好ましい。このような熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、酸化物半導体膜２２９と接する絶縁膜２３１または絶縁膜２２５が酸素を含む場合、酸化物半導体膜２２９に酸素を供給し、該酸化物半導体膜２２９の酸素欠損に酸素を補填することもできる。このように、上述の熱処理には酸素を供給する効果があるため、当該熱処理を、加酸化（加酸素化）などと呼ぶこともできる。

【０１９１】

なお、本実施の形態では、絶縁膜２３１の形成後に加酸化の熱処理を行っているが、加酸化の熱処理のタイミングはこれに限定されず、絶縁膜２３１の形成後に適宜行えばよい。

【０１９２】

上述のように、脱水化または脱水素化の熱処理と加酸化の熱処理を適用し、酸化物半導体膜２２９中の不純物を低減し、酸素欠損を補填することで、酸化物半導体膜２２９を不純物が極力含まれないように高純度化することができる。

【０１９３】

次に、ゲート電極２３３をマスクとして、酸化物半導体膜２２９にドーパントを添加する処理を行う。この結果、図８（Ｂ）に示すように、ゲート電極２３３に覆われ、ドーパントが添加されない第１の領域２３５ａと、ドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃを形成する。ゲート電極２３３をマスクにしてドーパントを添加するため、セルフアラインで、ドーパントが添加されない第１の領域２３５ａ、及びドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃを形成することができる。

【０１９４】

なお、ゲート電極２３３と重畳する第１の領域２３５ａはチャネル領域として機能する

。また、ドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃは、電界緩和領域として機能する。また、第１の領域２３５ａ、及びドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃを酸化物半導体膜２３５と示す。

【０１９５】

酸化物半導体膜２３５の第１の領域２３５ａは、水素濃度を5×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは1×10^{16}ａｔｏｍｓ／ｃｍ^{3}以下とすることが好ましい。酸化物半導体及び水素の結合により、水素の一部がドナーとなり、キャリアである電子が生じてしまう。これらのため、酸化物半導体膜２３５の第１の領域２３５ａ中の水素濃度を低減することで、しきい値電圧のマイナスシフトを抑制することができる。

【０１９６】

ドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃに含まれるドーパントの濃度は、5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上1×10^{22}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上5×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満とする。

【０１９７】

ドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃはドーパントを含むため、キャリア密度または欠陥を増加させることができる。このため、ドーパントを含まない第１の領域２３５ａと比較して導電性を高めることができる。なお、ドーパント濃度を増加させすぎると、ドーパントがキャリアの移動を阻害することになり、ドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃの導電性を低下させることになる。

【０１９８】

ドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃは、導電率が０．１Ｓ／ｃｍ以上１０００Ｓ／ｃｍ以下、好ましくは１０Ｓ／ｃｍ以上１０００Ｓ／ｃｍ以下とすることが好ましい。

【０１９９】

酸化物半導体膜２３５において、ドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃを有することで、チャネル領域として機能する第１の領域２３５ａの端部に加わる電界を緩和させることができる。このため、トランジスタの短チャネル効果を抑制することができる。

【０２００】

酸化物半導体膜２２９にドーパントを添加する方法として、イオンドーピング法またはイオンインプランテーション法を用いることができる。また、添加するドーパントとしては、例えばホウ素、窒素、リン、及びヒ素などが挙げられる。または、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンなどが挙げられる。または、水素が挙げられる。なお、ドーパントとして、ホウ素、窒素、リン、及びヒ素の一以上と、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上と、水素とを適宜組み合わしてもよい。

【０２０１】

また、酸化物半導体膜２２９へのドーパントの添加は、酸化物半導体膜２２９を覆って、絶縁膜２３１などが形成されている状態を示したが、酸化物半導体膜２２９が露出している状態でドーパントの添加を行ってもよい。

【０２０２】

さらに、上記ドーパントの添加はイオンドーピング法またはイオンインプランテーション法などによる注入する以外の方法でも行うことができる。例えば、添加する元素を含むガス雰囲気にてプラズマを発生させて、被添加物に対してプラズマ処理を行うことによって、ドーパントを添加することができる。上記プラズマを発生させる装置としては、ドライエッチング装置やＣＶＤ装置、高密度ＣＶＤ装置などを用いることができる。

【０２０３】

この後、加熱処理を行ってもよい。当該加熱処理の温度は、代表的には、１５０℃以上

４５０℃以下、好ましくは２５０℃以上３２５℃以下とする。または、２５０℃から３２５℃まで徐々に温度上昇させながら加熱してもよい。
【０２０４】
当該加熱処理により、ドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃの抵抗を低減することができる。なお、当該加熱処理において、ドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃは、結晶状態でも非晶質状態でもよい。
【０２０５】
次に、図８（Ｃ）に示すように、ゲート電極２３３の側面にサイドウォール絶縁膜２３７、及びゲート絶縁膜２３９、並びに電極２４１ａ、電極２４１ｂを形成する。
【０２０６】
サイドウォール絶縁膜２３７は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、サイドウォール絶縁膜２３７として、絶縁膜２２５と同様に、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成してもよい。
【０２０７】
ここで、サイドウォール絶縁膜２３７の形成方法について説明する。
【０２０８】
まず、絶縁膜２３１およびゲート電極２３３上に、後にサイドウォール絶縁膜２３７となる絶縁膜を形成する。絶縁膜は、スパッタリング法、ＣＶＤ法等により形成する。また、当該絶縁膜の厚さは特に限定はないが、ゲート電極２３３の形状を考慮して、適宜選択すればよい。
【０２０９】
次に、絶縁膜をエッチングすることによりサイドウォール絶縁膜２３７を形成する。該エッチングは、異方性の高いエッチングであり、サイドウォール絶縁膜２３７は、絶縁膜に異方性の高いエッチング工程を行うことでセルフアラインに形成することができる。
【０２１０】
また、ドーパントを含む一対の第２の領域２３５ｂ、第２の領域２３５ｃにおいて、電界緩和領域として機能する幅は、サイドウォール絶縁膜２３７の幅に対応し、またサイドウォール絶縁膜２３７の幅は、ゲート電極２３３の厚さにも対応することから、電界緩和領域の範囲が、所望の範囲となるように、ゲート電極２３３の厚さを決めればよい。
【０２１１】
また、サイドウォール絶縁膜２３７の形成工程と共に、異方性の高いエッチングを用いて絶縁膜２３１をエッチングし、酸化物半導体膜２３５を露出させることで、ゲート絶縁膜２３９を形成することができる。
【０２１２】
一対の電極２４１ａ、電極２４１ｂは配線２２３ａおよび配線２２３ｂと同様の材料を適宜用いて形成することができる。なお、一対の電極２４１ａ、電極２４１ｂは配線としても機能させてもよい。
【０２１３】
一対の電極２４１ａ、電極２４１ｂは、印刷法またはインクジェット法を用いて形成される。または、スパッタリング法、ＣＶＤ法、蒸着法等で導電膜を形成した後、該導電膜の一部を選択的にエッチングして、一対の電極２４１ａ、電極２４１ｂを形成する。
【０２１４】
一対の電極２４１ａ、電極２４１ｂは、サイドウォール絶縁膜２３７及びゲート絶縁膜２３９の側面と接するように、形成されることが好ましい。即ち、トランジスタの一対の電極２４１ａ、電極２４１ｂの端部がサイドウォール絶縁膜２３７上に位置し、酸化物半導体膜２３５において、一対の第２の領域２３５ｂ、第２の領域２３５ｃの露出部を全て覆っていることが好ましい。この結果、一対の第２の領域２３５ｂ、第２の領域２３５ｃにおいて、一対の電極２４１ａ、電極２４１ｂと接する領域がソース領域及びドレイン領

域として機能すると共に、サイドウォール絶縁膜２３７及びゲート絶縁膜２３９と重なる領域が電界緩和領域として機能する。また、サイドウォール絶縁膜２３７の長さにより電界緩和領域の幅が制御できるため、一対の電極２４１ａ、電極２４１ｂを形成するためのマスク合わせの精度を緩和することができる。よって、複数のトランジスタにおけるばらつきを低減することができる。

【０２１５】

なお、本実施の形態では、ゲート電極２３３の側面に接してサイドウォール絶縁膜２３７を設けたが、本発明はこれに限られるものではなく、サイドウォール絶縁膜２３７を設けない構成とすることもできる。また、本実施の形態では、一対の第２の領域２３５ｂ、第２の領域２３５ｃを形成した後でサイドウォール絶縁膜２３７を設けたが、本発明はこれに限られるものではなく、サイドウォール絶縁膜２３７を設けた後で一対の第２の領域２３５ｂ、第２の領域２３５ｃを形成しても良い。このような構成とすることにより、第１の領域２３５ａをサイドウォール絶縁膜２３７と重畳する領域まで広げることができる。

【０２１６】

次に、図９（Ａ）に示すように、スパッタリング法、ＣＶＤ法、塗布法、印刷法等により、絶縁膜２４３及び絶縁膜２４５を形成する。

【０２１７】

絶縁膜２４３、絶縁膜２４５は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、絶縁膜２４５として、外部への酸素の拡散を防ぐ絶縁膜を用いることで、絶縁膜２４３から脱離する酸素を酸化物半導体膜に供給することができる。外部への酸素の拡散を防ぐ絶縁膜の代表例としては、酸化アルミニウム、酸化窒化アルミニウム等がある。また、絶縁膜２４５として、外部からの水素の拡散を防ぐ絶縁膜を用いることで、外部から酸化物半導体膜への水素の拡散を抑制することが可能であり、酸化物半導体膜の欠損を低減することができる。外部からの水素の拡散を防ぐ絶縁膜の代表例としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。また、絶縁膜２４３を、加熱により酸素の一部が脱離する酸化絶縁膜、外部への酸素の拡散を防ぐ絶縁膜と、酸化絶縁膜との３層構造とすることで、効率よく酸化物半導体膜へ酸素を拡散すると共に、外部への酸素の脱離を抑制することが可能であり、温度及び湿度の高い状態でも、トランジスタの特性の変動を低減することができる。

【０２１８】

以上の工程により、図９（Ａ）に示すように、酸化物半導体膜を有するトランジスタ１１０を作製することができる。なお、上記トランジスタ１１０は、ｉ型（真性半導体）またはｉ型に限りなく近い領域２３５ａを含む酸化物半導体膜２３５を有するため、極めて優れた特性を示す。

【０２１９】

なお、本実施の形態でトランジスタ１１０をトップゲート構造としたが、本発明はこれに限られるものではなく、例えばボトムゲート構造としても良い。また、本実施の形態でトランジスタ１１０は、一対の電極２４１ａおよび電極２４１ｂが、一対の第２の領域２３５ｂおよび第２の領域２３５ｃの上面の少なくとも一部と接する構成としているが、本発明はこれに限られるものではなく、例えば、一対の第２の領域２３５ｂおよび第２の領域２３５ｃが、一対の電極２４１ａおよび電極２４１ｂの少なくとも一部と接する構成としても良い。

【０２２０】

次に、絶縁膜２１５、絶縁膜２１７、絶縁膜２２１、絶縁膜２２５、絶縁膜２４３、絶縁膜２４５のそれぞれ一部を選択的にエッチングし、開口部を形成して、ゲート電極２０９、電極２４１ａおよび電極２４１ｂのそれぞれ一部を露出する。次に、開口部に導電膜を成膜した後、該導電膜の一部を選択的にエッチングして、電極２４１ｂに接して配線２

４９を、電極２４１ａに接して配線２５０を形成する。配線２４９および配線２５０は、コンタクトプラグ２１９ａおよびコンタクトプラグ２１９ｂに示す材料を適宜用いることができる。

【０２２１】

ここで、配線２４９は、トランジスタ１１０のソース電極またはドレイン電極の一方とトランジスタ１１２のゲート電極２０９とを電気的に接続するノードＦＧとして機能する。また、配線２５０は、トランジスタ１１０のソース電極またはドレイン電極の他方として機能し、図３（Ａ）に示すデータ線Ｄと電気的に接続される。また、図９（Ｂ）では直接的に示していないが、トランジスタ１１０のゲート電極２３３も、図３（Ａ）に示すワード線Ｗと電気的に接続されるものとする。

【０２２２】

また、図９（Ｂ）においては、トランジスタ１１０のソース電極またはドレイン電極の一方（電極２４１ｂ）と、トランジスタ１１２のゲート電極２０９と、を配線２４９を介して接続する構成としているが、本実施の形態に示すプログラマブルスイッチはこれに限られるものではない。例えば、トランジスタ１１２上に設けられた絶縁膜の上面にトランジスタ１１２のゲート電極の上面が露出されるような構造とし、当該ゲート電極の上面に直接接するようにトランジスタ１１０のソース電極またはドレイン電極の一方を設ける構成としても良い。

【０２２３】

以上の工程により、トランジスタ１１０およびトランジスタ１１２からなるプログラマブルスイッチを作製することができる。

【０２２４】

ここで、図９（Ｂ）に示す断面図に対応するプログラマブルスイッチの平面図の一例を図２７（Ａ）および図２７（Ｂ）に示す。図２７（Ａ）は絶縁膜２２５より下層の構成、つまりトランジスタ１１２の平面図を示しており、図２７（Ｂ）は絶縁膜２２５より上層の構成、つまりトランジスタ１１０の平面図を示している。なお、図２７（Ａ）および図２７（Ｂ）において、図の理解を容易にするため一部の構成（絶縁膜２１５など）を図示していない。また、図２７（Ａ）および図２７（Ｂ）に示す、一点鎖線Ａ－Ｂおよび一点鎖線Ｃ－Ｄは、図６乃至図９に示す断面図に対応している。

【０２２５】

図２７（Ａ）および図２７（Ｂ）に示すプログラマブルスイッチでは、図９（Ｂ）に示すように、一点鎖線Ｃ－Ｄに係る領域においてトランジスタ１１０と、トランジスタ１１２とが、電気的に接続される。ここで、トランジスタ１１０の少なくとも一部と、トランジスタ１１２の少なくとも一部と、が重畳して設けられる。より好ましくは、酸化物半導体膜２３５の少なくとも一部と、ｎ型の不純物領域２１１ａまたはｎ型の不純物領域２１１ｂの少なくとも一部と、が重畳して設けられる。このような平面レイアウトを採用することにより、酸化物半導体のようなワイドバンドギャップ半導体を用いたトランジスタを設けることによるプログラマブルスイッチの占有面積の増大を抑制することができる。よって、当該プログラマブルスイッチを用いたプログラマブルロジックデバイスの高集積化を図ることができる。

【０２２６】

また、図２７（Ａ）および図２７（Ｂ）に示すプログラマブルスイッチを用いて図２（Ａ）に示す配線選択回路１３を形成した平面図の一例を、図２８に示す。なお、図２８において、図の理解を容易にするために、図２７（Ｂ）のトランジスタ１１０に対応するトランジスタ１１０ａ乃至トランジスタ１１０ｆを点線で示す。図２８に示す配線選択回路は、行方向に延設された配線１１１ａおよび配線１１１ｃと、列方向に延設された配線１１１ｂおよび配線１１１ｄと、を有する。配線１１１ａと配線１１１ｂとは、電極１１３ａと、トランジスタ１１０ａと電気的に接続されたトランジスタ１１２ａと、電極１１４ａと、を介して電気的に接続される。配線１１１ｂと配線１１１ｄとは、電極１１３ｂと、トランジスタ１１０ｂと電気的に接続されたトランジスタ１１２ｂと、電極１１４ｂと

、を介して電気的に接続される。配線１１１ｃと配線１１１ｄとは、電極１１３ｃと、トランジスタ１１０ｃと電気的に接続されたトランジスタ１１２ｃと、電極１１４ｃと、を介して電気的に接続される。配線１１１ａと配線１１１ｃとは、電極１１３ｄと、トランジスタ１１０ｄと電気的に接続されたトランジスタ１１２ｄと、電極１１４ｄと、を介して電気的に接続される。配線１１１ａと配線１１１ｄとは、電極１１３ｅと、トランジスタ１１０ｅと電気的に接続されたトランジスタ１１２ｅと、電極１１４ｅと、を介して電気的に接続される。配線１１１ｂと配線１１１ｃとは、電極１１３ｆと、トランジスタ１１０ｆと電気的に接続されたトランジスタ１１２ｆと、電極１１４ｆと、を介して電気的に接続される。

【０２２７】

ここで、配線１１１ａ乃至配線１１１ｄは図２（Ａ）に示す配線１１ａ乃至配線１１ｄに対応する。例えば、配線１１１ａ乃至配線１１１ｄは、配線２２３ａおよび配線２２３ｂと同じ層に形成することができる。また、電極１１３ａ乃至電極１１３ｆ、電極１１４ａ乃至電極１１４ｆは、配線２２３ａおよび配線２２３ｂと同様の材料および方法で形成することができる。また、トランジスタ１１０ａ乃至トランジスタ１１０ｆは図９（Ａ）および図２７（Ｂ）に示すトランジスタ１１０に対応し、トランジスタ１１２ａ乃至トランジスタ１１２ｆは図６（Ｄ）および図２７（Ａ）に示すトランジスタ１１２に対応する。また、トランジスタ１１０ａとトランジスタ１１２ａ、乃至トランジスタ１１０ｆとトランジスタ１１２ｆからなるそれぞれのプログラマブルスイッチは、図２（Ａ）に示すプログラマブルスイッチ３０ａ乃至プログラマブルスイッチ３０ｆに対応する。

【０２２８】

図２８に示すように、トランジスタ１１０ａの少なくとも一部と、トランジスタ１１２ａの少なくとも一部およびトランジスタ１１２ｅの少なくとも一部と、が重畳して設けられ、以下トランジスタ１１０ｂ乃至トランジスタ１１０ｆも同様に設けられる。つまり、上層のトランジスタの少なくとも一部は、対応する下層のトランジスタの少なくとも一部および当該下層のトランジスタと隣接するトランジスタの少なくとも一部と重畳して設けられる。このような平面レイアウトを採用することにより、酸化物半導体のようなワイドバンドギャップ半導体を用いたトランジスタを設けることによるプログラマブルスイッチの占有面積の増大を抑制することができる。よって、当該プログラマブルスイッチを用いたプログラマブルロジックデバイスの高集積化を図ることができる。

【０２２９】

また、トランジスタ１１２の作製のために用いた半導体基板を用いてデータ線Ｄやワード線Ｗに電位を供給する駆動回路のトランジスタを作製することもできる。ここで、このような駆動回路を設けたプログラマブルロジックデバイスの構成を図２９に示す。図２９に示すプログラマブルロジックデバイスは、図１（Ａ）に示すプログラマブルロジックデバイスと同様に、複数の配線で電気的に接続された複数の論理ブロック１０と、行方向の配線と列方向の配線とが交差する部分に設けられたスイッチマトリックス１２と、を有する。ここで、図の理解を容易にするため、図２９では、図１に示す配線１１に対応する配線を図示していない。

【０２３０】

さらに、図２９に示すプログラマブルロジックデバイスは、複数の論理ブロック１０の上側に設けられた第１の駆動回路１４と、複数の論理ブロック１０の左側に設けられた第２の駆動回路１５と、第１の駆動回路１４に電気的に接続して、列方向に延設して設けられた複数の第１の配線１６と、第２の駆動回路１５に電気的に接続して、行方向に延設して設けられた複数の第２の配線１７と、を有する。第１の配線１６および第２の配線１７は、それぞれスイッチマトリックス１２と電気的に接続される。ただし、第１の駆動回路１４および第２の駆動回路１５の構成と配置は上記に限定されるものではなく、例えば、第１の駆動回路１４および第２の駆動回路１５を設ける位置を変えても良いし、３個以上の駆動回路を設ける構成としても良い。

【０２３１】

本実施の形態において、第１の配線１６および第２の配線１７は、図２（Ｂ）および図２（Ｃ）に示す、メモリ部に格納するコンフィギュレーションデータの電位を入力するデータ線Ｄ、およびメモリ部へのコンフィギュレーションデータの書き込みを制御する信号を入力するワード線Ｗとして用いることができる。また、第１の駆動回路１４および第２の駆動回路１５は、データ線Ｄに電位を供給するデータ線駆動回路およびワード線Ｗに電位を供給するワード線駆動回路として用いることができる。なお、本実施の形態では、第１の駆動回路１４をデータ線Ｄの駆動回路とし、第２の駆動回路１５をワード線Ｗの駆動回路とし、第１の配線１６をデータ線Ｄとし、第２の配線１７をワード線Ｗとしているが、本発明はこれに限られるものではない。

【０２３２】

ここで、第１の駆動回路１４および第２の駆動回路１５に用いるトランジスタは、図６（Ｄ）および図２７（Ａ）に示すトランジスタ１１２と同様の構成とすることができる。よって、第１の駆動回路１４および第２の駆動回路１５に用いるトランジスタは、単結晶シリコンなどの酸化物半導体とは異なる半導体を用いて形成されるので、十分な高速動作が可能となる。これにより、十分な高速動作が可能な駆動回路を形成することができる。また、第１の配線１６および第２の配線１７として、図９（Ｂ）および図２７（Ｂ）に示す配線２４９または配線２５０と同じ層またはより上層に設けられた導電膜を用いることができる。

【０２３３】

以上に示すように、トランジスタのオフ電流を十分に小さくすることができる、酸化物半導体のようなワイドバンドギャップ半導体を、各論理ブロック間の配線接続を制御するプログラマブルスイッチのメモリ部のトランジスタに用いることにより、電源電位の供給が遮断されたときでもコンフィギュレーションデータを保持することが可能なプログラマブルスイッチを作製することができる。また、電源投入後の論理ブロックの起動時間を短くしたプログラマブルスイッチを作製することができる。これにより、ノーマリーオフの駆動方法を用いて、低消費電力化を図ることができるプログラマブルロジックデバイスを提供することができる。

【０２３４】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す構成、方法どうしで組み合わせて用いることもできるし、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることもできる。

【０２３５】

（実施の形態３）

本実施の形態では、先の実施の形態で示した酸化物半導体膜を有するトランジスタについて、電界効果移動度を理論的に導出し、当該電界効果移動度を用いてトランジスタ特性を導出する。

【０２３６】

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって理論的な移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Ｌｅｖｉｎｓｏｎモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【０２３７】

半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、測定される電界効果移動度μは次の式（２）で表現できる。

【０２３８】

【数２】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \qquad (2)$$

【０２３９】
ここで、μ_0は半導体の理論的な電界効果移動度、Ｅはポテンシャル障壁の高さ、ｋはボルツマン定数、Ｔは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Ｌｅｖｉｎｓｏｎモデルでは、次の式（３）で表現できる。
【０２４０】
【数３】

$$E = \frac{e^2N^2}{8\varepsilon n} = \frac{e^3N^2t}{8\varepsilon C_{ox}V_g} \qquad (3)$$

【０２４１】
ここで、ｅは電気素量、Ｎはチャネル内の単位面積当たりの平均欠陥密度、εは半導体の誘電率、ｎは単位面積当たりのチャネルに含まれるキャリア数、C_{ox}は単位面積当たりの容量、V_gはゲート電圧、ｔはチャネルの厚さである。なお、厚さ３０ｎｍ以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。線形領域におけるドレイン電流I_dは、次の式（４）で表現できる。
【０２４２】
【数４】

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L}\exp\left(-\frac{E}{kT}\right) \qquad (4)$$

【０２４３】
ここで、Ｌはチャネル長、Ｗはチャネル幅であり、ここでは、Ｌ＝Ｗ＝１０μｍである。また、V_dはドレイン電圧である。式（４）の両辺をＶｇで割り、更に両辺の対数を取ると、次の式（５）となる。
【０２４４】
【数５】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3N^2t}{8kT\varepsilon C_{ox}V_g} \qquad (5)$$

【０２４５】
式（５）の右辺はV_gの関数である。この式からわかるように、縦軸をｌｎ（Ｉｄ／Ｖｇ）、横軸を１／Ｖｇとする直線の傾きから欠陥密度Ｎが求められる。すなわち、トランジスタの$I_d - V_g$特性から、欠陥密度を評価できる。その結果、酸化物半導体としては、インジウム（Ｉｎ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）の比率が、Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１のものでは欠陥密度Ｎは1×10^{12}／cm^2程度であった。
【０２４６】
このようにして求めた欠陥密度等をもとに式（２）および式（３）よりμ_0＝１２０cm^2／Ｖｓが導出される。欠陥のあるＩｎ－Ｓｎ－Ｚｎ酸化物で測定される移動度は４０cm^2／Ｖｓ程度であった。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度μ_0は１２０cm^2／Ｖｓとなると予想できる。
【０２４７】
ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁物との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁物界面からｘだけ離れた場所における移動度μ_1は、次の式（６）で表現できる。
【０２４８】
【数６】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B}\exp\left(-\frac{x}{l}\right) \qquad (6)$$

【０２４９】

ここで、Ｄはゲート方向の電界、Ｂ、ｌは定数である。Ｂおよびｌは、実際の測定結果より求めることができ、上記の測定結果から、$Ｂ＝４．７５×１０^{７}$ｃｍ／ｓ、ｌ＝１０ｎｍ（界面散乱が及ぶ深さ）であった。Ｄが増加する（すなわち、ゲート電圧が高くなる）と式（６）の第２項が増加するため、移動度$μ_{１}$は低下することがわかる。

【０２５０】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度$μ_{２}$を計算した結果を図１６に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Ｓｅｎｔａｕｒｕｓ　Ｄｅｖｉｃｅを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、２．８電子ボルト、４．７電子ボルト、１５、１５ｎｍとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【０２５１】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、５．５電子ボルト、４．６電子ボルト、４．６電子ボルトとした。また、ゲート絶縁物の厚さは１００ｎｍ、比誘電率は４．１とした。チャネル長およびチャネル幅はともに１０μｍ、ドレイン電圧$Ｖ_{ｄ}$は０．１Ｖである。

【０２５２】

図１６で示されるように、ゲート電圧１Ｖ強で移動度$１００ｃｍ^{２}$／Ｖｓ以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｆｌａｔｎｅｓｓ）が望ましい。

【０２５３】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図１７乃至図１９に示す。なお、計算に用いたトランジスタの断面構造を図２０に示す。図２０に示すトランジスタは酸化物半導体層に$ｎ^{＋}$の導電型を呈する第２の領域１１０３ｂおよび第２の領域１１０３ｃを有する。第２の領域１１０３ｂおよび第２の領域１１０３ｃの抵抗率は$２×１０^{－３}$Ωｃｍとする。

【０２５４】

図２０（Ａ）に示すトランジスタは、下地絶縁膜１１０１と、下地絶縁膜１１０１に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物１１０２の上に形成される。トランジスタは第２の領域１１０３ｂ、第２の領域１１０３ｃと、それらに挟まれ、チャネル形成領域となる真性の第１の領域１１０３ａと、ゲート電極１１０５を有する。ゲート電極１１０５の幅を３３ｎｍとする。

【０２５５】

ゲート電極１１０５と第１の領域１１０３ａの間には、ゲート絶縁膜１１０４を有し、また、ゲート電極１１０５の両側面にはサイドウォール絶縁膜１１０６ａおよびサイドウォール絶縁膜１１０６ｂ、ゲート電極１１０５の上部には、ゲート電極１１０５と他の配線との短絡を防止するための絶縁物１１０７を有する。サイドウォール絶縁膜の幅は５ｎｍとする。また、第２の領域１１０３ｂおよび第２の領域１１０３ｃに接して、ソース電極１１０８ａおよびドレイン電極１１０８ｂを有する。なお、このトランジスタにおけるチャネル幅を４０ｎｍとする。

【０２５６】

図２０（Ｂ）に示すトランジスタは、下地絶縁膜１１０１と、酸化アルミニウムよりなる埋め込み絶縁物１１０２の上に形成され、第２の領域１１０３ｂ、第２の領域１１０３ｃと、それらに挟まれた真性の第１の領域１１０３ａと、幅３３ｎｍのゲート電極１１０５とゲート絶縁膜１１０４とサイドウォール絶縁膜１１０６ａおよびサイドウォール絶縁膜１１０６ｂと絶縁物１１０７とソース電極１１０８ａおよびドレイン電極１１０８ｂを有する点で図２０（Ａ）に示すトランジスタと同じである。

【０２５７】

図２０（Ａ）に示すトランジスタと図２０（Ｂ）に示すトランジスタの相違点は、サイ

ドウォール絶縁膜１１０６ａおよびサイドウォール絶縁膜１１０６ｂの下の半導体領域の導電型である。図２０（Ａ）に示すトランジスタでは、サイドウォール絶縁膜１１０６ａおよびサイドウォール絶縁膜１１０６ｂの下の半導体領域は$ｎ^{+}$の導電型を呈する第２の領域１１０３ｂおよび第２の領域１１０３ｃであるが、図２０（Ｂ）に示すトランジスタでは、真性の第１の領域１１０３ａである。すなわち、第２の領域１１０３ｂ（第２の領域１１０３ｃ）とゲート電極１１０５がＬｏｆｆだけ重ならない領域ができている。この領域をオフセット領域といい、その幅Ｌｏｆｆをオフセット長という。図から明らかなように、オフセット長は、サイドウォール絶縁膜１１０６ａ（サイドウォール絶縁膜１１０６ｂ）の幅と同じである。

【０２５８】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Ｓｅｎｔａｕｒｕｓ　Ｄｅｖｉｃｅを使用した。図１７は、図２０（Ａ）に示される構造のトランジスタのドレイン電流（Ｉｄ、実線）および移動度（μ、点線）のゲート電圧（Ｖｇ、ゲートとソースの電位差）依存性を示す。ドレイン電流Ｉｄは、ドレイン電圧（ドレインとソースの電位差）を＋１Ｖとし、移動度μはドレイン電圧を＋０．１Ｖとして計算したものである。

【０２５９】

図１７（Ａ）はゲート絶縁膜の厚さを１５ｎｍとしたものであり、図１７（Ｂ）は１０ｎｍとしたものであり、図１７（Ｃ）は５ｎｍとしたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流Ｉｄ（オフ電流）が顕著に低下する。一方、移動度μのピーク値やオン状態でのドレイン電流Ｉｄ（オン電流）には目立った変化が無い。ゲート電圧１Ｖ前後で、ドレイン電流はメモリ素子等で必要とされる１０μＡを超えることが示された。

【０２６０】

図１８は、図２０（Ｂ）に示される構造のトランジスタで、オフセット長Ｌｏｆｆを５ｎｍとしたもののドレイン電流Ｉｄ（実線）および移動度μ（点線）のゲート電圧Ｖｇ依存性を示す。ドレイン電流Ｉｄは、ドレイン電圧を＋１Ｖとし、移動度μはドレイン電圧を＋０．１Ｖとして計算したものである。図１８（Ａ）はゲート絶縁膜の厚さを１５ｎｍとしたものであり、図１８（Ｂ）は１０ｎｍとしたものであり、図１８（Ｃ）は５ｎｍとしたものである。

【０２６１】

また、図１９は、図２０（Ｂ）に示される構造のトランジスタで、オフセット長Ｌｏｆｆを１５ｎｍとしたもののドレイン電流Ｉｄ（実線）および移動度μ（点線）のゲート電圧依存性を示す。ドレイン電流Ｉｄは、ドレイン電圧を＋１Ｖとし、移動度μはドレイン電圧を＋０．１Ｖとして計算したものである。図１９（Ａ）はゲート絶縁膜の厚さを１５ｎｍとしたものであり、図１９（Ｂ）は１０ｎｍとしたものであり、図１９（Ｃ）は５ｎｍとしたものである。

【０２６２】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度μのピーク値やオン電流には目立った変化が無い。

【０２６３】

なお、移動度μのピークは、図１７では８０$ｃｍ^{2}$／Ｖｓ程度であるが、図１８では６０$ｃｍ^{2}$／Ｖｓ程度、図１９では４０$ｃｍ^{2}$／Ｖｓと、オフセット長Ｌｏｆｆが増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長Ｌｏｆｆの増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧１Ｖ前後で、ドレイン電流はメモリ素子等で必要とされる１０μＡを超えることが示された。また、このように移動度の高いトランジスタを、先の実施の形態で示したプログラマブルスイッチのメモリ部に用いることにより、コンフィギュレーションデータの書き込みを高速でおこなうことができるので、動的コンフィギュレーションを容易に行うことができるプログラマブルロジックデバイスを提供することができ

る。

【０２６４】

（実施の形態４）

本実施の形態では、先の実施の形態で示した酸化物半導体膜を有するトランジスタについて、特にＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を有するトランジスタについて説明する。

【０２６５】

Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なおここで、主成分とは組成比で５ａｔｏｍｉｃ％以上含まれる元素をいう。

【０２６６】

Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリーオフ化させることが可能となる。以下、Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を有するトランジスタを作製して各種測定を行った結果について説明する。

【０２６７】

まず、本実施の形態で各種測定に用いたトランジスタの構造について図２６を用いて説明する。図２６（Ａ）は、当該トランジスタの平面図であり、図２６（Ｂ）は図２６（Ａ）の一点鎖線Ａ－Ｂに対応する断面図である。

【０２６８】

図２６（Ｂ）に示すトランジスタは、基板６００と、基板６００上に設けられた下地絶縁膜６０２と、下地絶縁膜６０２上に設けられた酸化物半導体膜６０６と、酸化物半導体膜６０６と接する一対の電極６１４と、酸化物半導体膜６０６および一対の電極６１４上に設けられたゲート絶縁膜６０８と、ゲート絶縁膜６０８を介して酸化物半導体膜６０６と重畳して設けられたゲート電極６１０と、ゲート絶縁膜６０８およびゲート電極６１０を覆って設けられた層間絶縁膜６１６と、層間絶縁膜６１６とゲート絶縁膜６０８に設けられた開口部を介して一対の電極６１４と接続する配線６１８と、層間絶縁膜６１６および配線６１８を覆って設けられた保護膜６２０と、を有する。ここで、一対の電極６１４は、当該トランジスタのソース電極およびドレイン電極として機能する。

【０２６９】

基板６００としてはガラス基板を、下地絶縁膜６０２としては酸化シリコン膜を、酸化物半導体膜６０６としてはＩｎ－Ｓｎ－Ｚｎ－Ｏ膜を、一対の電極６１４としてはタングステン膜を、ゲート絶縁膜６０８としては酸化シリコン膜を、ゲート電極６１０としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜６１６としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線６１８としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜６２０としてはポリイミド膜を、それぞれ用いた。

【０２７０】

なお、図２６（Ａ）に示す構造のトランジスタにおいて、ゲート電極６１０と一対の電極６１４との重畳する幅をＬｏｖと呼ぶ。同様に、酸化物半導体膜６０６に対する一対の電極６１４のはみ出しをｄＷと呼ぶ。

【０２７１】

図２１（Ａ）～図２１（Ｃ）は、図２６に示すトランジスタにおいて、チャネル長Ｌが３μｍ、チャネル幅Ｗが１０μｍである酸化物半導体膜と、厚さ１００ｎｍのゲート絶縁膜を用いたトランジスタの特性である。なお、V_dは１０Ｖとした。

【０２７２】

図２１（Ａ）は基板を意図的に加熱せずにスパッタリング法でＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移

動度は１８．８ｃｍ^2／Ｖｓｅｃが得られている。一方、基板を意図的に加熱してＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図２１（Ｂ）は基板を２００℃に加熱してＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は３２．２ｃｍ^2／Ｖｓｅｃが得られている。

【０２７３】

電界効果移動度は、Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図２１（Ｃ）は、Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜を２００℃でスパッタリング成膜した後、６５０℃で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は３４．５ｃｍ^2／Ｖｓｅｃが得られている。

【０２７４】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを抑制する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には１００ｃｍ^2／Ｖｓｅｃを超える電界効果移動度を実現することも可能になると推定される。

【０２７５】

Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【０２７６】

基板を意図的に加熱して成膜すること及び／又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリーオフ化を図ることにも寄与している。基板を意図的に加熱しないで形成されたＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧は正の方向に動き、このような傾向は図２１（Ａ）と図２１（Ｂ）の対比からも確認することができる。

【０２７７】

なお、しきい値電圧はＩｎ、Ｓｎ及びＺｎの比率を変えることによっても制御することが可能であり、組成比としてＩｎ：Ｓｎ：Ｚｎ＝２：１：３とすることでトランジスタのノーマリーオフ化を期待することができる。また、ターゲットの組成比をＩｎ：Ｓｎ：Ｚｎ＝２：１：３とすることで結晶性の高い酸化物半導体膜を得ることができる。

【０２７８】

成膜時の基板温度若しくは成膜後の熱処理温度は、１５０℃以上、好ましくは２００℃以上、より好ましくは４００℃以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリーオフ化を図ることが可能となる。

【０２７９】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【０２８０】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、酸素を補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、過剰酸素濃度は$1\times10^{16}/cm^3$以上$2\times10^{20}/cm^3$以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【０２８１】

また、成膜後の熱処理によって酸化物半導体の少なくとも一部が結晶化するようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）でハローパタンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば６５０℃の熱処理を行うことで、Ｘ線回折により明確な回折ピークを観測することができる。

【０２８２】

Ｉｎ－Ｓｎ－Ｚｎ－Ｏ膜のＸＲＤ分析の結果を具体的に示す。ＸＲＤ分析には、Ｂｒｕｋｅｒ　ＡＸＳ社製Ｘ線回折装置Ｄ８　ＡＤＶＡＮＣＥを用い、Ｏｕｔ－ｏｆ－Ｐｌａｎｅ法で測定した。

【０２８３】

ＸＲＤ分析を行った試料として、試料Ａおよび試料Ｂを用意した。以下に試料Ａおよび試料Ｂの作製方法を説明する。

【０２８４】

脱水素化処理済みの石英基板上にＩｎ－Ｓｎ－Ｚｎ－Ｏ膜を１００ｎｍの厚さで成膜した。

【０２８５】

Ｉｎ－Ｓｎ－Ｚｎ－Ｏ膜は、スパッタリング装置を用い、酸素雰囲気で電力を１００Ｗ（ＤＣ）として成膜した。ターゲットは、Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１［原子数比］のＩｎ－Ｓｎ－Ｚｎ－Ｏターゲットを用いた。なお、成膜時の基板加熱温度は２００℃とした。このようにして作製した試料を試料Ａとした。

【０２８６】

次に、試料Ａと同様の方法で作製した試料に対し加熱処理を６５０℃の温度で行った。加熱処理は、はじめに窒素雰囲気で１時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに１時間の加熱処理を行っている。このようにして作製した試料を試料Ｂとした。

【０２８７】

図２２に試料Ａおよび試料ＢのＸＲＤスペクトルを示す。試料Ａでは、結晶由来のピークが観測されなかったが、試料Ｂでは、２θが３５ｄｅｇ近傍および３７ｄｅｇ～３８ｄｅｇに結晶由来のピークが観測された。

【０２８８】

このように、Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び／又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【０２８９】

この酸化物半導体成膜時の基板加熱や成膜後の熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリーオフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を１ａＡ／μｍ以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅１μｍあたりの電流値を示す。

【０２９０】

図２３に、トランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に１０００を掛けた数値（１０００

／Ｔ）を横軸としている。

【０２９１】

具体的には、図２３に示すように、基板温度が１２５℃の場合には０．１ａＡ／μｍ（1×10^{-19}Ａ／μｍ）以下、８５℃の場合には１０ｚＡ／μｍ（1×10^{-20}Ａ／μｍ）以下であった。電流値の対数が温度の逆数に比例することから、室温（２７℃）の場合には０．１ｚＡ／μｍ（1×10^{-22}Ａ／μｍ）以下であると予想される。従って、オフ電流を１２５℃において１ａＡ／μｍ（1×10^{-18}Ａ／μｍ）以下に、８５℃において１００ｚＡ／μｍ（1×10^{-19}Ａ／μｍ）以下に、室温において１ｚＡ／μｍ（1×10^{-21}Ａ／μｍ）以下にすることができる。

【０２９２】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点－７０℃以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていていないように、高純度化されたターゲットを用いることが好ましい。Ｉｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、Ｉｎ、Ｇａ、Ｚｎを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【０２９３】

また、酸化物半導体膜成膜後に６５０℃の加熱処理を行った試料Ｂのトランジスタにおいて、測定時の基板温度と電気的特性の関係について評価した。

【０２９４】

測定に用いたトランジスタは、チャネル長Ｌが３μｍ、チャネル幅Ｗが１０μｍ、Ｌｏｖが片側３μｍ（合計６μｍ）、ｄＷが０μｍである。なお、V_{ds}は１０Ｖとした。なお、基板温度は－４０℃、－２５℃、２５℃、７５℃、１２５℃および１５０℃で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畳する幅をＬｏｖと呼び、酸化物半導体膜に対する一対の電極のはみ出しをｄＷと呼ぶ。

【０２９５】

図２４に、I_{ds}（実線）および電界効果移動度（点線）のV_{gs}依存性に対する、基板温度の影響を示す。また、図２５（Ａ）に基板温度としきい値電圧の関係を、図２５（Ｂ）に基板温度と電界効果移動度の関係を示す。

【０２９６】

図２５（Ａ）より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は－４０℃～１５０℃で１．０９Ｖ～－０．２３Ｖであった。

【０２９７】

また、図２５（Ｂ）より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は－４０℃～１５０℃で３６ｃm^2／Ｖｓ～３２ｃm^2／Ｖｓであった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【０２９８】

上記のようなＩｎ、Ｓｎ、Ｚｎを主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を１ａＡ／μｍ以下に保ちつつ、電界効果移動度を３０ｃm^2／Ｖｓｅｃ以上、好ましくは４０ｃm^2／Ｖｓｅｃ以上、より好ましくは６０ｃm^2／Ｖｓｅｃ以上とし、ＬＳＩで要求されるオン電流の値を満たすことができる。例えば、Ｌ／Ｗ＝３３ｎｍ／４０ｎｍのＦＥＴで、ゲート電圧２．７Ｖ、ドレイン電圧１．０Ｖのとき１２μＡ以上のオン電流を流すことができる。

【０２９９】

このようにオフ電流の低いトランジスタを、先の実施の形態で示したプログラマブルスイッチのメモリ部に用いることにより、電源電位の供給が遮断されたときでもコンフィギュレーションデータを保持することが可能となる。これにより、電源投入後のコンフィギュレーションデータの書き込みを省略することが可能となるので、論理ブロックの起動時

間を短くすることができる。よって、ノーマリーオフの駆動方法を用いて、低消費電力化を図ることができるプログラマブルロジックデバイスを提供することができる。

【０３００】

　また、このように移動度の高いトランジスタを、先の実施の形態で示したプログラマブルスイッチのメモリ部に用いることにより、コンフィギュレーションデータの書き込みを高速でおこなうことができるので、動的コンフィギュレーションを容易に行うことができるプログラマブルロジックデバイスを提供することができる。

【０３０１】

　また、このような特性であれば、Ｓｉ半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることのないプログラマブルロジックデバイスを提供することができる。

【０３０２】

（実施の形態５）

　本発明の一態様に係るプログラマブルロジックデバイスを用いることで、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い半導体装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

【０３０３】

　本発明の一態様に係るプログラマブルロジックデバイスを用いた半導体装置は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはＤＶＤ：Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。

【０３０４】

　本発明の一態様に係るプログラマブルロジックデバイスを用いた半導体装置を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

【０３０５】

　図１０は、携帯用の電子機器のブロック図である。図１０に示す携帯用の電子機器はＲＦ回路４２１、アナログベースバンド回路４２２、デジタルベースバンド回路４２３、バッテリー４２４、電源回路４２５、アプリケーションプロセッサ４２６、フラッシュメモリ４３０、ディスプレイコントローラ４３１、メモリ回路４３２、ディスプレイ４３３、タッチセンサ４３９、音声回路４３７、キーボード４３８などより構成されている。ディスプレイ４３３は表示部４３４、ソースドライバ４３５、ゲートドライバ４３６によって構成されている。アプリケーションプロセッサ４２６はＣＰＵ４２７、ＤＳＰ４２８、インターフェース４２９を有している。例えば、ＣＰＵ４２７、デジタルベースバンド回路４２３、メモリ回路４３２、ＤＳＰ４２８、インターフェース４２９、ディスプレイコントローラ４３１、音声回路４３７のいずれかまたは全てに上記実施の形態で示したプログラマブルロジックデバイスを採用することによって、消費電力を低減することができる。

【０３０６】

　図１１は電子書籍のブロック図である。電子書籍はバッテリー４５１、電源回路４５２、マイクロプロセッサ４５３、フラッシュメモリ４５４、音声回路４５５、キーボード４５６、メモリ回路４５７、タッチパネル４５８、ディスプレイ４５９、ディスプレイコントローラ４６０によって構成される。マイクロプロセッサ４５３はＣＰＵ４６１、ＤＳＰ４６２、インターフェース４６３を有している。例えば、ＣＰＵ４６１、音声回路４５５、メモリ回路４５７、ディスプレイコントローラ４６０、ＤＳＰ４６２、インターフェー

ス４６３のいずれかまたは全てに上記実施の形態で示したプログラマブルロジックデバイスを採用することで、消費電力を低減することが可能になる。

【０３０７】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【０３０８】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【符号の説明】

【０３０９】

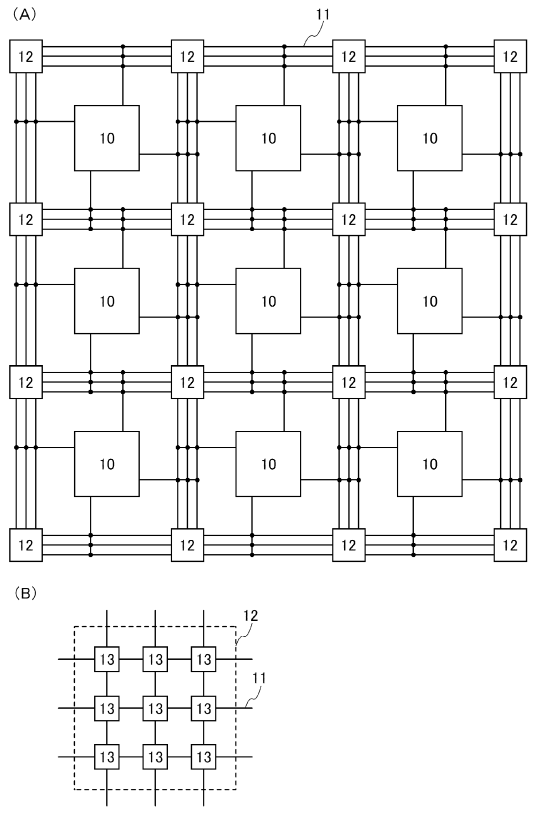
１０　論理ブロック
１１　配線
１１ａ　配線
１１ｂ　配線
１１ｃ　配線
１１ｄ　配線
１２　スイッチマトリックス
１３　配線選択回路
１４　第１の駆動回路
１５　第２の駆動回路
１６　第１の配線
１７　第２の配線
３０　プログラマブルスイッチ
３０ａ　プログラマブルスイッチ
３０ｂ　プログラマブルスイッチ
３０ｃ　プログラマブルスイッチ
３０ｄ　プログラマブルスイッチ
３０ｅ　プログラマブルスイッチ
３０ｆ　プログラマブルスイッチ
３２　メモリ部
３４　スイッチ部
４０　トランジスタ
１１１ａ　配線
１１１ｂ　配線
１１１ｃ　配線
１１１ｄ　配線
１１０　トランジスタ
１１０ａ　トランジスタ
１１０ｂ　トランジスタ
１１０ｃ　トランジスタ
１１０ｄ　トランジスタ
１１０ｅ　トランジスタ
１１０ｆ　トランジスタ
１１２　トランジスタ
１１２ａ　トランジスタ
１１２ｂ　トランジスタ
１１２ｃ　トランジスタ
１１２ｄ　トランジスタ
１１２ｅ　トランジスタ
１１２ｆ　トランジスタ
１１３ａ　電極

１１３ｂ　電極
１１３ｃ　電極
１１３ｄ　電極
１１３ｅ　電極
１１３ｆ　電極
１１４ａ　電極
１１４ｂ　電極
１１４ｃ　電極
１１４ｄ　電極
１１４ｅ　電極
１１４ｆ　電極
１１６　容量素子
１１８　バッファ
１２０　インバータ
１３０　トランジスタ
１３４　トランスミッションゲート
１３６　容量素子
１４４　インバータ
１４６　バッファ
１５０　トランジスタ
１５２　トランジスタ
１５４　トランスミッションゲート
１５６　容量素子
１５８　容量素子
１６０　容量素子
２０１　半導体基板
２０３　素子分離領域
２０７　ゲート絶縁膜
２０９　ゲート電極
２１１ａ　不純物領域
２１１ｂ　不純物領域
２１５　絶縁膜
２１７　絶縁膜
２１９ａ　コンタクトプラグ
２１９ｂ　コンタクトプラグ
２２１　絶縁膜
２２３ａ　配線
２２３ｂ　配線
２２５　絶縁膜
２２７　酸化物半導体膜
２２９　酸化物半導体膜
２３１　絶縁膜
２３３　ゲート電極
２３５　酸化物半導体膜
２３５ａ　領域
２３５ｂ　領域
２３５ｃ　領域
２３７　サイドウォール絶縁膜
２３９　ゲート絶縁膜
２４１ａ　電極

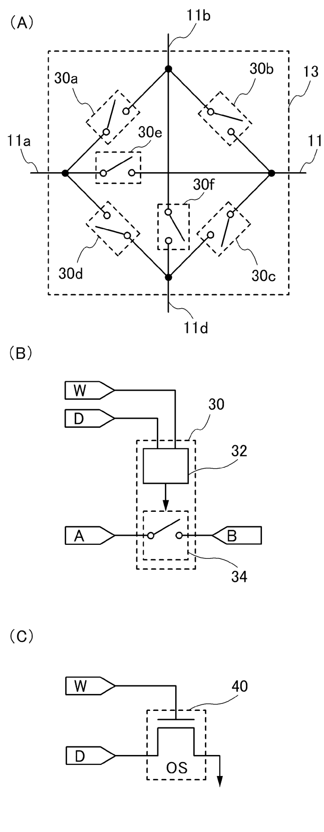
２４１ｂ　電極
２４３　絶縁膜
２４５　絶縁膜
２４９　配線
２５０　配線
４２１　ＲＦ回路
４２２　アナログベースバンド回路
４２３　デジタルベースバンド回路
４２４　バッテリー
４２５　電源回路
４２６　アプリケーションプロセッサ
４２７　ＣＰＵ
４２８　ＤＳＰ
４２９　インターフェース
４３０　フラッシュメモリ
４３１　ディスプレイコントローラ
４３２　メモリ回路
４３３　ディスプレイ
４３４　表示部
４３５　ソースドライバ
４３６　ゲートドライバ
４３７　音声回路
４３８　キーボード
４３９　タッチセンサ
４５１　バッテリー
４５２　電源回路
４５３　マイクロプロセッサ
４５４　フラッシュメモリ
４５５　音声回路
４５６　キーボード
４５７　メモリ回路
４５８　タッチパネル
４５９　ディスプレイ
４６０　ディスプレイコントローラ
４６１　ＣＰＵ
４６２　ＤＳＰ
４６３　インターフェース
６００　基板
６０２　下地絶縁膜
６０６　酸化物半導体膜
６０８　ゲート絶縁膜
６１０　ゲート電極
６１４　電極
６１６　層間絶縁膜
６１８　配線
６２０　保護膜
１１０１　下地絶縁膜
１１０２　埋め込み絶縁物
１１０３ａ　第１の領域
１１０３ｂ　第２の領域

１１０３ｃ　　第２の領域
１１０４　　ゲート絶縁膜
１１０５　　ゲート電極
１１０６ａ　　サイドウォール絶縁膜
１１０６ｂ　　サイドウォール絶縁膜
１１０７　　絶縁物
１１０８ａ　　ソース電極
１１０８ｂ　　ドレイン電極

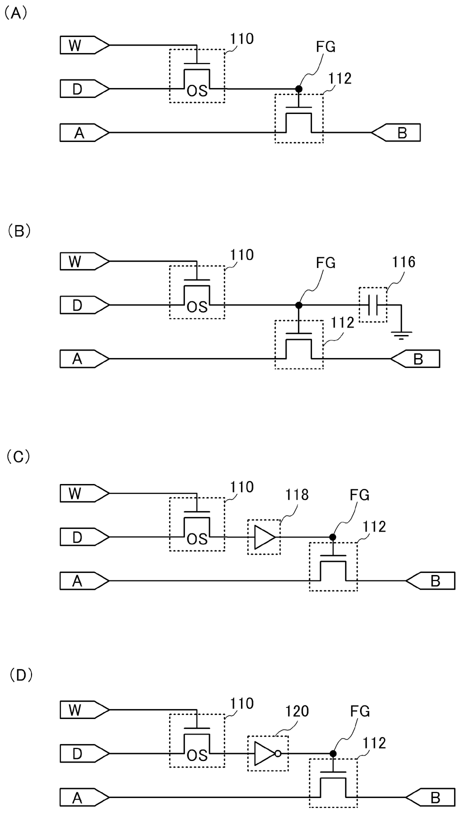
【図１】



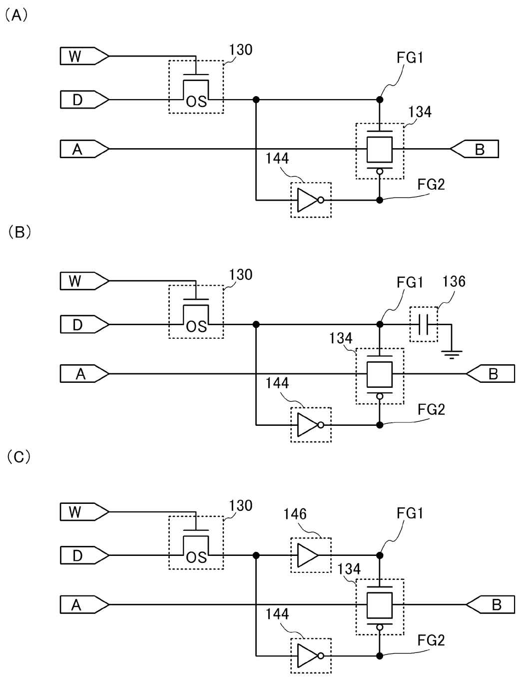
【図２】



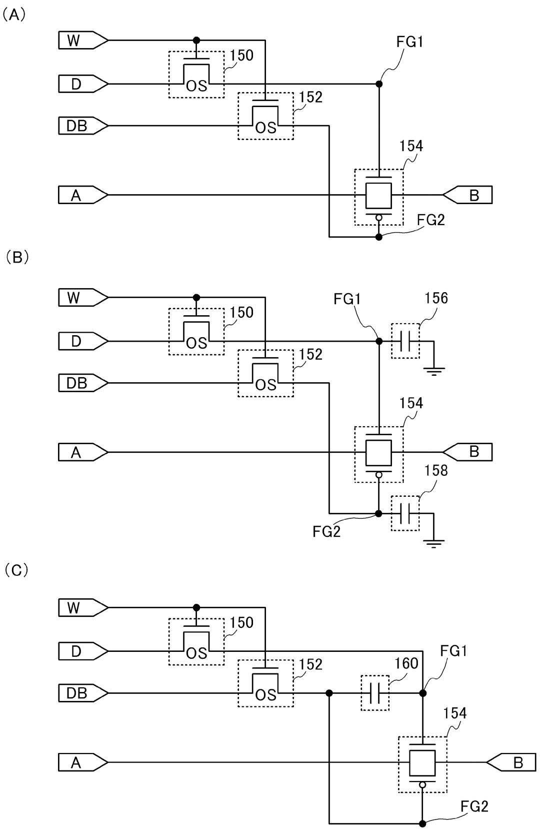
【図３】


(A)
W
D
A
B
110
OS
FG
112
(B)
116
(C)
118
(D)
120

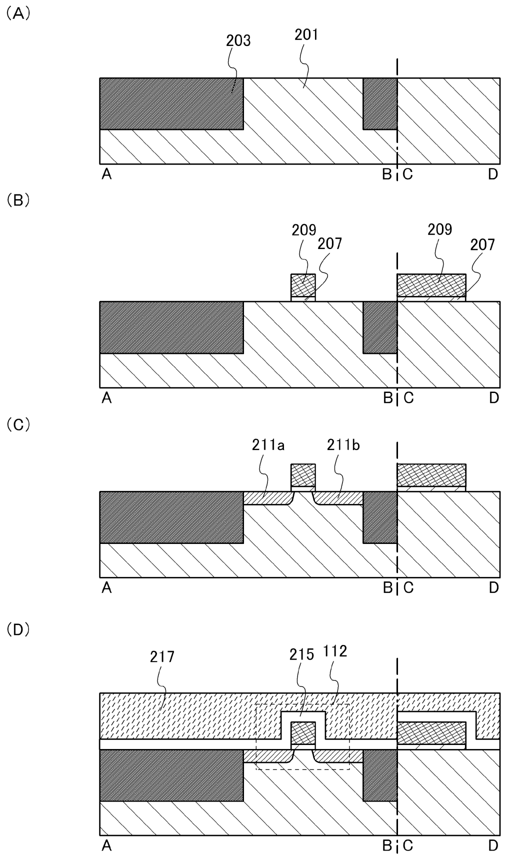
【図４】


(A)
W
D
A
B
130
OS
FG1
134
144
FG2
(B)
136
(C)
146

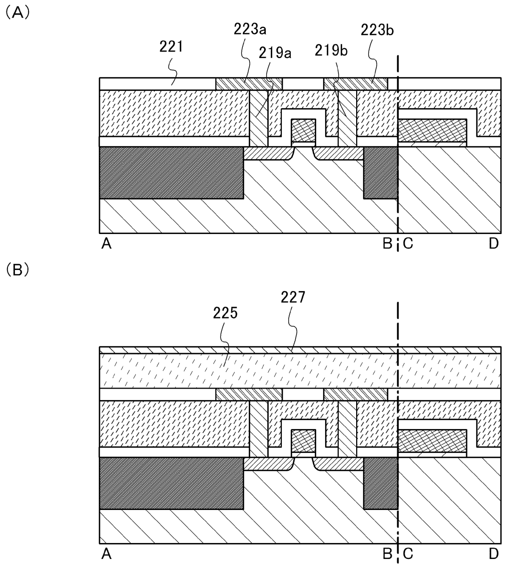
【図５】


(A)
W
D
DB
A
B
150
OS
152
FG1
154
FG2
(B)
156
158
(C)
160

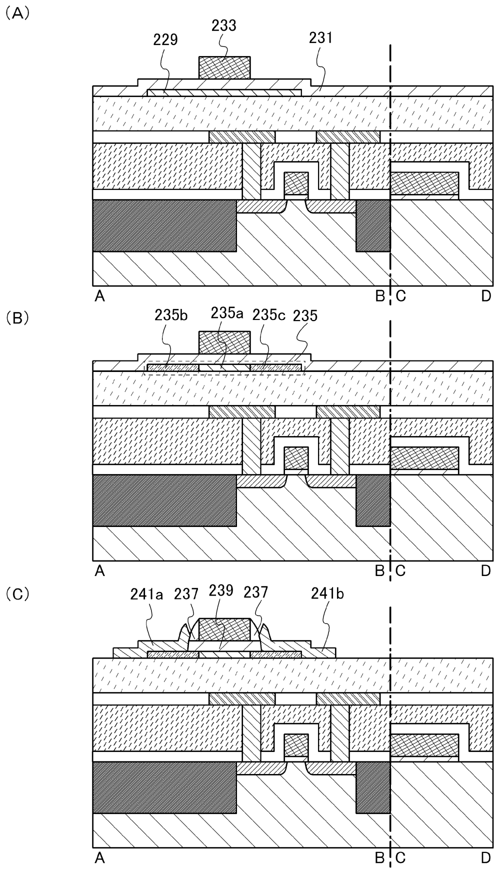
【図６】


(A)
203
201
A
B
C
D
(B)
209
207
(C)
211a
211b
(D)
217
215
112

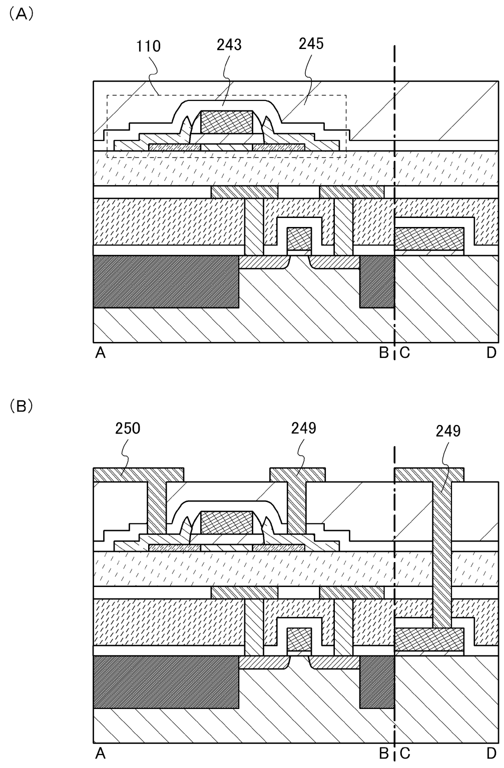
【図７】


(A)
221
223a
219a
219b
223b
A
B
C
D
(B)
225
227
A
B
C
D

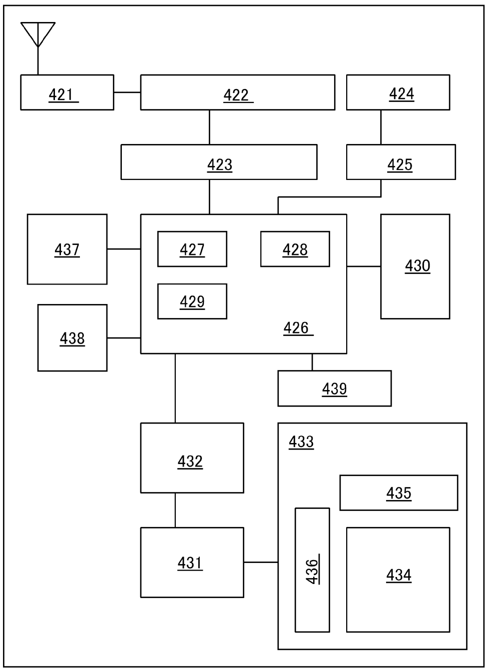
【図８】


(A)
229
233
231
A
B
C
D
(B)
235b
235a
235c
235
A
B
C
D
(C)
241a
237
239
237
241b
A
B
C
D

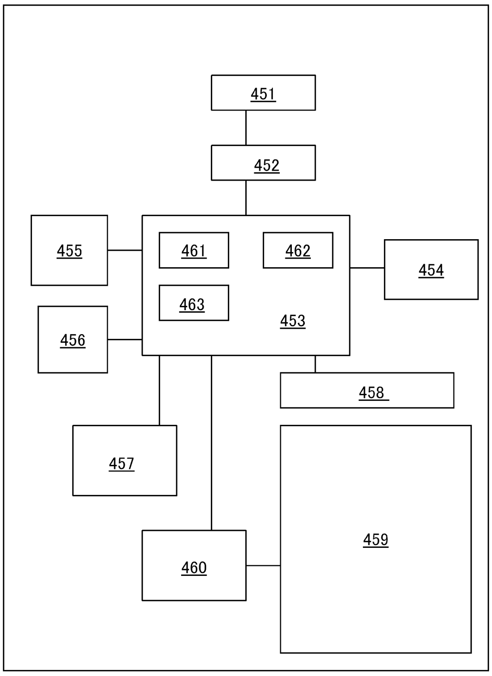
【図９】


(A)
110
243
245
A
B
C
D
(B)
250
249
249
A
B
C
D

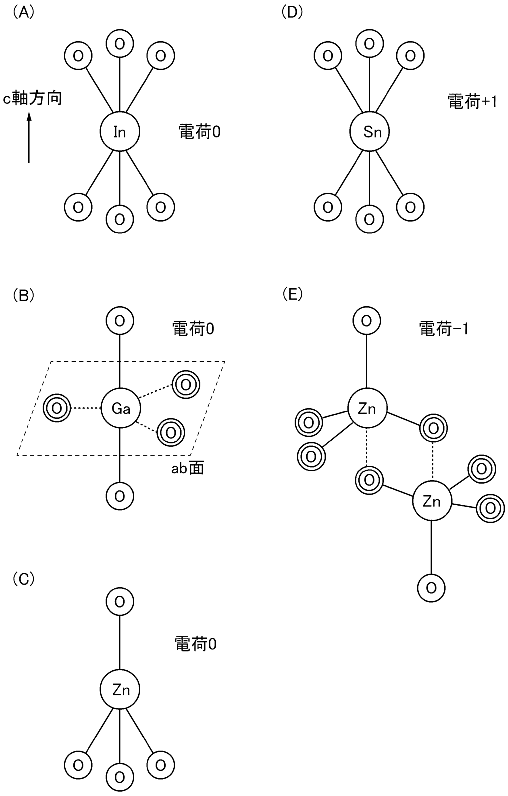
【図１０】


421
422
424
423
425
437
427
428
430
429
426
438
439
432
433
435
436
434
431

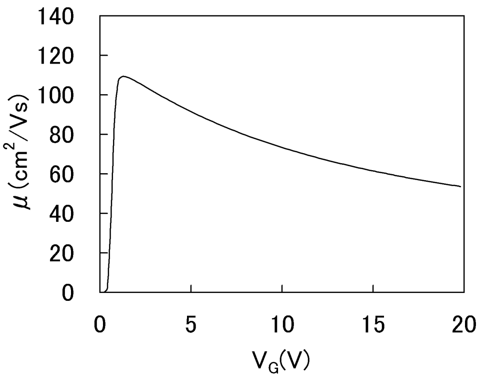
【図１１】



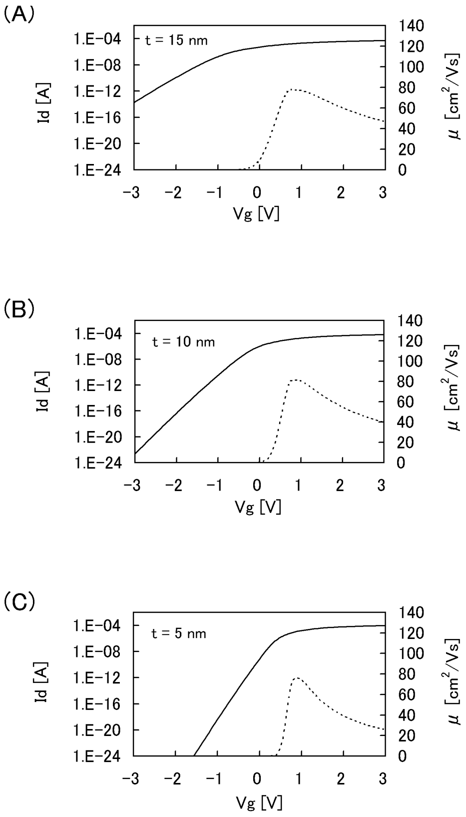
【図１２】



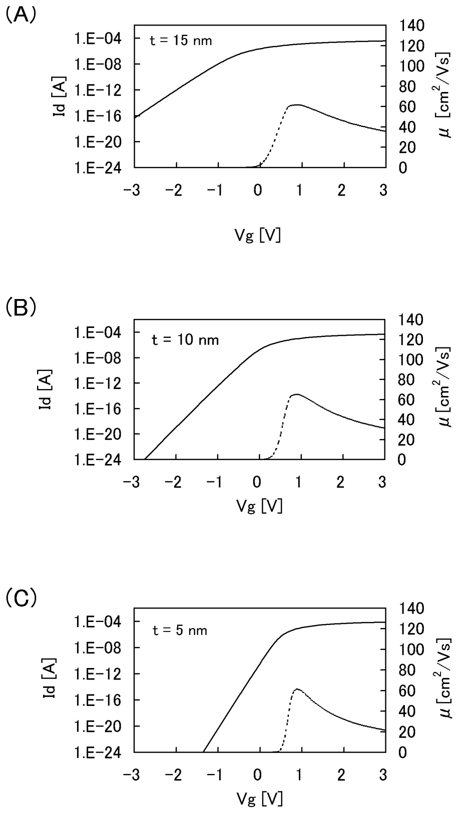
【図１６】



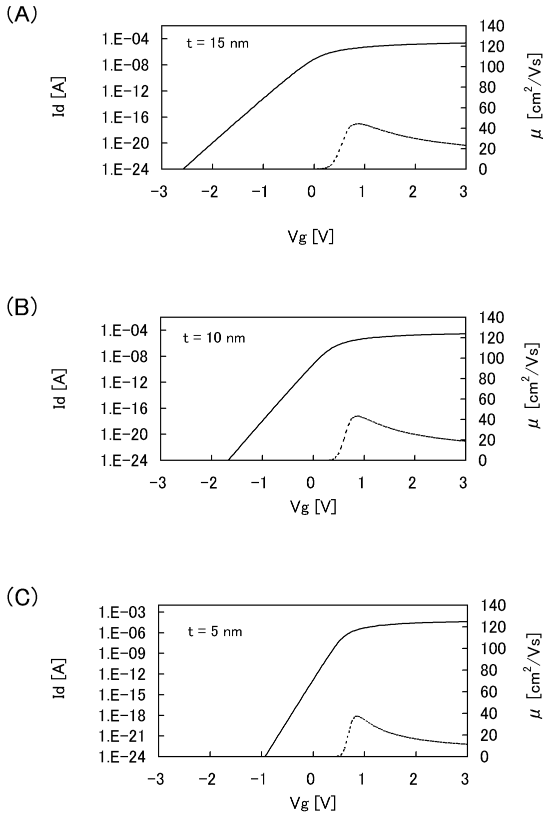
【図１７】



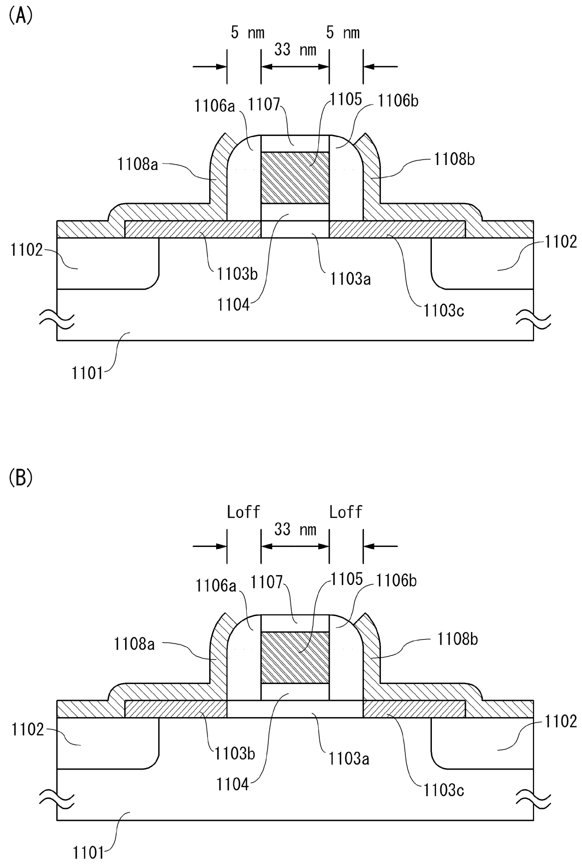
【図１８】



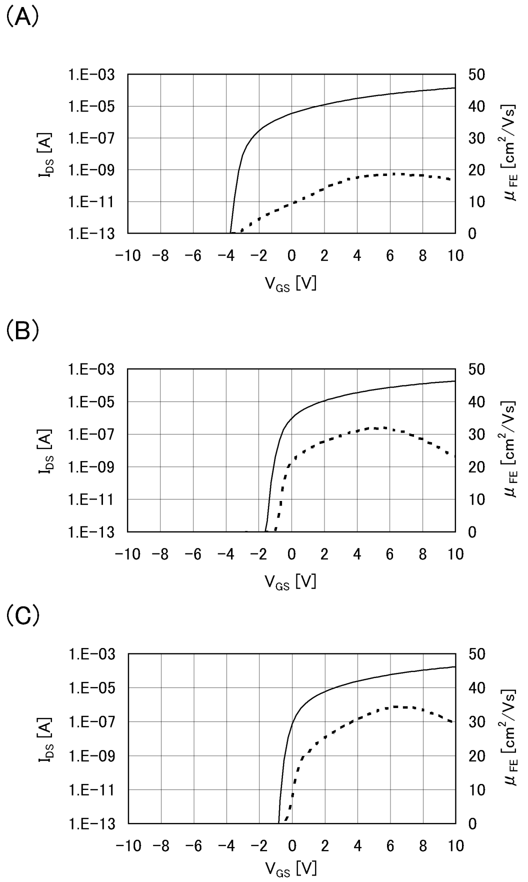
【図１９】



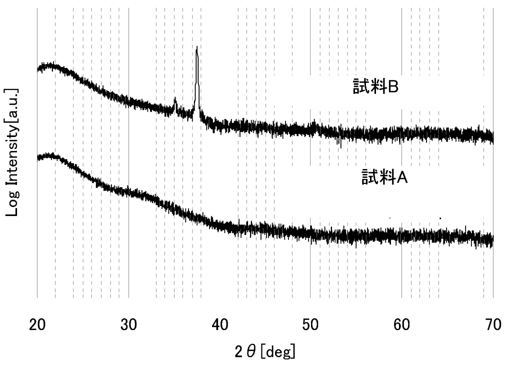
【図２０】



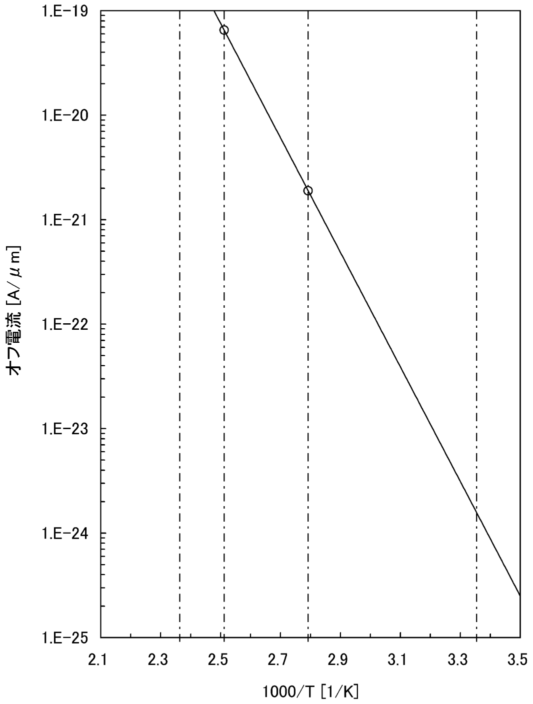
【図２１】



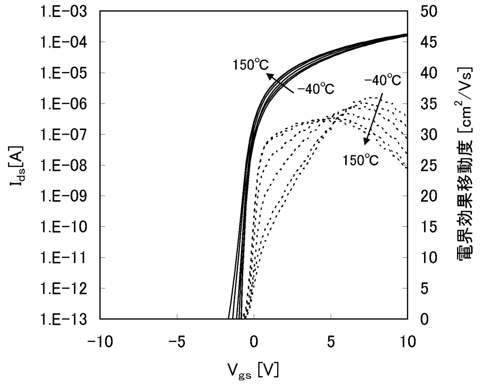
【図２２】



【図２３】

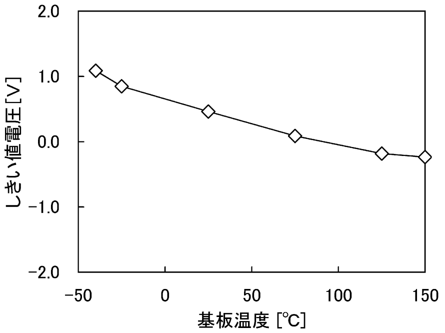


【図２４】

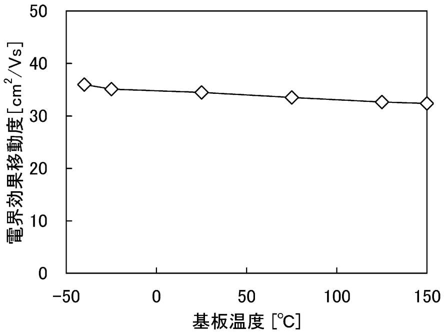


【図２５】

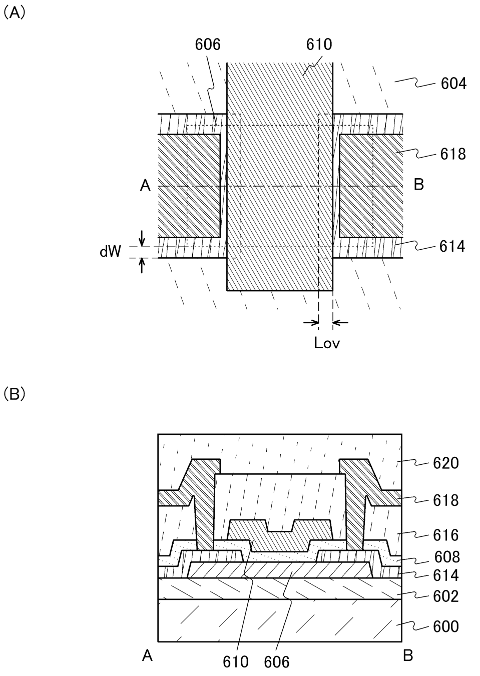
(A)



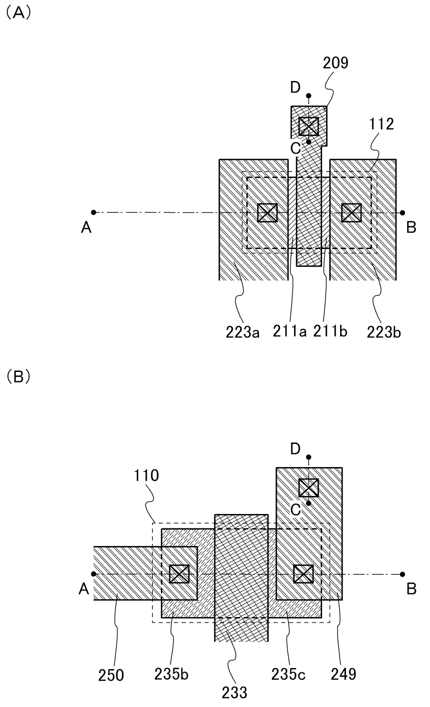
(B)



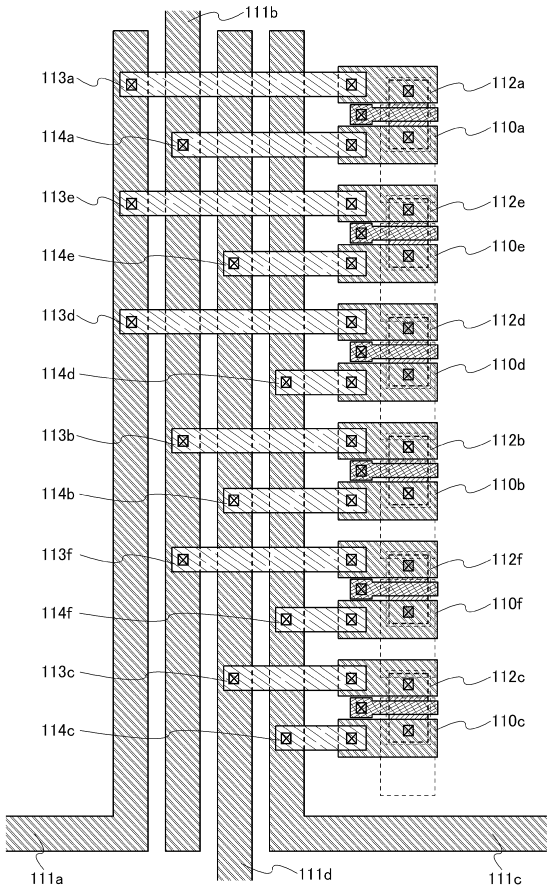
【図２６】



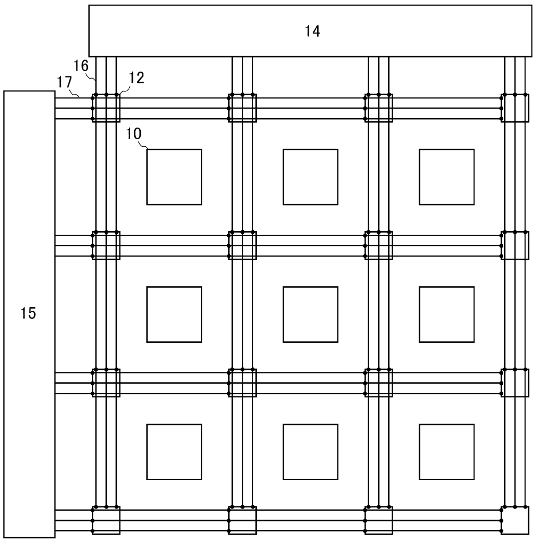
【図２７】



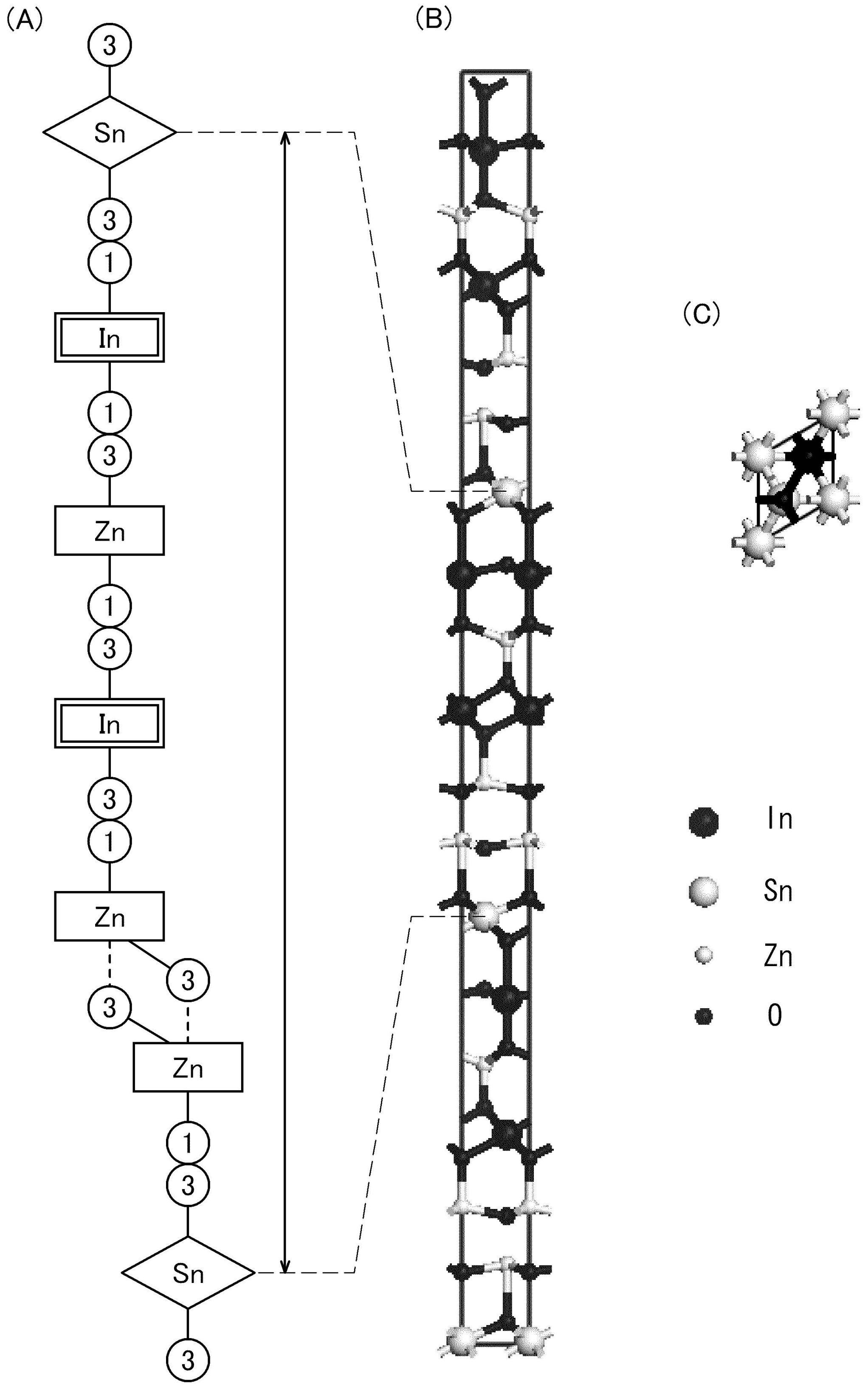
【図２８】



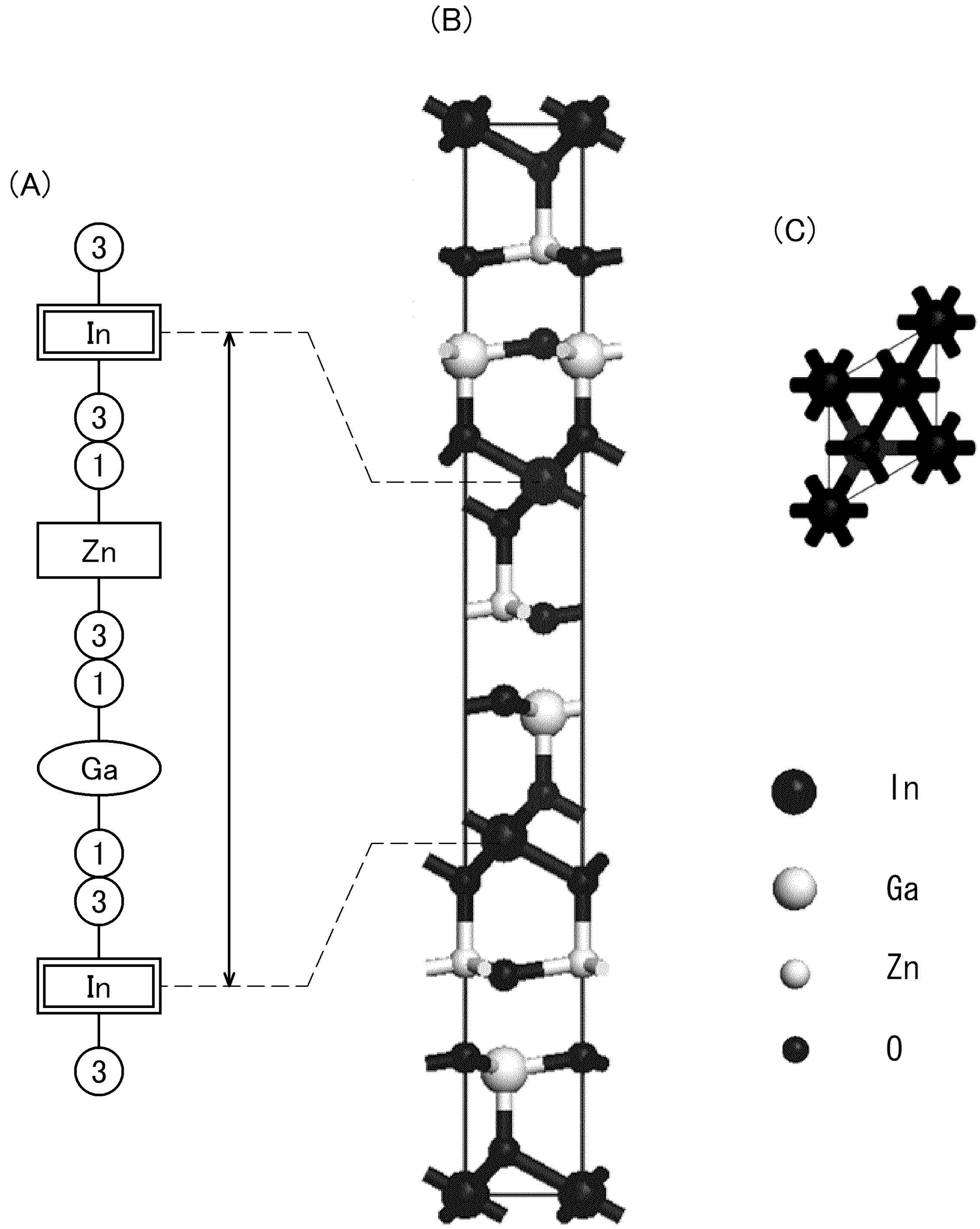
【図２９】



【図１３】

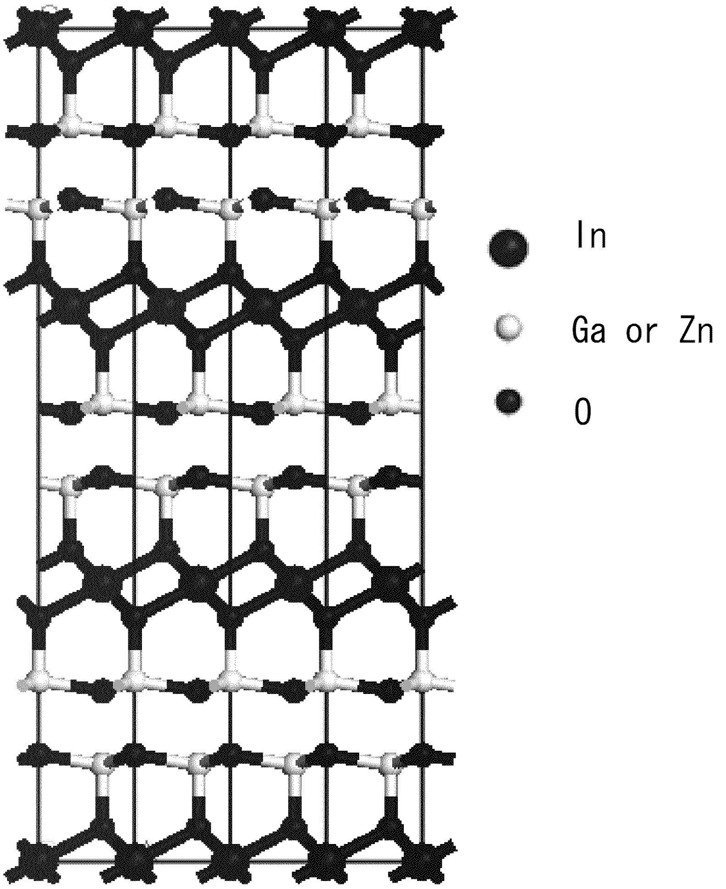


【図１４】

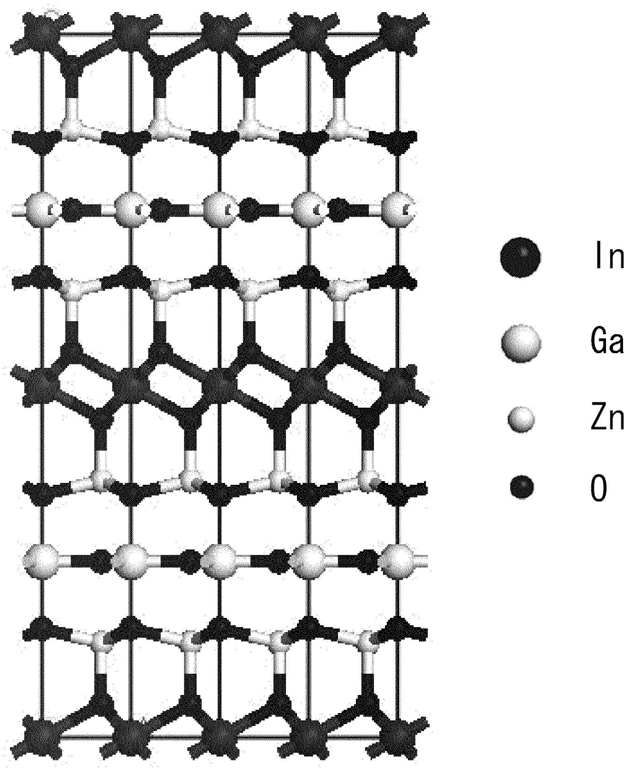


【図１５】

(A)



(B)



フロントページの続き

(56)参考文献　特開２００６－３１３９９９（ＪＰ，Ａ）
特開２０１０－１７１３９４（ＪＰ，Ａ）
特開２００９－１３５３５０（ＪＰ，Ａ）
国際公開第００／０７０６８２（WO，Ａ１）
特開２０１２－１５１４５３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｋ１９／１７３～１９／１７７