

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利说明书

H01L 31/0352 (2006.01)

H01L 27/146 (2006.01)

H01L 31/105 (2006.01)

专利号 ZL 200480024727.8

[45] 授权公告日 2009年8月26日

[11] 授权公告号 CN 100533775C

[22] 申请日 2004.6.22

[21] 申请号 200480024727.8

[30] 优先权

[32] 2003.6.25 [33] US [31] 10/606,053

[86] 国际申请 PCT/US2004/020835 2004.6.22

[87] 国际公布 WO2005/001941 英 2005.1.6

[85] 进入国家阶段日期 2006.2.27

[73] 专利权人 森米科公司

地址 美国加利福尼亚州

[72] 发明人 A·O·古什查 C·希克斯

R·A·梅茨勒 M·卡拉特斯基

E·巴特利 D·图尔博尔

[56] 参考文献

US5072312A 1991.12.10

US5283460A 1994.2.1

US5075748A 1991.12.24

US5538564A 1996.7.23

审查员 赵敏

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 肖春京 黄力行

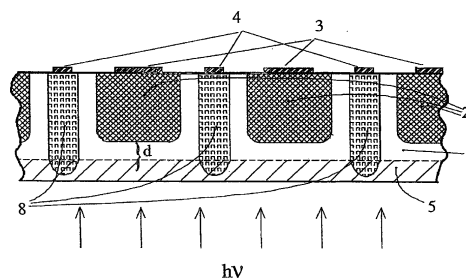
权利要求书5页 说明书9页 附图9页

[54] 发明名称

超薄背发光光电二极管阵列结构及制造方法

[57] 摘要

超薄背发光光电二极管阵列和制造方法。光电二极管阵列是具有第一导电型基底的背发光光电二极管阵列，所述基底具有第一和第二表面，所述第二表面具有一第一导电型层，所述第一导电型层具有比所述基底大的电导率。所述阵列还具有第一导电型区域的矩阵，所述区域具有比所述基底大的电导率，该区域的矩阵从基底的第一表面延伸到所述具有比基底大的电导率的第一导电型层；多个散布在第一导电型区域的矩阵内的第二导电型区域，该第二导电型区域没有延伸至基底第二表面上的第一导电型层；以及多个第一表面上的触点，用于电连接至所述第一导电型区域的矩阵和所述多个第二导电型的区域。



1. 一种背发光光电二极管阵列，其包括：

第一导电型的基底，其具有第一和第二表面；

所述第二表面具有导电率大于所述基底的第一导电型层；

导电率高于所述基底的第一导电型区域的矩阵，从所述基底的所述第一表面延伸至导电率大于所述基底的所述第一导电型层；

第二导电型的多个区域，散布在所述第一导电型的区域矩阵内部，但没有延伸至在所述基底第二表面上的所述第一导电型层；  
和

在第一表面上的多个触点，用于实现与所述第一导电型区域的矩阵和第二导电型的多个区域电连接。

2. 依据权利要求1的光电二极管阵列，其中所述第二导电型的多个区域与所述基底的第二表面隔离开一定量，且在零偏压下基底的耗尽区域接近、但没有达到基底的第二表面。

3. 依据权利要求1的光电二极管阵列，其中所述第二导电型的多个区域与所述基底的第二表面隔离开  $9\mu\text{m}$ 。

4. 依据权利要求2的光电二极管阵列，其中所述基底是n型硅基底，具有400欧姆/cm的电阻率。

5. 依据权利要求1的光电二极管阵列，其中所述多个触点是多个球栅触点。

6. 依据权利要求5的光电二极管阵列，其中所述多个触点大小相等、均匀分布在光电二极管阵列上。

7. 依据权利要求1的光电二极管阵列，其中第一导电型区域的矩阵包括限定X-Y矩阵方形区域的矩形矩阵，各个方形区域包含第二导电型的多个区域中相应的一个。

8. 依据权利要求7的光电二极管阵列，其中形成第一导电型区域的矩阵和第二导电型的多个区域的掺杂重叠。

9. 依据权利要求1的光电二极管阵列，其中所述基底具有小于  $50\mu\text{m}$  的厚度。

10. 依据权利要求1的光电二极管阵列，其中所述基底具有  $30\mu\text{m}$  的厚度。

11. 依据权利要求1的光电二极管阵列，其中所述基底是硅基

底。

12. 一种背发光光电二极管阵列，其包括：

第一导电型的基底，其具有第一和第二表面且具有小于  $50\mu\text{m}$  的厚度；

所述第二表面具有导电率大于所述基底的第一导电型层；

矩形的导电率高于所述基底的第一导电型区域的矩阵，从所述基底的所述第一表面延伸至在所述基底第二表面上的所述第一导电型层，矩形矩阵限定 X-Y 矩阵的矩形区域；

第二导电型的多个区域，散布在所述第一导电型的区域的矩阵内部，各个第二导电型的区域在各自的方形区域内，所述方形区域由矩形的第一导电型区域的矩阵所限定；和

在第一表面上的多个触点，用于实现与第一导电型区域的矩阵和第二导电型的多个区域电连接。

13. 依据权利要求 12 的光电二极管阵列，其中所述第二导电型的多个区域与所述基底的第二表面隔离开一定量，且在零偏压下基底的耗尽区域接近、但没有达到基底的第二表面。

14. 依据权利要求 13 的光电二极管阵列，其中所述第二导电型的多个区域与所述基底的第二表面隔离开  $9\mu\text{m}$ 。

15. 依据权利要求 13 的光电二极管阵列，其中所述基底是 n 型硅基底，具有  $400\text{ 欧姆/cm}$  的电阻率。

16. 依据权利要求 12 的光电二极管阵列，其中所述多个触点是多个球栅触点。

17. 依据权利要求 16 的光电二极管阵列，其中所述多个触点大小相等、均匀分布在光电二极管阵列上。

18. 依据权利要求 12 的光电二极管阵列，其中形成第一导电型区域的矩阵和第二导电型的多个区域的掺杂重叠。

19. 依据权利要求 12 的光电二极管阵列，其中所述基底具有  $30\mu\text{m}$  的厚度。

20. 依据权利要求 12 的光电二极管阵列，其中所述基底是硅基底。

21. 一种制造光电二极管阵列的方法，其包括：

提供具有第一和第二表面的半导体基底；

提供第一区域,所述第一区域呈导电率大于所述基底的第一导电型区域的矩阵的形式,包括高温扩散,所述第一区域从第一表面延伸入所述基底;

提供散布在第一导电型区域的矩阵内的第二导电型的多个区域,包括另外的高温扩散,所述第二区域以短于第一区域的距离从第一表面延伸入所述基底;

从第二表面磨光所述基底,以减少所述基底的厚度并在所述基底的第二表面上提供第一导电型的层,该第一导电型的层接触第一导电型区域的矩阵并且具有大于所述基底的导电率;和,

在第一表面上提供为呈第一导电型区域的矩阵形式的第一区域和第二导电型的多个区域多个电触点。

22. 依据权利要求 21 的方法,其中所述基底被磨光至一厚度,所述厚度将第二导电型的多个区域与基底的第二表面隔开一定量,且在零偏压下基底的耗尽区域接近、但没有达到基底的第二表面。

23. 依据权利要求 21 的光电二极管阵列,其中所述第二导电型的多个区域与所述基底的第二表面隔开  $9\mu\text{m}$ 。

24. 依据权利要求 22 的方法,其中提供的所述基底是 n 型硅基底,其具有  $400\text{ 欧姆/cm}$  的电阻率。

25. 依据权利要求 21 的方法,其中所述多个触点是多个球栅触点。

26. 依据权利要求 25 的方法,其中所述多个触点大小相等、均匀分布在光电二极管阵列上。

27. 依据权利要求 21 的方法,其中基底被磨光至小于  $50\mu\text{m}$  的厚度。

28. 依据权利要求 21 的方法,其中基底被磨光至  $30\mu\text{m}$  的厚度。

29. 一种制造光电二极管阵列的方法,其包括:

提供具有第一和第二表面的硅基底;

提供第一区域,所述第一区域呈导电率大于所述基底的第一导电型的区域矩阵的形式,包含高温扩散,所述第一区域从第一表面延伸入所述基底;

提供散布在第一导电型区域的矩阵内的第二导电型的多个区域，包括另外的高温扩散，所述第二区域以短于第一区域的距离从第一表面延伸入所述基底；

提供第一区域的额外掺杂，包括另一高温扩散；

从第二表面磨光所述基底，以减小所述基底的厚度至小于 50  $\mu\text{m}$  并在所述基底的第二表面上提供第一导电型的层，该第一导电型的层接触第一导电型区域的矩阵并且具有大于所述基底的导电率；

在所述基底的第二表面上提供具有比所述基底大的电导率的第一导电型层；和，

在第一表面上为呈第一导电型区域的矩阵形式的第一区域和第二导电型的多个区域提供多个电触点。

30. 依据权利要求 29 的方法，其中通过注入提供第一导电型层，所述第一导电型层具有大于基底的第二表面上基底的电导率。

31. 依据权利要求 29 的方法，其中所述基底被磨光至一厚度，所述厚度将第二导电型的多个区域与基底的第二表面隔开一定量，且在零偏压下基底的耗尽区域接近、但没有达到基底的第二表面。

32. 依据权利要求 29 的光电二极管阵列，其中所述第二导电型的多个区域与所述基底的第二表面隔开 9  $\mu\text{m}$ 。

33. 依据权利要求 32 的方法，其中提供的所述基底是 n 型硅基底，其具有 400 欧姆/cm 的电阻率。

34. 依据权利要求 29 的方法，其中所述多个触点是多个球栅触点。

35. 依据权利要求 34 的方法，其中所述多个触点大小相等、均匀分布在光电二极管阵列上。

36. 依据权利要求 29 的方法，其中基底被磨光至 30  $\mu\text{m}$  的厚度。

37. 一种制造光电二极管阵列的方法，其包括：

提供第一导电型的半导体基底；

在所述半导体基底的第一表面上形成半导体器件，包括形成深度扩散区，所述深度扩散是通过形成比半导体器件的扩散更深的

扩散而形成的和从第二表面研磨所述半导体基底以降低该半导体基底的厚度；和

在所述基底的第二表面上形成与所述深度扩散区相同导电型的覆盖区域，所述覆盖区域接触所述深度扩散区。

38. 依据权利要求 37 的方法，其中通过形成比半导体器件的扩散区深的扩散区来形成接触所述覆盖区域的深度扩散区，以及在形成覆盖区域之前从第二表面磨光所述基底以减少基底的厚度。

## 超薄背发光光电二极管阵列结构及制造方法

## 技术领域

本发明涉及一种半导体光电二极管，尤其是涉及高性能、背发光光电二极管阵列的结构及制造这种结构的方法。

## 背景技术

常规光电二极管阵列结构是基于前发光或背发光技术的。图 1a 是一示范性现有技术前发光光电二极管阵列的简化横截面，以及图 1b 是一示范性现有技术背发光光电二极管阵列的简化横截面。基底 1 可是 n 型或 p 型材料，其内具有相反导电型扩散区域 2。这分别产生 p-on-n 或 n-on-p 结构。用于 p-on-n 结构的阳极金属垫 3（用于 n-on-p 结构的阴极触点）总是在器件前表面上。相反极性电极在前发光结构的情况中通常沉积（电镀、喷溅或蒸发）在芯片背面（参见金属层 4，图 1a），或者在背发光结构的情况中使用金属化通路 6、7 在器件前表面上制造（参见金属层 4，图 1b）。与基底的相同导电型的模片后表面的覆盖型（blanket）注入区 5 提高了器件的电荷集聚效率和 DC/AC 电性能。

两种方案（前发光和背发光结构）中的每个具有它自身的优点和缺点。例如，类似图 1a 中所示的传统前发光结构允许构造高性能的光电二极管和光电二极管阵列，但是对金属延伸宽度有严格约束。那些约束将前发光光电二极管阵列结构限制于有较小数量部件或毗邻部件之间有较大间隙的应用。注意，金属应当在毗邻扩散区域 2 之间延伸（参见图 1a）。

近来由几个公司报道的背发光结构利用了焊料凸块技术，使用所述结构的前表面上的触点（凸块）将所述阵列部件电连接至外部基底或印刷电路板。使用焊料凸块技术，通常置于毗邻部件开口之间活动表面上面的金属互连件，可被移动至安装芯片的基底或 PC 板。这样一种方案可以使所述阵列部件之间间隙最小化，同时可以实质上不限定的部件总数。然而，前面报道的背发光结构的缺陷限制了它们的应用：

1) 第一，通常使用相当厚的晶片（ $>50 \mu\text{m}$ ）制造这些结构，并且材料的电阻率必须是足够高的（ $>1000 \text{ 欧姆/cm}$ ）以在零偏压下耗尽整个体积，这是许多应用所要求的；

2) 第二, 高电阻率材料的应用通常降低了光电二极管在漏电流和分流电阻方面的性能;

3) 第三, 如果不使用高电阻率材料, 因时间响应由全耗尽结构的扩散过程而不是偏移过程来确定, 则时间响应将是非常长(微秒或甚至更长);

4) 第四, 具有很少和没有在所述器件的整个厚度内使毗邻单元互相之间绝缘的结构特征, 这导致相当高的串扰, 尤其在零偏压下更是如此。

总之, 譬如漏电流、分流电阻、串扰、光谱灵敏度和暂时响应属于背发光结构的现有技术主要涉及的问题。另外, 在晶片制造过程中薄晶片( $<50\mu\text{m}$ )的处理本身也是受到极大关注的问题, 并且随晶片厚度进一步减少将变得日益重要。

#### 发明内容

本发明的目的包括:

1) 提供一种所有部件具有较高性能的多部件、背面发光的2维光电二极管阵列;

2) 提供一种在超薄晶片上制造背面发光光电二极管阵列的方法。

因此, 本发明的目的是提供一种硅多部件、2维光电二极管阵列的结构, 其具有对现有技术阵列极大改进的特征, 使其用于譬如CT扫描装置等装置中。

另一目的是提供一种在超薄晶片上制造Si器件的方法, 所述方法适用于倒装芯片、多部件硅光电二极管的2维阵列的制造。

根据下面的公开, 本发明的这些和其它目的将变得显而易见。在这个公开中, 将说明抛光的二极管阵列的第一具体实施例, 然后将说明制造所述阵列的具体方法。

一种背发光光电二极管阵列, 其包括:

第一导电型的基底, 其具有第一和第二表面;

所述第二表面具有导电率大于所述基底的第一导电型层;

导电率高于所述基底的第一导电型区域的矩阵, 从所述基底的所述第一表面延伸至导电率大于所述基底的所述第一导电型层;

第二导电型的多个区域, 散布在所述第一导电型的区域矩阵内部, 但没有延伸至在所述基底第二表面上的所述第一导电型层; 和

在第一表面上的多个触点，用于实现与所述第一导电型区域的矩阵和第二导电型的多个区域电连接。

其中所述第二导电型的多个区域与所述基底的第二表面隔离开一定量，且在零偏压下基底的耗尽区域接近、但没有达到基底的第二表面。

其中所述第二导电型的多个区域与所述基底的第二表面隔离开  $9\ \mu\text{m}$ 。

其中所述基底是 n 型硅基底，具有  $400\ \Omega/\text{cm}$  的电阻率。

其中所述多个触点是多个球栅触点。

其中所述多个触点大小相等、均匀分布在光电二极管阵列上。

其中第一导电型区域的矩阵包括限定 X-Y 矩阵方形区域的矩形矩阵，各个方形区域包含第二导电型的多个区域中相应的一个。

其中形成第一导电型区域的矩阵和第二导电型的多个区域的掺杂重叠。

其中所述基底具有小于  $50\ \mu\text{m}$  的厚度。

其中所述基底具有  $30\ \mu\text{m}$  的厚度。

其中所述基底是硅基底。

一种背发光光电二极管阵列，其包括：

第一导电型的基底，其具有第一和第二表面且具有小于  $50\ \mu\text{m}$  的厚度；

所述第二表面具有导电率大于所述基底的第一导电型层；

矩形的导电率高于所述基底的第一导电型区域的矩阵，从所述基底的所述第一表面延伸至在所述基底第二表面上的所述第一导电型层，矩形矩阵限定 X-Y 矩阵的矩形区域；

第二导电型的多个区域，散布在所述第一导电型的区域的矩阵内部，各个第二导电型的区域在各自的方形区域内，所述方形区域由矩形的第一导电型区域的矩阵所限定；和

在第一表面上的多个触点，用于实现与第一导电型区域的矩阵和第二导电型的多个区域电连接。

其中所述第二导电型的多个区域与所述基底的第二表面隔离开一定量，且在零偏压下基底的耗尽区域接近、但没有达到基底的第二表面。

其中所述第二导电型的多个区域与所述基底的第二表面隔离开  $9\ \mu\text{m}$ 。

其中所述基底是 n 型硅基底，具有 400 欧姆/cm 的电阻率。

其中所述多个触点是多个球栅触点。

其中所述多个触点大小相等、均匀分布在光电二极管阵列上。

其中形成第一导电型区域的矩阵和第二导电型的多个区域的掺杂重叠。

其中所述基底具有  $30\ \mu\text{m}$  的厚度。

其中所述基底是硅基底。

一种制造光电二极管阵列的方法，其包括：

提供具有第一和第二表面的半导体基底；

提供第一区域，所述第一区域呈导电率大于所述基底的第一导电型区域的矩阵的形式，包括高温扩散，所述第一区域从第一表面延伸入所述基底；

提供散布在第一导电型区域的矩阵内的第二导电型的多个区域，包括另外的高温扩散，所述第二区域以短于第一区域的距离从第一表面延伸入所述基底；

从第二表面磨光所述基底，以减少所述基底的厚度并在所述基底的第二表面上提供第一导电型的层，该第一导电型的层接触第一导电型区域的矩阵并且具有大于所述基底的导电率；和，

在第一表面上提供为呈第一导电型区域的矩阵形式的第一区域和第二导电型的多个区域多个电触点。

其中所述基底被磨光至一厚度，所述厚度将第二导电型的多个区域与基底的第二表面隔开一定量，且在零偏压下基底的耗尽区域接近、但没有达到基底的第二表面。

其中所述第二导电型的多个区域与所述基底的第二表面隔离开  $9\ \mu\text{m}$ 。

其中提供的所述基底是 n 型硅基底，其具有 400 欧姆/cm 的电阻率。

其中所述多个触点是多个球栅触点。

其中所述多个触点大小相等、均匀分布在光电二极管阵列上。

其中基底被磨光至小于  $50\ \mu\text{m}$  的厚度。

其中基底被磨光至  $30\ \mu\text{m}$  的厚度。

一种制造光电二极管阵列的方法，其包括：

提供具有第一和第二表面的硅基底；

提供第一区域，所述第一区域呈导电率大于所述基底的第一导电型的区域矩阵的形式，包含高温扩散，所述第一区域从第一表面延伸入所述基底；

提供散布在第一导电型区域的矩阵内的第二导电型的多个区域，包括另外的高温扩散，所述第二区域以短于第一区域的距离从第一表面延伸入所述基底；

提供第一区域的额外掺杂，包括另一高温扩散；

从第二表面磨光所述基底，以减小所述基底的厚度至小于  $50\ \mu\text{m}$  并在所述基底的第二表面上提供第一导电型的层，该第一导电型的层接触第一导电型区域的矩阵并且具有大于所述基底的导电率；

在所述基底的第二表面上提供具有比所述基底大的电导率的第一导电型层；和，

在第一表面上为呈第一导电型区域的矩阵形式的第一区域和第二导电型的多个区域提供多个电触点。

其中通过注入提供第一导电型层，所述第一导电型层具有大于基底的第二表面上基底的电导率。

其中所述基底被磨光至一厚度，所述厚度将第二导电型的多个区域与基底的第二表面隔开一定量，且在零偏压下基底的耗尽区域接近，但没有达到基底的第二表面。

其中所述第二导电型的多个区域与所述基底的第二表面隔开  $9\ \mu\text{m}$ 。

其中所述多个触点是多个球栅触点。

其中所述多个触点大小相等、均匀分布在光电二极管阵列上。

其中基底被磨光至  $30\ \mu\text{m}$  的厚度。

一种制造光电二极管阵列的方法，其包括：

提供第一导电型的半导体基底；

在所述半导体基底的第一表面上形成半导体器件，包括形成深度扩散区，所述深度扩散是通过形成比半导体器件的扩散更深的扩散而形成的和从第二表面研磨所述半导体基底以降低该半导体基底的厚度；和

在所述基底的第二表面上形成与所述深度扩散区相同导电型的覆盖区域，所述覆盖区域接触所述深度扩散区。

其中通过形成比半导体器件的扩散区深的扩散区来形成接触所述覆盖区域的深度扩散区，以及在形成覆盖区域之前从第二表面磨光所述基底以减少基底的厚度。

#### 附图说明

通过附图，本发明的主要思想被阐述，其中：

图 1a 和 1b 分别是前发光光电二极管阵列和背发光光电二极管阵列的典型的常规现有技术结构的示意性横截面图。

图 2 是依据本发明的超薄、背发光光电二极管阵列的示意性横截面图。

图 3 是本发明的示例性结构的示意性横截面图，它具有 30 $\mu\text{m}$  厚的 n 型硅晶片。

图 4a 至 4c 说明依据本发明用于制造薄晶片光电二极管结构的电极的方法的顺序步骤。

图 5 说明在晶片前表面上的阴极和阳极垫的示范布局。

图 6 是通过图 5 中金属触点之一的横截面图。

#### 具体实施方式

图 2 是依据本发明的优选实施例的半导体超薄芯片光电二极管阵列的简化横截面图。使用 n 型和 p 型体硅 1 构造所述结构。简便起见，p-on-n 结构中的阳极和 n-on-p 结构中的阴极将被称为“第一电极”，而 p-on-n 结构中的阴极和 n-on-p 结构中的阳极将被称为“第二电极”。

晶片/模片的材料电阻率、厚度、掺杂浓度和剂量、以及扩散状况被优先选择，以满足下面要求：

a) 活性区域（第一电极）扩散区 2 延伸成足够靠近抛光模片的背面，使得在模片背表面中的扩散边沿与覆盖注入物及部分覆盖注入物之间的体积的剩余部分（即在图 2 中被标示为“d”的空间）完全在零偏压下被耗尽；

b) 使用与晶片体 1 的多数载流子之一相同极性的注入物，晶片背面的均匀的“覆盖”型注入区 5 在晶片背面上提供了优良的多数载流子传导率；并且确保在第一电极下方的用于载流子收集的垂直电场，

以最小化串扰;

c) 使用注入和驱入方案从晶片的前表面应用第二电极扩散 8 所述驱入方案允许扩散达到晶片背面, 从而与覆盖注入区 5 重叠且在整个晶片上提供在第二电极网络之间的完美的电触点。同时, 如图 6 中所示, 在所述前表面生长氧化层 12, 但是为了清楚表明掺杂区域, 它没有在前面的附图中示出。

使用具有大约 400 欧姆/cm 的电导率的 n 型体 Si 构造的实际结构的例子被示意性示出在图 3 中。在零偏压下, 耗尽区域的宽度是大约  $9\mu\text{m}$  且向上扩展及进入 (但没有穿过) 晶片背面中的覆盖注入层 5 (参见图 3 中点划阴影线区域 9。所述覆盖扩散层 5 仅仅大约  $0.6\mu\text{m}$  厚, 以使耗尽区域几乎延伸至、但始终没有达到晶片背面)。内建电位在耗尽区域上产生电场, 并且有助于非平衡载流子的快速搜集, 所述载流子通过在模片的后表面附近的光产生。非平衡载流子被毗邻单元的电极收集的可能性没有或非常少, 因为:

接近模片背表面的电场垂直于所述模片表面取向, 载流子光生成主要发生在所述模片背表面处; 因此, 载流子主要向同一单元运动 (迁移), 几乎没有被毗邻单元俘获的可能性;

在图 3 中为 n+ 扩散的第二电极扩散区域 8 跨过模片的整个厚度且作为与毗邻单元的有效的载流子绝缘体。

第一电极扩散区 2 可与靠近所述模片的前表面的第二电极扩散区 8 重叠, 如图 3 所示。这个重叠可明显降低击穿电压, 所述击穿电压对于零偏压器件是不重要的。

因此, 第一电极 2 和第二电极 8 的示范表示的扩散轮廓在图 3 中示出。第一电极扩散 2 的深度应当小于抛光基底厚度 (如图 3 所示典型地小于  $50\mu\text{m}$ , 以及更典型地为近似  $30\mu\text{m}$ ) 一定量, 所述一定量近似等于在零偏压下基底材料 1 的耗尽深度。第二电极扩散 8 应当跨过所述基底的整个厚度, 或者至少达到足够深度以使用晶片背面的覆盖注入区 5 来提供可靠的低阻抗触点。注意, 掺杂剂 5 和 8 为同样的极性。

在所述过程期间, 为了结构的硬度和完整使用较厚的基底 (例如  $300\mu\text{m}$ ) 开始制造这样的一种结构, 并使用下述三个掩膜步骤:

首先, 如图 4a 所示, 实施第二电极 8 的注入/扩散, 之后进行驱入。

在这个阶段，形成用于第一电极 2 和第二电极 8 的最终扩散深度的差异（大约  $9\mu\text{m}$ ）。

其次，如图 4b 所示，实施第一电极 2 注入/扩散，之后进行驱入。在这个阶段结束时，扩散轮廓 2 和 8 几乎达到它们最后的结构。

第三，如图 4c 所示，第二电极 8 接受一另外的增强，之后进行驱入，以确保优越的电接触和激励掺杂剂。在这个阶段，阴极和阳极扩散的轮廓达到它们最终的结构（参见图 4c 中实线和阴影区域）。在这个掺杂剂注入/扩散/驱入的第三步骤之前的扩散轮廓在图 4c 中使用虚线示意性表示。后面磨光和抛光之后晶片未来的后表面被使用虚线 10 示意性表示。

然后，通过磨光所述阵列的后面来在厚度上减少所述阵列，优选提供在大约  $50\mu\text{m}$  之下的基底厚度更优选是大约  $30\mu\text{m}$ 。当然，获得的最终厚度最好依据基底的电阻率和第一电极扩散区的深度选择，以使扩散区与所述基底的后面间隔开一定量，所述一定量大约等于在零偏置下基底材料的耗散深度。然后，第一导电型的覆盖注入物形成至晶片的后面，所述注入物提高了光电二极管的电荷收集效率和 DC/AC 电性能。注入物的活化作用没有明显改变第一和第二电极扩散。可选择地，若需要，可以使用用于后面的扩散。与耗尽区域相比较，覆盖注入物是相当的薄，耗尽区域延伸至最终阵列的覆盖注入物内，但没有穿过。

模片的后面表面的理想平坦度对于许多应用是非常重要的，譬如对于 CT 扫描仪，要求将闪烁体晶体附着至光电二极管阵列的背面。为了有助于满足这个要求，氧化层 12 被平坦地图案化，并且接触第一电极 2 和第二电极 8 的金属垫 14 在模片 16 的表面上被平坦地设置，并被作成同样大小，以在整个晶片中提供同样的球布置状况（参见图 5 和 6）。氧化层 12 和金属垫 14 在图 5 中由较大直径圆圈表示，并用较小直径圆圈说明触点开口。

本发明的光电二极管阵列具有非常低的串扰，因为各个象素被出色地隔离。还有，因为较小的耗尽体积，所述阵列具有低噪声和低温度灵敏度。在用在 X 射线系统中时，它们具有低辐射损伤，并且具有类似于他们将被安装至的闪烁体的热特性。使用与薄基底相关联的深度扩散用于实现至所述基底背面的电接触的技术当然可以被使用在其

它半导体器件中。尽管优选实施例中的深度扩散与基底属于相同的导电型，但这不是本发明的一个限制，因为假如需要，深度扩散可有相反的导电型。

尽管本发明的具体示范性实施例在这里被公开，这种公开仅仅用于理解示范性实施例的目的，不是用于本发明的限制。对本领域技术人员而言，清楚的是，不脱离下面权利要求的全部范围所陈述的本发明的宗旨和范围可以实现光电二极管阵列的制造过程和结构的各种改变。

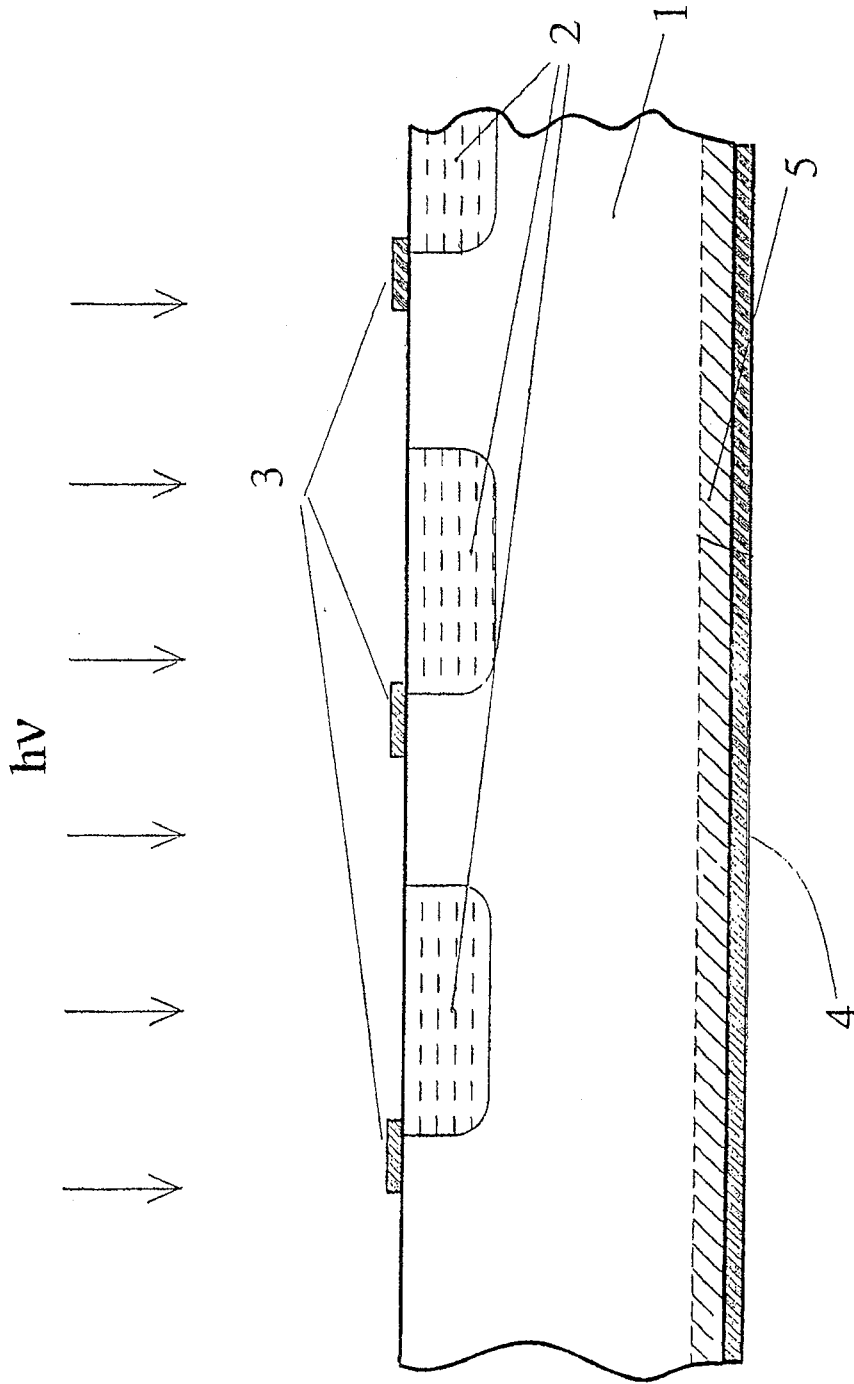


图 1a (现有技术)

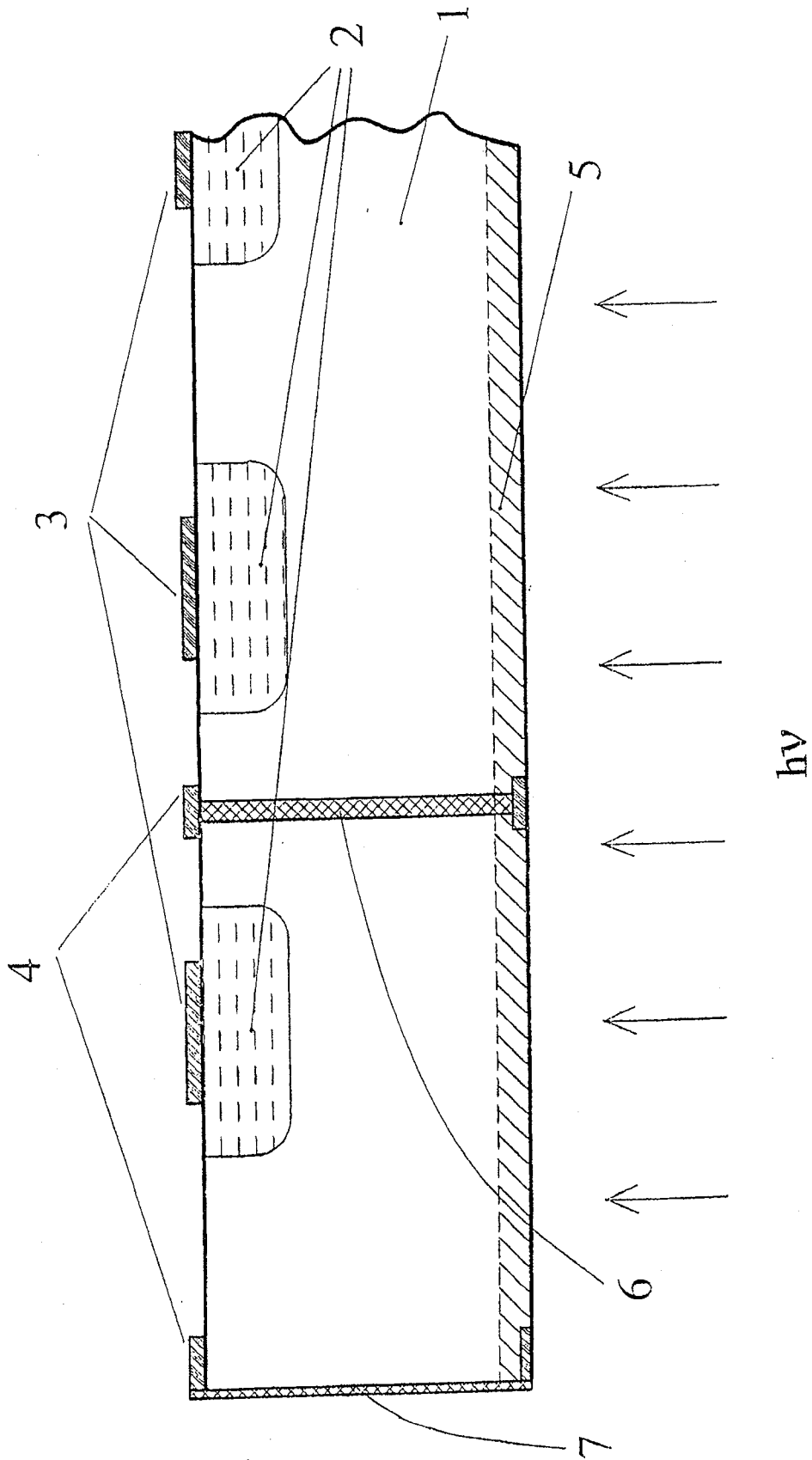


图 1b (现有技术)

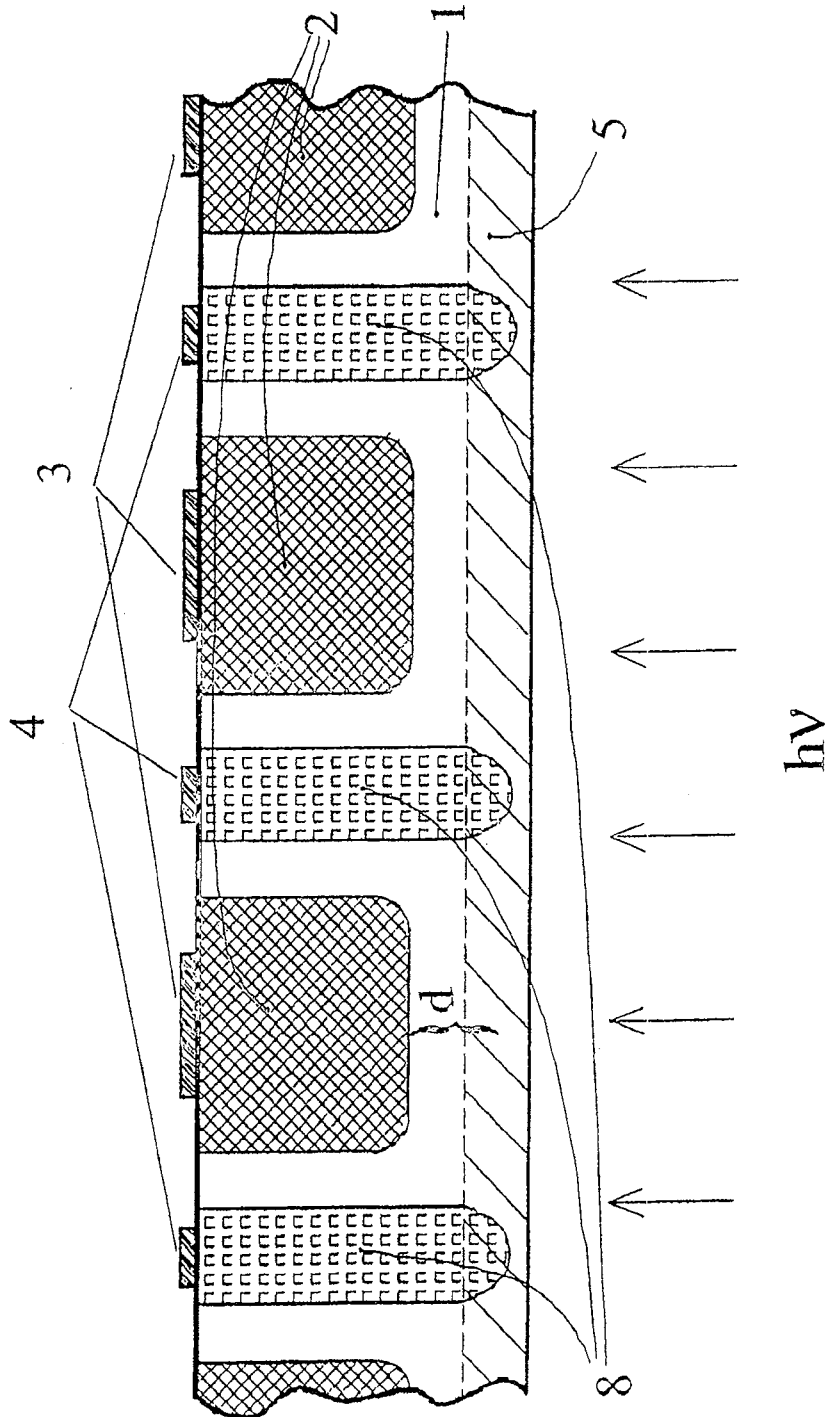


图 2

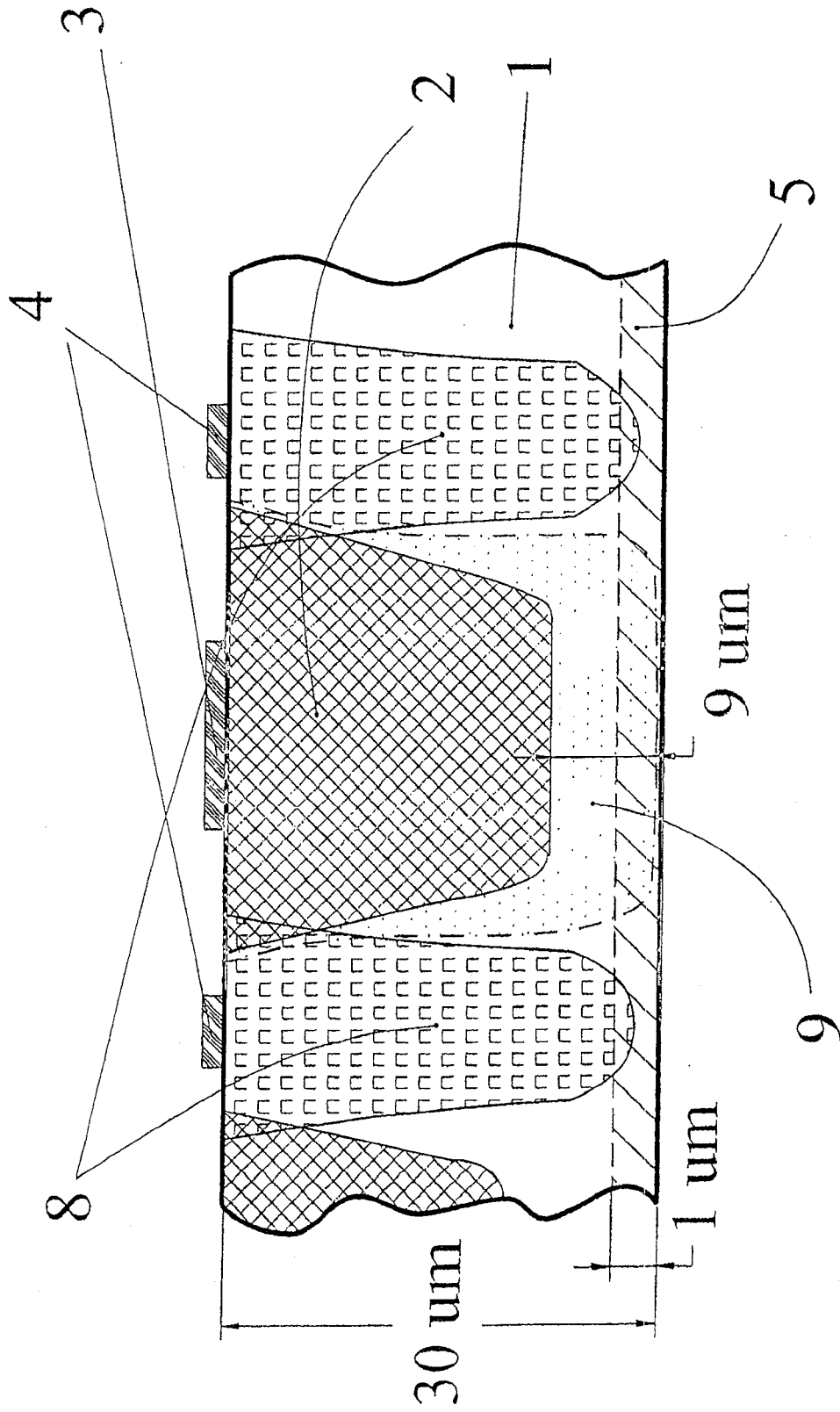


图 3

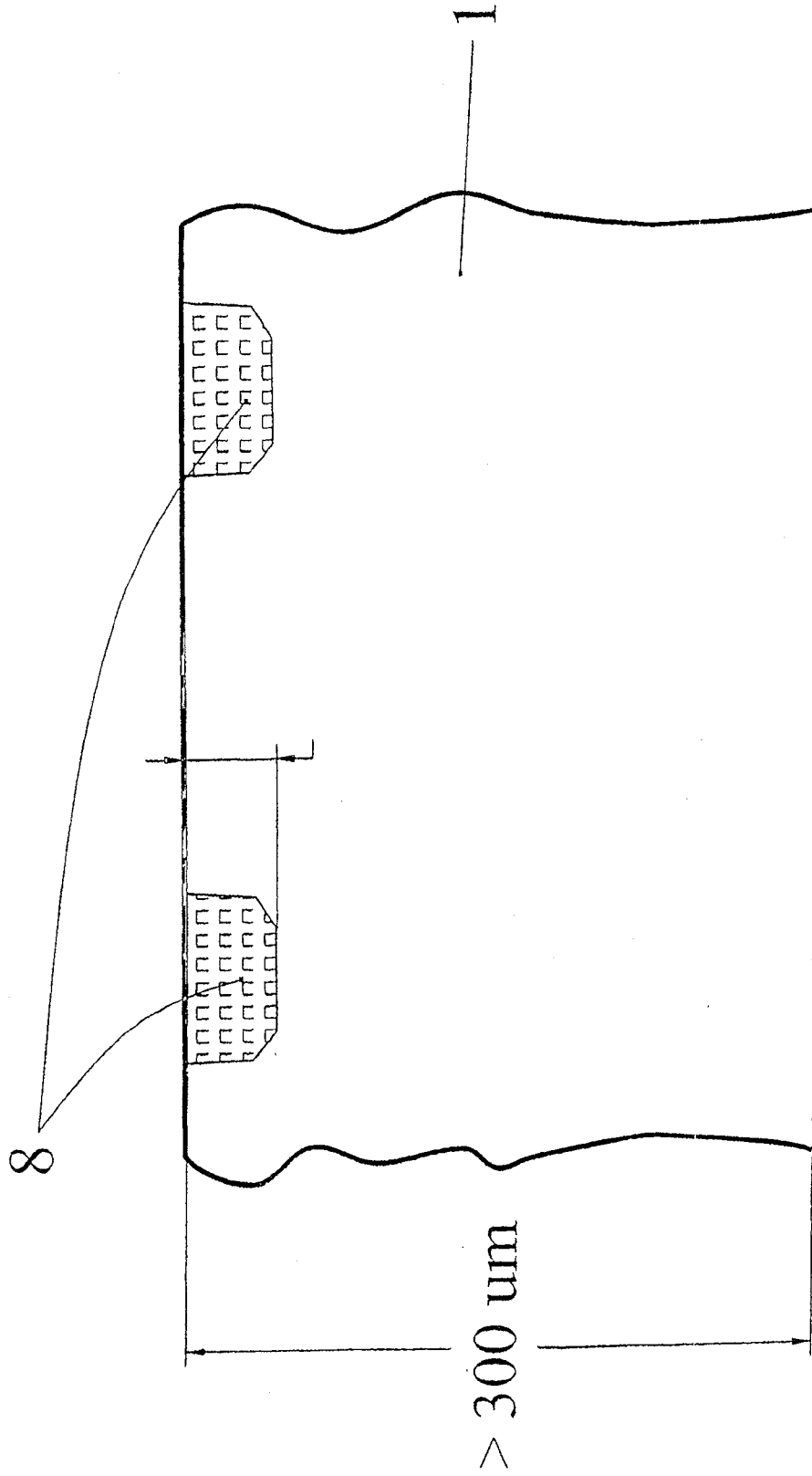


图 4a

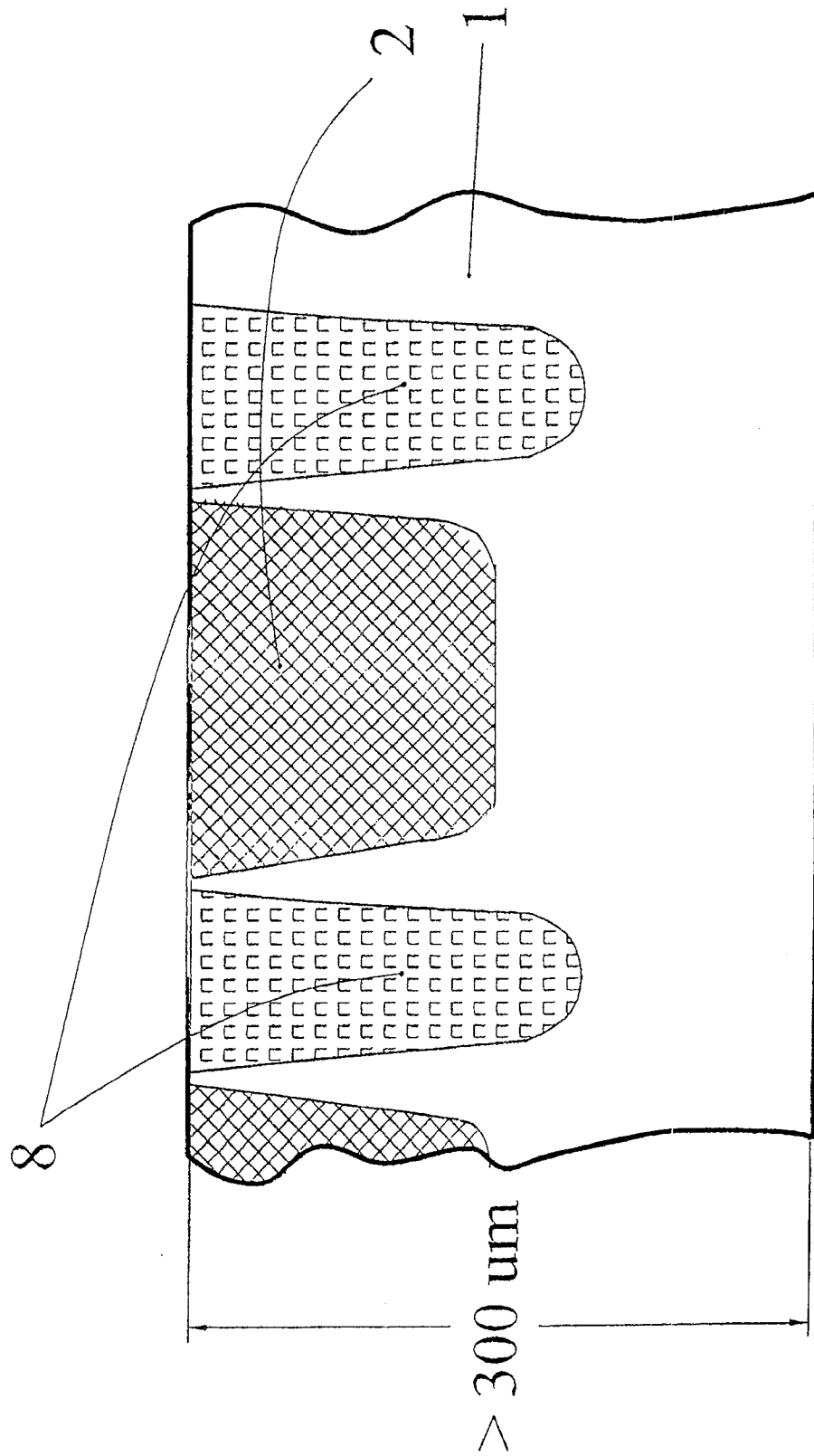


图 4b

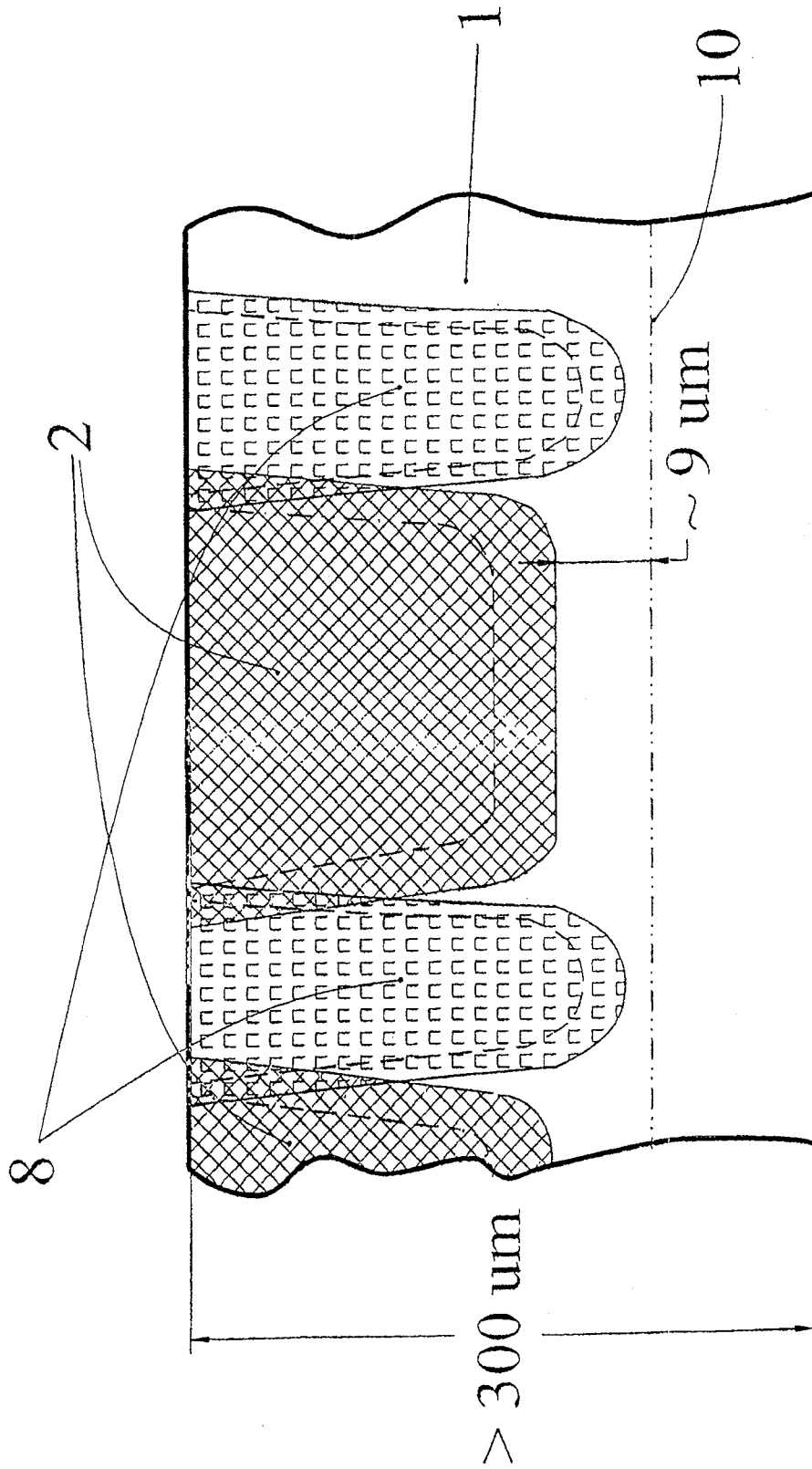


图 4c

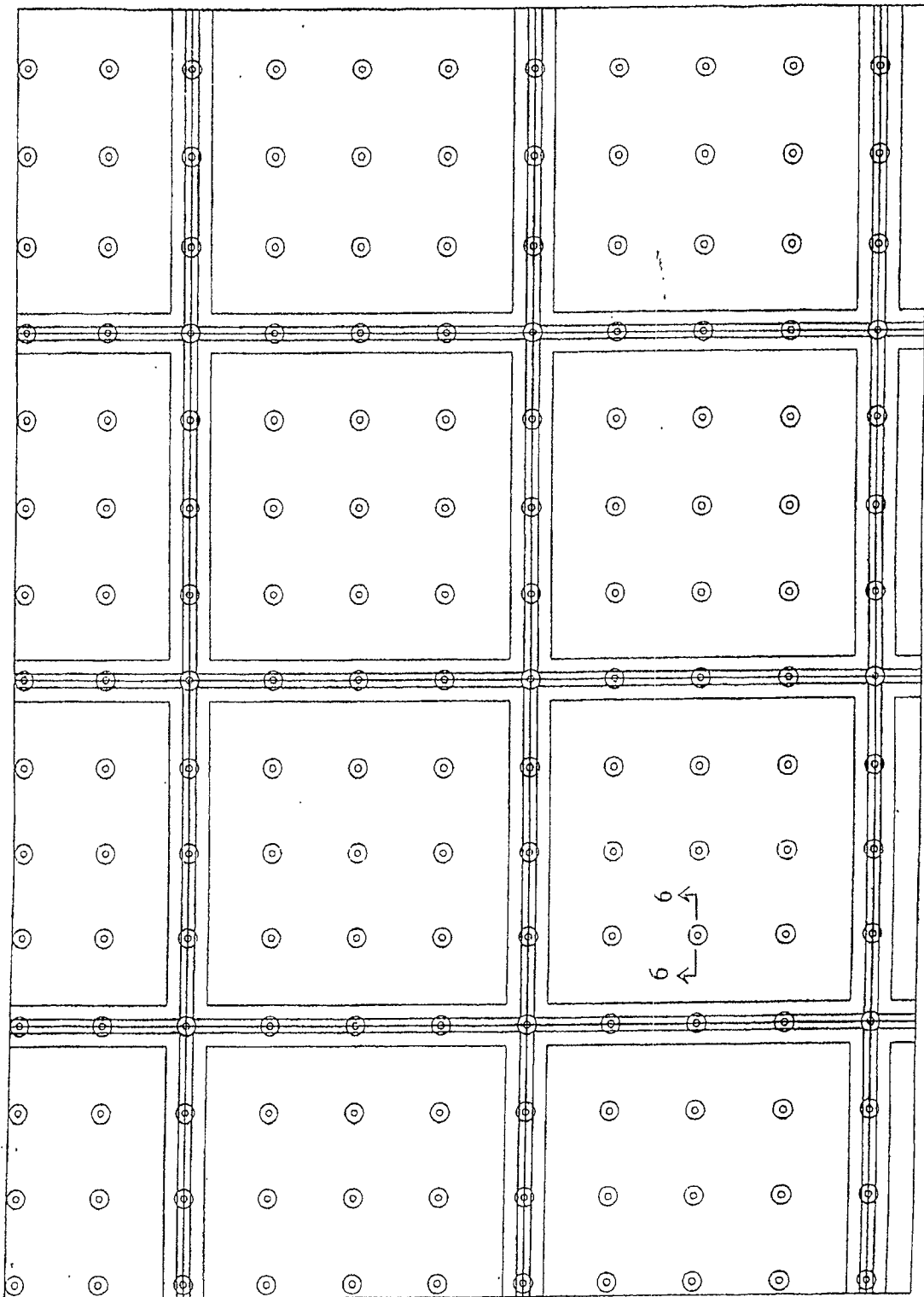


图 5

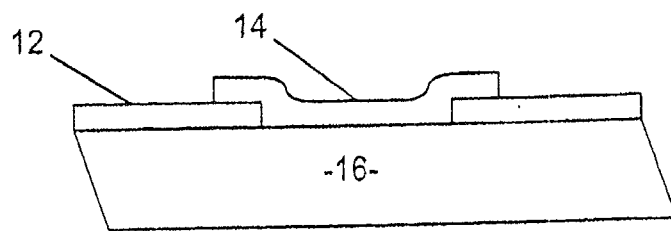


图 6