

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第4231663号  
(P4231663)

(45) 発行日 平成21年3月4日(2009.3.4)

(24) 登録日 平成20年12月12日(2008.12.12)

(51) Int.Cl.

F I

HO 1 L 21/822 (2006.01)

HO 1 L 27/04 (2006.01)

HO 1 L 21/82 (2006.01)

HO 1 L 23/12 (2006.01)

HO 1 L 27/04 E

HO 1 L 21/82 P

HO 1 L 23/12 3 O 1 Z

請求項の数 16 (全 14 頁)

(21) 出願番号	特願2002-165554 (P2002-165554)	(73) 特許権者	000005108
(22) 出願日	平成14年6月6日(2002.6.6)		株式会社日立製作所
(65) 公開番号	特開2004-14771 (P2004-14771A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成16年1月15日(2004.1.15)	(74) 代理人	100080001
審査請求日	平成17年3月11日(2005.3.11)		弁理士 筒井 大和
		(72) 発明者	上野 聡
			東京都青梅市新町六丁目16番地の3 株
			式会社日立製作所 デバイス開発センタ内
		審査官	大嶋 洋一

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に形成され、接地電位と電氣的に接続された第1配線と、  
前記第1配線上に形成された第1絶縁膜と、  
前記第1絶縁膜上に形成され、信号伝送線路である第2配線と  
を有し、  
前記第2配線は第1領域と第2領域と第3領域とを含み、  
前記第2配線の前記第2領域は、前記第1領域および前記第3領域の間に位置し、  
前記第2配線の前記第1領域にはボンディングワイヤが接続され、  
前記第2配線の前記第2領域における配線幅は前記第3領域における配線幅よりも大き  
く、

前記第1配線と前記第2配線とは、互いに該第1配線および該第2配線を容量電極とす  
るキャパシタを構成し、

前記キャパシタは、前記ボンディングワイヤの有するインダクタンス成分に対して、前  
記信号伝送線路の特性インピーダンス整合を取るよう作用することを特徴とする半導体  
装置。

【請求項 2】

請求項1記載の半導体装置において、  
前記第2配線の前記第1領域は、下部に前記第1配線の存在しない位置に配置されてい  
ることを特徴とする半導体装置。

## 【請求項 3】

請求項 1 記載の半導体装置において、  
前記第 1 配線は前記第 2 配線の前記第 1 領域の下部に配置されていることを特徴とする半導体装置。

## 【請求項 4】

請求項 1 記載の半導体装置において、  
前記第 2 配線を含む第 2 配線層は接地電位と電氣的に接続された第 3 配線を含み、前記第 2 配線と前記第 3 配線とは一定の間隔を隔てて配置され、前記第 2 配線および前記第 3 配線を容量電極とする容量成分が形成されていることを特徴とする半導体装置。

## 【請求項 5】

請求項 1 記載の半導体装置において、  
前記第 1 配線を含む第 1 配線層と前記第 2 配線を含む第 2 配線層との間には、少なくとも 1 層の配線層が形成されていることを特徴とする半導体装置。

## 【請求項 6】

請求項 1 記載の半導体装置において、  
前記第 2 配線の前記第 2 領域は平面順テーパー形状で形成されていることを特徴とする半導体装置。

## 【請求項 7】

請求項 1 記載の半導体装置において、  
前記第 2 配線における前記第 1 領域は、前記第 2 配線の端部に配置されていることを特徴とする半導体装置。

## 【請求項 8】

請求項 1 記載の半導体装置において、  
前記第 2 配線の前記第 3 領域は、前記半導体基板上に形成された第 1 回路に向かって延在し、前記第 1 回路と電氣的に接続していることを特徴とする半導体装置。

## 【請求項 9】

請求項 1 記載の半導体装置において、  
前記第 1 配線および前記第 2 配線の前記第 3 領域は、マイクロストリップ構造を形成していることを特徴とする半導体装置。

## 【請求項 10】

請求項 1 記載の半導体装置において、  
前記第 2 配線の線路インピーダンスは、所定の第 1 の値であることを特徴とする半導体装置。

## 【請求項 11】

接地電位と電氣的に接続された半導体基板と、  
前記半導体基板上に形成され、信号伝送線路である第 2 配線とを有し、  
前記第 2 配線は第 1 領域と第 2 領域と第 3 領域とを含み、  
前記第 2 配線の前記第 2 領域は、前記第 1 領域および前記第 3 領域の間に位置し、  
前記第 2 配線の前記第 1 領域にはボンディングワイヤが接続され、  
前記第 2 配線の前記第 2 領域における配線幅は前記第 3 領域における配線幅よりも大きく、

前記半導体基板と前記第 2 配線とは、互いに該半導体基板および該第 2 配線を容量電極とするキャパシタを構成し、

前記キャパシタは、前記ボンディングワイヤの有するインダクタンス成分に対して、前記信号伝送線路の特性インピーダンス整合を取るよう作用することを特徴とする半導体装置。

## 【請求項 12】

請求項 11 記載の半導体装置において、  
前記半導体基板と前記第 2 配線を含む第 2 配線層との間には、少なくとも 1 層の配線層

10

20

30

40

50

が形成されていることを特徴とする半導体装置。

【請求項 1 3】

請求項 1 1 記載の半導体装置において、

前記第 2 配線の前記第 2 領域は平面順テーパ形状で形成されていることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 1 記載の半導体装置において、

前記第 2 配線の前記第 3 領域は、前記半導体基板上に形成された第 1 回路に向かって延在し、前記第 1 回路と電氣的に接続していることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 1 記載の半導体装置において、

前記半導体基板および前記第 2 配線の前記第 3 領域は、マイクロストリップ構造を形成していることを特徴とする半導体装置。

【請求項 1 6】

請求項 1 1 記載の半導体装置において、

前記第 2 配線の線路インピーダンスは、所定の第 1 の値であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、高周波での信号伝送および広帯域での高速な信号伝送が要求される半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

たとえば光通信用 IC のような高速 LSI が形成された半導体チップを搭載するパッケージに対しては、DC から実際に使用される高周波帯域までの広帯域の信号伝送が要求されている。特に、10 Gbit/sec 以上のビットレートにおいて、前記パッケージに対しては、高周波でのインピーダンス整合および低損失が要求されている。このような要求に対する対策として、信号伝送線路を形成したパッケージ基板の主面上に半導体チップをフェイスダウン方式で実装し、信号伝送線路の一端を半導体チップの主面に形成した電極パッドの直下まで延在することによって、信号伝送線路と電極パッドとがバンプ電極を介して電氣的に接続するように実装する手段が考えられる。この手段によれば、信号伝送線路と半導体チップとを最短距離で接続することができるので、信号伝送線路から半導体チップの電極パッドに到るまでの伝送特性を良好に保存することができる。パッケージング材料としてセラミックを用いることにより、低損失でインピーダンス整合のとれた伝送線を形成することができる。また、パッケージング材料としてセラミックを用いて気密封止することによって半導体チップを外部環境から保護し、機械的強度、耐湿性、耐熱性および放熱性などに優れるパッケージを実現することができる。

【0003】

たとえば特開平 7 - 147352 号公報では、パッケージ基板上に形成された信号伝送線路の配線幅を半導体チップと重なる領域で狭くし、半導体チップと信号伝送線路との間に形成される容量に起因するインピーダンスの低下を補償することによって、パッケージ内の信号伝送線路の特性インピーダンス整合を図る技術について開示されている。また、セラミックから形成されたパッケージ基板を用いることにより、パッケージにおける伝送信号の損失を低減する技術についても開示されている。

【0004】

【発明が解決しようとする課題】

上記したようなパッケージ基板の主面上に半導体チップをフェイスダウン方式で実装する場合には、半導体チップの主面に形成した電極パッド上にバンプ電極（はんだボール）を形成する必要がある。このバンプ電極は、たとえば個々の半導体チップに切断する前の半

10

20

30

40

50

導体ウェハの主面にフォトリジスト膜を形成およびパターニングした後、めっき法などを用いて電極パッド上に形成することになる。そのため、たとえば電極パッドとパッケージ基板とをワイヤボンディングすることで実装する手段に比べて、半導体ウェハに対しての処理工程数が増加してしまうこととなり、半導体ウェハの製造コストが高価になってしまうことになる。

【 0 0 0 5 】

また、半導体チップをフェイスダウン方式で実装することから、実装工程時においては、パンプ電極とパッケージ基板との接続部分が視認できなくなる。そのため、たとえばワイヤボンディング法によって半導体チップをパッケージ基板に実装する場合に比べて実装が困難になってしまうことから、パッケージの製造コストが高価になってしまうことになる。

10

【 0 0 0 6 】

また、パッケージング材料としてセラミックを用いた場合には、たとえばプラスチックを用いた場合に比べて材料コストが高くなることから、パッケージの製造コストが高価になってしまうことになる。

【 0 0 0 7 】

そこで、本発明者は、ワイヤボンディング法およびエポキシ樹脂などのプラスチックをパッケージング材料としたパッケージング法を用い、高速 L S I が形成された半導体チップを搭載するパッケージを形成する手段について検討している。その中で、本発明者は以下のような課題を見出した。

20

【 0 0 0 8 】

すなわち、ワイヤボンディング法を用いることによって、ボンディングワイヤ部においてインピーダンスが増加することから、信号伝送線路から半導体チップの電極パッドに到るまでの伝送特性を良好に保存することができなくなってしまう問題が存在する。

【 0 0 0 9 】

本発明の目的は、ワイヤボンディング法を用い、高速 L S I が形成された半導体チップを搭載するパッケージを形成する手段を提供することにある。

【 0 0 1 0 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【 0 0 1 1 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 2 】

すなわち、本発明は、半導体基板上に形成され、接地電位と電氣的に接続された第 1 配線と、前記第 1 配線上に形成された第 1 絶縁膜と、前記第 1 絶縁膜上に形成され、信号伝送線路である第 2 配線とを有し、前記第 2 配線は第 1 領域と第 2 領域と第 3 領域とを含み、前記第 2 配線の前記第 1 領域にはボンディングワイヤが接続され、前記第 2 配線の前記第 2 領域における配線幅は前記第 3 領域における配線幅よりも大きいものである。

40

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態の説明に用いる図面においては、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【 0 0 1 4 】

(実施の形態 1)

本実施の形態 1 の半導体装置は、たとえば光通信用 I C (高速 L S I) が形成された半導体チップを搭載するパッケージである。図 1 は本実施の形態 1 の半導体装置の要部平面図

50

であり、図2は図1中のA-A線に沿った断面図であり、図3は図1中のB-B線に沿った断面図であり、図4は本実施の形態1の半導体装置の要部断面図である。

【0015】

図2および図3に示すように、本実施の形態1の半導体装置は、たとえば半導体素子が形成されるボンド基板となる単結晶シリコン(SOI (Silicon On Insulator) 層)とベース基板となる単結晶シリコンとを酸化膜(BOX (Buried Oxide) 層)を介して接着した後、ボンド基板を薄膜化することによって形成した半導体基板1を用いて形成される。図2および図3中での図示を省略したI/O (Input/Output) 回路(第1回路)IO(図1参照)が形成される領域において、半導体基板1のSOI層には、たとえばnpn型バイポーラトランジスタおよびpnp型バイポーラトランジスタのうちの少なくとも一方が形成されている。

10

【0016】

半導体基板1上には、下層から順に第1層配線(第1配線)11を含む配線層(第1配線層)、第2層配線12を含む配線層、第3層配線13を含む配線層および第4層配線14A、14Bを含む配線層(第2配線層)が形成されている。これらの配線は、たとえばTi(チタン)膜、TiN(窒化チタン)膜およびTi膜を積層してなるバリア導体膜と、主導電層となるAl(アルミニウム)合金膜と、Ti膜およびTiN膜を積層してなるバリア導体膜との積層膜をパターンニングすることで形成することができる。最上層配線となる第4層配線14A、14Bの主導電層のAl合金膜は、他の配線の主導電層のAl合金膜より相対的に厚い膜厚で形成されている。また、第1層配線11と半導体基板1との間および各配線間には、たとえば酸化シリコンからなる層間絶縁膜(第1絶縁膜)15が形成されている。第4層配線14Aを除く各配線間は、プラグ17を介して電氣的に接続されている。このプラグ17は、たとえば層間絶縁膜15に形成した孔部内にTi膜とTiN膜とからなる積層膜およびW膜を順次堆積した後、その孔部の外部の積層膜およびW膜を除去することによって形成することができる。

20

【0017】

第4層配線(第2配線)14Aは、信号伝送線であり、I/O回路19と電氣的に接続されている。また、第4層配線14Aおよび第1層配線11は、その間に誘電体(層間絶縁膜15)を挟むことにより、いわゆるマイクロストリップ線路(構造)を形成している。第4層配線14Bは、第3層配線13、第2層配線12および第1層配線11を介して接地(基準)電位(GND)と電氣的に接続されている。また、第4層配線14A、14Bの端部の領域(パッド領域)PAD(図1参照)は、ワイヤボンディングのためのボンディングパッドとなっている。第4層配線14A、14Bの上部には、下層から酸化シリコン膜、窒化シリコン膜およびポリイミド膜を積層してなる保護膜18が形成されている。この保護膜18には、前記ボンディングパッド上において開口部19が形成されている。

30

【0018】

図4に示すように、本実施の形態1の光通信用ICが形成された半導体チップ21は、たとえばリードフレームのダイパッド22Aに接着され、第4層配線14A、14Bの端部の領域PAD(図1参照)とアウターリード22BとがAu(金)からなるワイヤ23によってワイヤボンディングされ、エポキシ樹脂24によって封止されることによってパッケージングされている。エポキシ樹脂24のようなプラスチックをパッケージング材料として用いることにより、たとえばセラミックをパッケージング材料として用いた場合よりも相対的にパッケージの製造コストを低減することができる。

40

【0019】

ところで、本実施の形態1のパッケージにおける線路インピーダンスZは、インダクタンスをLとし容量をCとすると、簡易的に $Z = (L/C)^{1/2}$ と表すことができる。線路インピーダンスZは、パッケージ内の信号伝送線路の特性インピーダンス整合を図るために、たとえば50 というように所定の値(第1の値)で規定される。上記したように、本実施の形態1においては、半導体チップ21とリードフレームとをワイヤボンディングする手段が用いられている。そのため、ワイヤ23におけるインダクタンス成分が加わるこ

50

とにより、線路インピーダンス $Z$ が変動してしまうことになる。そこで、本実施の形態 1 では、第 4 層配線 14 A について、領域 PAD を含む端部からの領域（第 1 領域）CAPA を I/O 回路 IO に向かって延在する領域（第 3 領域）に比べて配線幅を広く形成する。ここで、本実施の形態において、配線幅とは、配線の延在方向と直交する方向における配線の大きさのことを示すものとする。そして、第 4 層配線 14 A の領域 CAPA および第 1 層配線 11 を容量電極とし、第 1 層配線 11 と第 4 層配線 14 A との間の 3 層の層間絶縁膜 15 を容量絶縁膜とするキャパシタを形成する。また、第 4 層配線 14 A について、領域 PAD を含む端部からの領域 CAPA の配線幅をボンディングパッドとなっている部分とすることにより、所定の容量値のキャパシタの設計を容易にすることが可能となる。このキャパシタを形成することにより、キャパシタにおける容量成分によってワイヤ 23 におけるインダクタンス成分を相殺することができる。それにより、ワイヤ 23 を用いたワイヤボンディング法によって半導体チップ 21 とアウターリード 22 B とを電氣的に接続した際に、線路インピーダンス $Z$ の変動を防ぎ、パッケージ内の信号伝送線路の特性インピーダンス整合を図ることが可能となる。第 4 層配線 14 A を伝わる信号の伝送速度（周波数）が大きくなるに従って、信号の反射が懸念されるが、パッケージ内の信号伝送線路の特性インピーダンス整合をとることができるので、第 4 層配線 14 A を伝わる信号が高周波（たとえば周波数 1 GHz 程度以上）である場合においても、信号の反射を防ぐことが可能となる。

#### 【0020】

また、第 1 層配線 11 および第 4 層配線 14 A を用いて所定の容量値のキャパシタを形成する場合に、第 1 層配線 11 と第 4 層配線 14 A との間の層間絶縁膜 15 の膜厚が薄くなると、それに合わせて上記領域 CAPA における第 4 層配線 14 A の配線幅を狭くし、領域 CAPA における第 4 層配線 14 A の面積を小さくする必要がある。この場合、配線幅を狭くすることに伴って、第 4 層配線 14 A の加工精度が低下してしまうことが懸念される。また、第 4 層配線 14 A の配線幅が狭くなることによって、第 4 層配線 14 A の抵抗成分が増加し、信号伝送線である第 4 層配線 14 A を伝わる信号の品質が低下してしまうことも懸念される。一方、本実施の形態 1 においては、第 1 層配線 11 と第 4 層配線 14 A との間には 3 層の層間絶縁膜 15 が形成されていることから、そのような不具合を解消することができる。

#### 【0021】

また、第 4 層配線 14 A は、領域 CAPA とそれ以外の領域とが平面で順テーパー状に形成された領域（第 2 領域）31 を介して連続するように形成する。この領域 31 を設けずに領域 CAPA のみで容量調整を行った場合には、上記線路インピーダンス $Z$ が低下してしまうことが懸念されるが、領域 31 を設けることによってそのような不具合を防ぐことが可能となる。

#### 【0022】

また、前述したように、ボンディングパッドとなっている第 4 層配線 14 A、14 B の領域 PAD は、第 4 層配線 14 A、14 B の端部に配置されている。ここで、第 4 層配線 14 A については、その端部が半導体チップ 21 の外周部近くに達するようにパターンングすることによってワイヤ 23 の長さを短くすることが可能となる。すなわち、ワイヤ 23 の長さを短くできることによって、ワイヤ 23 のインダクタンス成分を低減することができる。それにより、上記キャパシタの容量値についても小さく設定することが可能となる。その結果、高周波信号を第 4 層配線 14 A に伝送する場合でも、損失なく伝送することができる。

#### 【0023】

本発明者は、ワイヤ 23 のインダクタンスを 1 nH とし、第 4 層配線 14 A の領域 PAD と領域 31 との間の距離  $L_1$ （図 1 参照）を 0  $\mu\text{m}$ 、50  $\mu\text{m}$  および 100  $\mu\text{m}$  の 3 通りに設定した場合における第 4 層配線 14 A の信号反射特性の容量依存性について実験により調べた。図 5 に示すように、その距離  $L_1$  が大きくなるに従って、第 4 層配線 14 A を伝わる信号の周波数に対する電圧定在波比（Voltage Standing Wave Ratio; VSWR）

は小さくなる。この電圧定在波比が小さくなるということは、上記第1層配線11（図1～図3参照）、第4層配線14Aおよび層間絶縁膜15（図1～図3参照）を用いて形成したキャパシタの容量値が大きくなり、伝送信号の損失が大きくなることになる。前述したように、本実施の形態1の半導体装置は光通信用ICであり、第4層配線14Aを伝わる信号の周波数は12GHz程度以下である。図5に示したように、上記距離L1が100μmである第4層配線14Aにこのような周波数帯の信号が伝わる場合には、伝送信号の損失が大きくなることから、距離L1を100μmで設計することは不適ということになる。一方、電圧定在波比が大きくなるということは、第4層配線14Aを伝わる信号の反射が大きくなるということになる。また前述したように、第4層配線14Aを伝わる信号の伝送速度（周波数）が大きくなるに従って伝送信号の反射は大きくなるものであり、本実施の形態1の半導体装置は光通信用ICであることから、第4層配線14Aには高周波（たとえば周波数1GHz程度以上）信号が伝わる。そのため、図5に示したように、距離L1が0μmである場合には、第4層配線14Aを伝わる信号の反射が大きくなり、距離L1を0μmで設計することは不適ということになる。そこで、距離L1を0μmと100μmとの間の50μmで設計すると、第4層配線14Aにおける伝送信号の損失および反射の双方を防ぐことが可能となる。なお、本発明者による実験においては、距離L1を50μmとすることで第4層配線14Aにおける伝送信号の損失および反射の双方を防ぐことが可能となったが、この距離L1は、第4層配線14A以外の部材の設計値に合わせて変更可能であることは言うまでもない。

#### 【0024】

上記したように、本実施の形態1によれば、ワイヤ23を用いたワイヤボンディング法によって半導体チップ21とアウターリード22Bとを電氣的に接続した場合において、パッケージ内の信号伝送線路の特性インピーダンス整合をとることができる。それにより、本実施の形態1の光通信用ICにおいては、信号の伝送速度を向上することができる。また、第4層配線14Aにおける伝送信号の損失および反射の双方を防ぐことができるので、伝送信号の波形が歪んでしまうことを防ぐことができる。それにより、本実施の形態1の半導体装置の信号の受信感度を向上することができる。

#### 【0025】

##### （実施の形態2）

次に、本実施の形態2の半導体装置について説明する。図6は本実施の形態2の半導体装置の要部平面図であり、図7は図6中のA-A線に沿った断面図であり、図8は図6中のB-B線に沿った断面図である。

#### 【0026】

本実施の形態2の半導体装置は、前記実施の形態1の半導体装置における第1層配線11（図1～図3参照）の平面形状を変化させたものである。すなわち、図6～図8に示すように、ボンディングパッドとなっている第4層配線14A、14Bの端部の領域PADの下部に、第1層配線11が配置されないように第1層配線11をパターンニングするものである。これにより、領域PADにおいては、第4層配線14A、14Bと第1層配線11との間に第4層配線14A、14Bおよび第1層配線11より相対的に機械的強度の小さい層間絶縁膜15は存在しないことになるので、そのボンディングパッドにワイヤ23（図4参照）をボンディングする際の衝撃を緩和することができる。その結果、層間絶縁膜15にクラックが生じてしまうことを防ぐことができる。

#### 【0027】

上記のような本実施の形態2の半導体装置によっても、前記実施の形態1の半導体装置と同様の効果を得ることができる。

#### 【0028】

##### （実施の形態3）

次に、本実施の形態3の半導体装置について説明する。図9は本実施の形態3の半導体装置の要部平面図であり、図10は図9中のA-A線に沿った断面図であり、図11は図9中のB-B線に沿った断面図である。

## 【 0 0 2 9 】

本実施の形態 3 の半導体装置は、前記実施の形態 3 の半導体装置における第 1 層配線 1 1 ( 図 1 ~ 図 3 参照 ) の平面形状を変化させたものである。すなわち、平面において第 1 層配線 1 1 を領域 P A D に配置されるようにパターンニングするものである。それにより、平面において前記実施の形態 1 の場合より小面積の第 1 層配線 1 1 と第 4 層配線 1 4 A とを用いて容量成分を形成し、本実施の形態 3 のパッケージ内の信号伝送線路の特性インピーダンス整合をとることができる。

## 【 0 0 3 0 】

上記のような本実施の形態 3 の半導体装置によっても、前記実施の形態 1 の半導体装置と同様の効果を得ることができる。

10

## 【 0 0 3 1 】

( 実施の形態 4 )

次に、本実施の形態 4 の半導体装置について説明する。図 1 2 は本実施の形態 4 の半導体装置の要部平面図であり、図 1 3 は図 1 2 中の C - C 線に沿った断面図である。

## 【 0 0 3 2 】

本実施の形態 2 の半導体装置は、前記実施の形態 1 の半導体装置における第 4 層配線 ( 第 3 配線 ) 1 4 B ( 図 1 ~ 図 3 参照 ) の平面形状を変化させたものである。すなわち、図 1 2 および図 1 3 に示すように、本実施の形態 4 の半導体装置において第 4 層配線 1 4 A、1 4 B は、一定の間隔を隔てて配置されるコプレーナ構造を形成するものである。これにより、第 4 層配線 1 4 A と第 4 層配線 1 4 B との間で、容量成分 C 1 を形成することができる。このような容量成分 C 1 を形成することによっても、パッケージ内の信号伝送線路の特性インピーダンス整合をとることができる。また、その容量成分 C 1 は、第 4 層配線 1 4 A、1 4 B の厚さ t、および第 4 層配線 1 4 A と第 4 層配線 1 4 B との間隔 s が要素となって決定されるものである。そのため、これらの値に比べて大きな 3 層の層間絶縁膜 1 5 ( 図 2 および図 3 参照 ) の膜厚の制御によって容量値を制御する前記実施の形態 1 に比べて、本実施の形態 4 における容量成分 C 1 の容量値の制御を容易にすることができる。

20

## 【 0 0 3 3 】

上記のような本実施の形態 4 の半導体装置によっても、前記実施の形態 1 の半導体装置と同様の効果を得ることができる。

30

## 【 0 0 3 4 】

( 実施の形態 5 )

次に、本実施の形態 5 の半導体装置について説明する。図 1 4 および図 1 5 は、本実施の形態 5 の半導体装置の要部断面図である。

## 【 0 0 3 5 】

本実施の形態 5 の半導体装置は、前記実施の形態 1 における第 1 層配線 1 1 ( 図 1 ~ 図 3 参照 ) を省略したものである。すなわち、図 1 4 および図 1 5 に示すように、半導体基板 1 の S O I 層を接地 ( 基準 ) 電位 ( G N D ) と電気的に接続し、第 4 層配線 1 4 B と電気的に接続する第 2 層配線 1 2 をプラグ 1 7 を介してその S O I 層と電気的に接続したものである。これにより、本実施の形態 5 においては、前記実施の形態 1 において第 1 層配線 1 1 と第 4 層配線 1 4 A との間で形成した容量成分と同様の容量成分を半導体基板 ( S O I 層 ) と第 4 層配線 1 4 A との間で形成することができる。その結果、本実施の形態 5 によれば、第 1 層配線 1 1 を形成する工程を省略することができるので、本実施の形態 5 の半導体装置の製造工程数を低減することができる。すなわち、本実施の形態 5 の半導体装置の製造に要する T A T ( Turn Around Time ) を短縮することが可能となる。

40

## 【 0 0 3 6 】

上記のような本実施の形態 5 の半導体装置によっても、前記実施の形態 1 の半導体装置と同様の効果を得ることができる。

## 【 0 0 3 7 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、

50



本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

#### 【 0 0 3 8 】

前記実施の形態においては、第 1 層配線と第 4 層配線との間に 2 層の配線が形成されている場合について例示したが、1 層の配線または 3 層以上の配線としてもよい。

#### 【 0 0 3 9 】

#### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

( 1 ) 接地電位と電氣的に接続する第 1 配線およびボンディングワイヤが接続されるパッドとなる第 2 配線を容量電極とし、第 1 配線と第 2 配線との間の第 1 絶縁膜を容量絶縁膜とする容量成分を形成するので、高速 L S I が形成された半導体チップを搭載するパッケージをワイヤボンディング法を用いて形成する場合においてもパッケージ内の信号伝送線路の特性インピーダンス整合をとることができる。

10

( 2 ) 高速 L S I が形成された半導体チップが搭載されたパッケージにおいて、信号伝送線路の特性インピーダンス整合をとることができるので、信号伝送線路を伝わる信号が高周波であっても信号の反射を防ぐことができる。

#### 【図面の簡単な説明】

【図 1】本発明の実施の形態 1 である半導体装置の要部平面図である。

【図 2】図 1 中の A - A 線に沿った断面図である。

20

【図 3】図 1 中の B - B 線に沿った断面図である。

【図 4】本発明の実施の形態 1 である半導体装置の要部断面図である。

【図 5】本発明の実施の形態 1 である半導体装置における信号伝送線路の信号反射特性の容量依存性について示す説明図である。

【図 6】本発明の実施の形態 2 である半導体装置の要部平面図である。

【図 7】図 6 中の A - A 線に沿った断面図である。

【図 8】図 6 中の B - B 線に沿った断面図である。

【図 9】本発明の実施の形態 3 である半導体装置の要部平面図である。

【図 1 0】図 9 中の A - A 線に沿った断面図である。

【図 1 1】図 9 中の B - B 線に沿った断面図である。

30

【図 1 2】本発明の実施の形態 4 である半導体装置の要部平面図である。

【図 1 3】図 1 2 中の C - C 線に沿った断面図である。

【図 1 4】本発明の実施の形態 5 である半導体装置の要部断面図である。

【図 1 5】本発明の実施の形態 5 である半導体装置の要部断面図である。

#### 【符号の説明】

1 半導体基板

1 1 第 1 層配線 ( 第 1 配線 )

1 2 第 2 層配線

1 3 第 3 層配線

1 4 A 第 4 層配線 ( 第 2 配線 )

40

1 4 B 第 4 層配線 ( 第 3 配線 )

1 5 層間絶縁膜 ( 第 1 絶縁膜 )

1 7 プラグ

1 8 保護膜

1 9 開口部

2 1 半導体チップ

2 2 A ダイパッド

2 2 B アウターリード

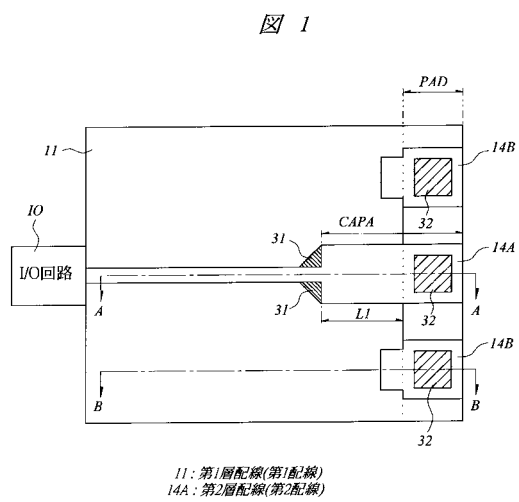
2 3 ワイヤ

2 4 エポキシ樹脂

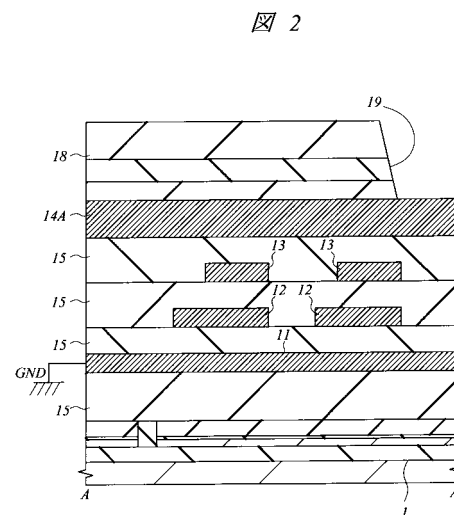
50

3 1 領域 ( 第 2 領域 )  
 3 2 領域  
 C A P A 領域 ( 第 1 領域 )  
 I O I / O 回路 ( 第 1 回路 )  
 P A D 領域 ( パッド領域 )

【図 1】

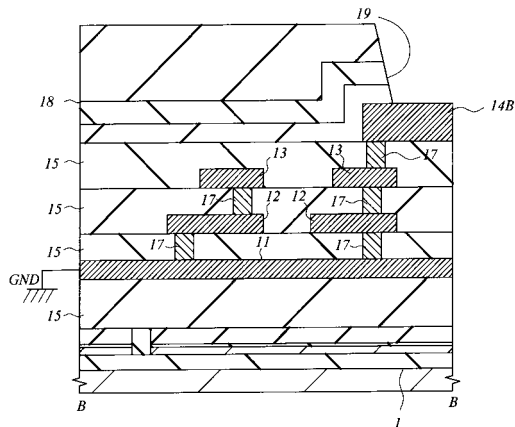


【図 2】



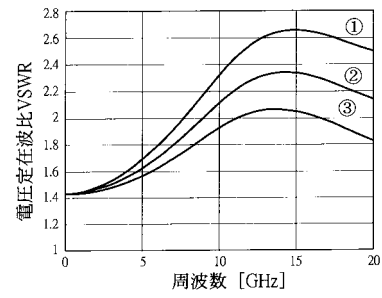
【図 3】

図 3



【図 5】

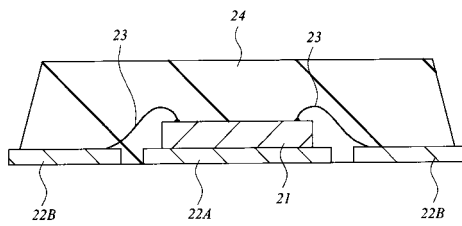
図 5



ワイヤインダクタンス: 1nH

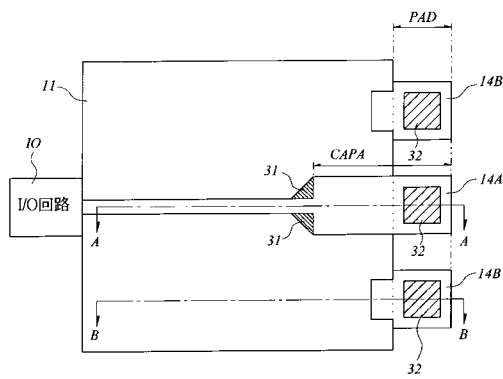
【図 4】

図 4



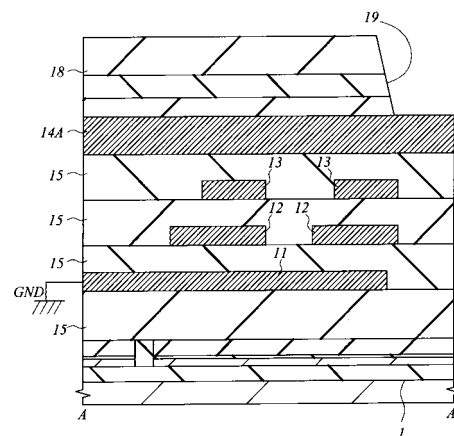
【図 6】

図 6

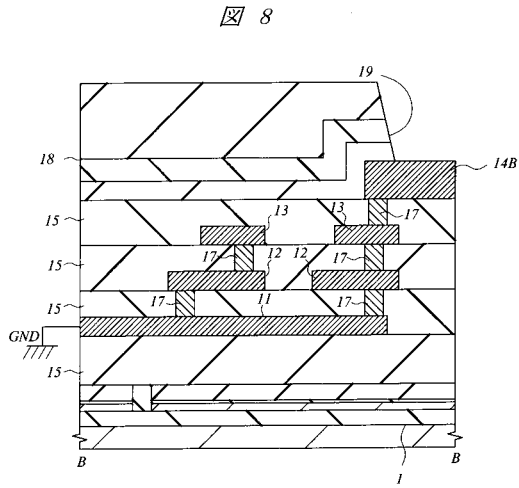


【図 7】

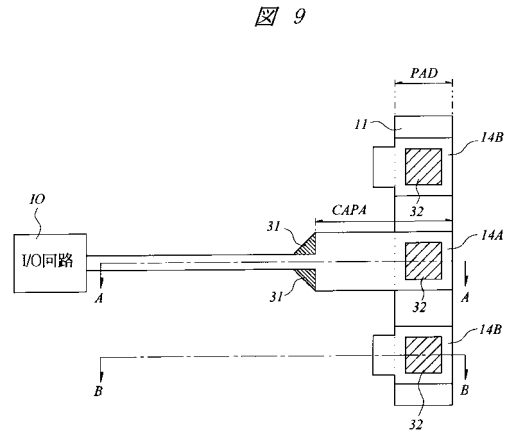
図 7



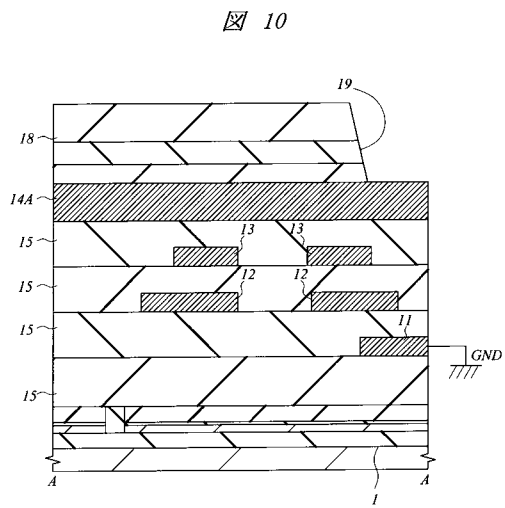
【図 8】



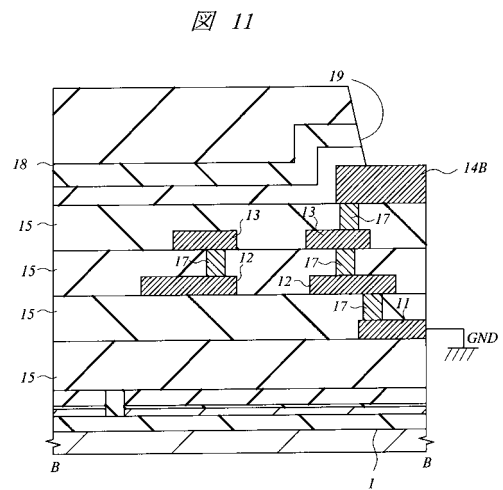
【図 9】



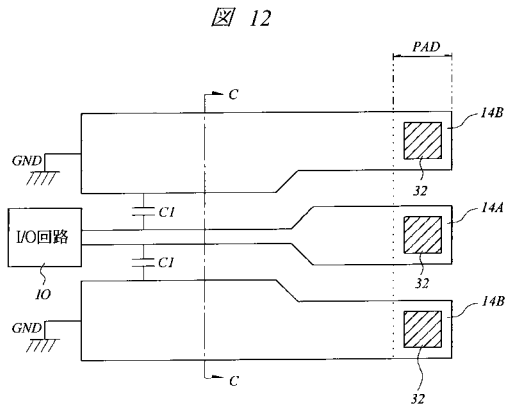
【図 10】



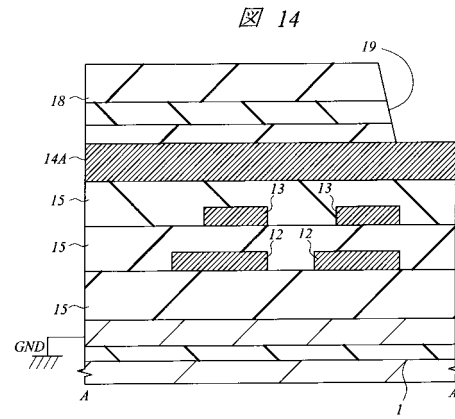
【図 11】



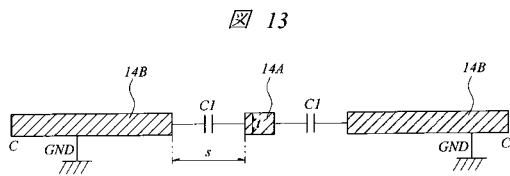
【図 12】



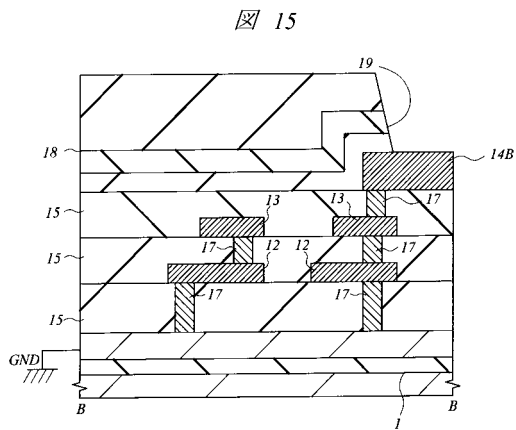
【図 14】



【図 13】



【図 15】



---

フロントページの続き

(56)参考文献 特開2000-187247(JP,A)  
特開2000-058765(JP,A)  
特開平09-283632(JP,A)  
特開平07-263446(JP,A)  
特開平04-252073(JP,A)  
特開平04-246851(JP,A)  
特開昭62-217630(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822  
H01L 21/82  
H01L 23/12  
H01L 27/04