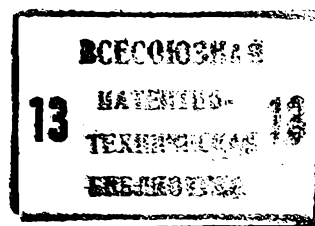




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3540377/24-24
(22) 11.11.82
(46) 07.04.85. Бюл. № 13
(72) Ю.П.Барметов, С.А.Боев, Ю.И.Ев-
теев, Д.И.Колядко и А.Г.Уваров
(53) 681.3(088.8)
(56) 1. Авторское свидетельство СССР
№ 489107, кл. G 06 F 11/28, 1972.
2. Авторское свидетельство СССР
№ 630630, кл. G 06 F 11/28, 1977
(прототип).

(54)(57) УСТРОЙСТВО ДЛЯ ЗАПИСИ И
КОРРЕКЦИИ ПРОГРАММ, содержащее блок
клавиатуры, блок формирования и ком-
мутации адресов, блок оперативной
памяти, блок индикации и блок внеш-
ней памяти, причем блок формирова-
ния и коммутации адресов содержит
первый и второй регистры, первый
выход блока клавиатуры соединен с
 входами записи первого и второго
регистров блока формирования и ком-
мутации адресов, второй выход блока
клавиатуры соединен с информационны-
ми входами первого и второго регист-
ров блока формирования и коммутации
адресов, о т л и ч а ю щ е е с я
тем, что, с целью повышения быстро-
действия устройства, в него введены
блок задания режима, блок сравнения,
блок записи в постоянную память и
коммутатор, а в блок формирования
и коммутации адресов введены сумма-
тор, схема сравнения, первый и вто-
рой коммутаторы и счетчик, причем
блок записи в постоянную память со-
держит генератор импульсов, первый
и второй счетчики, первый и второй
мультиплексоры, одновибратор, дешиф-
ратор, первый и второй transforma-

тели уровней сигналов, блок постоян-
ной памяти, схему сравнения, триггер
четыре элемента И и элемент НЕ, блок
задания режима содержит коммутатор,
триггер, переключатель, два элемен-
та задержки, элемент И, элемент
ИЛИ и два элемента И-НЕ, причем
третий, четвертый, пятый, шестой и
седьмой выходы блока клавиатуры
соединены соответственно с управля-
ющим входом коммутатора, первым вхо-
дом первого элемента И-НЕ, первым
входом элемента ИЛИ, первым входом
элемента И и управляющим входом
переключателя блока задания режима,
выход готовности блока внешней памя-
ти соединен с первым информационным
входом коммутатора блока задания
режима, выход коммутатора блока за-
дания режима соединен с первым вхо-
дом триггера и через первый элемент
задержки с вторым входом триггера и
первым входом второго элемента И-НЕ,
выход которого через второй элемент
задержки соединен с вторым входом
элемента И и счетным входом счетчика
блока формирования и коммутации адре-
сов, выход элемента И блока задания
режима соединен с вторым входом
элемента ИЛИ, выход которого соеди-
нен с первым информационным входом
переключателя блока задания режима,
вход обращения устройства соединен
с вторым информационным входом пере-
ключателя блока задания режима, выход
которого соединен с входом чтения
блока внешней памяти и первым входом
триггера блока записи в постоянную
память, выход триггера блока задания
режима соединен с входом обращения
блока оперативной памяти, информа-

ционный выход которого соединен с первым входом коммутатора и первым входом блока сравнения, выход блока сравнения соединен с вторым входом первого элемента И-НЕ блока задания режима, выход первого элемента И-НЕ блока задания режима соединен с вторым входом второго элемента И-НЕ блока задания режима, информационный выход первого регистра блока формирования и коммутации адресов соединен с входом первого операнда сумматора и с первым информационным входом первого коммутатора, выход которого соединен с входом блока индикации, информационный выход второго регистра блока формирования и коммутации адресов соединен с вторым информационным входом первого коммутатора и первым входом схемы сравнения, выход которой соединен с третьим входом второго элемента И-НЕ блока задания режима, вход записи счетчика блока формирования и коммутации адресов соединен с первым выходом блока клавиатуры, информационный выход счетчика соединен с вторым входом схемы сравнения, третьим информационным входом первого коммутатора, входом второго сумматора и адресным входом блока оперативной памяти, адресный вход устройства соединен с первым информационным входом второго коммутатора блока формирования и коммутации адресов, выход которого соединен с четвертым информационным входом первого коммутатора блока формирования и коммутации адресов, адресными входами блока внешней памяти, адресными входами блока постоянной памяти, блока записи в постоянную память, первый выход блока клавиатуры соединен с управляющими входами первого и второго коммутаторов блока формирования и коммутации адресов, второй выход блока клавиатуры соединен с вторым информационным входом коммутатора, выход которого соединен с вторым входом блока индикации, входом блока сравнения, с информационными входами блока оперативной памяти, блока внешней памяти, с информационным входом первого мультиплексора, блока записи в постоянную память, восьмой, девятый и десятый выходы блока клавиатуры соединены соответственно с управляющим входом коммутатора, с входом записи блока

внешней памяти, с первым входом первого элемента И блока записи в постоянную память, выход первого элемента И блока записи в постоянную память соединен с вторым входом триггера, единичный выход которого соединен с входом разрешения счета первого счетчика и счетным входом второго счетчика блока записи в постоянную память, выход генератора импульсов соединен со счетным входом первого счетчика, информационный выход которого соединен с первыми входами второго и третьего элементов И блока записи в постоянную память, выход переполнения первого счетчика блока записи в постоянную память через элемент НЕ соединен с вторым входом третьего элемента И, выход которого соединен с первым входом четвертого элемента И блока записи в постоянную память, выход схемы сравнения блока записи в постоянную память соединен с вторым входом четвертого элемента И, выход которого соединен с информационным входом второго счетчика, информационный выход которого соединен с информационными входами первого и второго мультиплексоров и первым входом дешифратора блока записи в постоянную память, выходы первого и второго мультиплексоров блока записи в постоянную память соединены соответственно с первым и вторым входами схемы сравнения, выход первого мультиплексора блока записи в постоянную память соединен с вторым входом второго элемента И, выход которого соединен с вторым входом дешифратора и первым входом первого преобразователя уровней сигналов, выход которого соединен с информационным входом блока постоянной памяти и через второй преобразователь уровней с вторым входом мультиплексора и с третьим информационным входом коммутатора, выход второго счетчика блока записи в постоянную память через одновибратор соединен с вторым входом первого элемента И блока записи в постоянную память и с вторым информационным входом коммутатора блока задания режима, выход дешифратора блока записи в постоянную память соединен с вторым входом первого преобразователя уровней сигналов, информационный выход блока внеш-

ней памяти соединен с четвертым информационным входом коммутатора и является информационным выходом устрой-

ства, одиннадцатый выход блока клавиатуры соединен с входом чтения блока оперативной памяти.

1

Изобретение относится к вычислительной технике и может быть использовано для отладки программ микро-ЭВМ и микропроцессорных устройств.

Известно устройство отладки программ для постоянного запоминающего устройства, содержащее блок регистров, распределитель, блоки формирования адреса и адреса участка, блок управления, запоминающее устройство без разрушения информации, блок приема и выдачи команд, блок подключения постоянного запоминающего устройства, числовые, адресные и командную шины [1].

Недостатками данного устройства являются отсутствие возможности занесения откорректированной программы в ПЗУ, а также необходимость ручного набора адреса исправляемой команды, что затрудняет корректировку, связанную со значительными изменениями программ.

Наиболее близким к изобретению по технической сущности является устройство для отладки программ, содержащее блок клавиатуры, регистры, оперативную память, перфоратор, накопитель на магнитной ленте [2].

Недостатками известного устройства являются необходимость применения дополнительной аппаратуры для занесения программ в постоянное запоминающее устройство, а также сложность введения пропущенных команд и, как следствие, низкая производительность при отладке программ.

Целью изобретения является повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство для записи и коррекции программ, содержащее блок клавиатуры, блок формирования и коммутации адресов, блок оперативной памяти, блок индикации и блок внешней памяти, причем блок формирования и коммутации адресов содержит первый и второй регистры, первый

2

выход блока клавиатуры соединен с входами записи первого и второго регистров блока формирования и коммутации адресов, второй выход блока клавиатуры соединен с информационными входами первого и второго регистров блока формирования и коммутации адресов, введены блок задания режима, блок сравнения, блок записи в постоянную память и коммутатор, а в блок формирования и коммутации адресов введены сумматор, схема сравнения, первый и второй коммутаторы и счетчик, причем блок записи в постоянную память содержит генератор импульсов, первый и второй счетчики, первый и второй мультиплексоры, одновибратор, дешифратор, первый и второй преобразователи уровней сигналов, блок постоянной памяти, схему сравнения, триггер, четыре элемента И и элемент НЕ, блок задания режима содержит коммутатор, триггер, переключатель, два элемента задержки, элемент И, элемент ИЛИ и два элемента И-НЕ, причем третий, четвертый, пятый, шестой и седьмой выходы блока клавиатуры соединены соответственно с управляющим входом коммутатора, первым входом первого элемента И-НЕ, первым входом элемента ИЛИ, первым входом элемента И и управляющим входом переключателя блока задания режима, выход готовности блока внешней памяти соединен с первым информационным входом коммутатора блока задания режима, выход коммутатора блока задания режима соединен с первым входом триггера и через первый элемент задержки с вторым входом триггера и первым входом второго элемента И-НЕ, выход которого через второй элемент задержки соединен с вторым входом элемента И и счетным входом счетчика блока формирования и коммутации адресов, выход элемента И блока задания режима соединен с вторым входом

элемента ИЛИ, выход которого соединен с первым информационным входом переключателя блока задания режима, вход обращения устройства соединен с вторым информационным входом переключателя блока задания режима, выход которого соединен с входом чтения блока внешней памяти и первым входом триггера блока записи в постоянную память, выход триггера блока задания режима соединен с входом обращения блока оперативной памяти; информационный выход которого соединен с первым входом коммутатора и первым входом блока сравнения, выход блока сравнения соединен с вторым входом первого элемента И-НЕ блока задания режима, выход первого элемента И-НЕ блока задания режима соединен с вторым входом второго элемента И-НЕ блока задания режима, информационный выход первого регистра блока формирования и коммутации адресов соединен с входом первого операнда сумматора и с первым информационным входом первого коммутатора, выход которого соединен с входом блока индикации, информационный выход второго регистра блока формирования и коммутации адресов соединен с вторым информационным входом первого коммутатора и первым входом схемы сравнения, выход которой соединен с третьим входом второго элемента И-НЕ блока задания режима, вход записи счетчика блока формирования и коммутации адресов соединен с первым выходом блока клавиатуры, информационный выход счетчика соединен с вторым входом схемы сравнения, третьим информационным входом первого коммутатора, входом второго операнда сумматора и адресным входом блока оперативной памяти, адресный вход устройства соединен с первым информационным входом второго коммутатора блока формирования и коммутации адресов, выход которого соединен с четвертым информационным входом первого коммутатора блока формирования и коммутации адресов, адресными входами блока внешней памяти, адресными входами блока постоянной памяти, блока записи в постоянную память, первый выход блока клавиатуры соединен с управляющими входами первого и второго коммутаторов блока формирования и коммутации адресов, второй

выход блока клавиатуры соединен с вторым информационным входом коммутатора, выход которого соединен с вторым входом блока индикации, входом блока сравнения, с информационными входами блока оперативной памяти, блока внешней памяти, с информационным входом первого мультиплексора, блока записи в постоянную память, восьмой, девятый и десятый выходы блока клавиатуры соединены соответственно с управляющим входом коммутатора, с входом записи блока внешней памяти, с первым входом первого элемента И блока записи в постоянную память, выход первого элемента И блока записи в постоянную память соединен с вторым входом триггера, единичный выход которого соединен с входом разрешения счета первого счетчика и счетным входом второго счетчика блока записи в постоянную память, выход генератора импульсов соединен со счетным входом первого счетчика, информационный выход которого соединен с первыми входами второго и третьего элементов И блока записи в постоянную память, выход переполнения первого счетчика блока записи в постоянную память через элемент НЕ соединен с вторым входом третьего элемента И, выход которого соединен с первым входом четвертого элемента И блока записи в постоянную память, выход схемы сравнения блока записи в постоянную память соединен с вторым входом четвертого элемента И, выход которого соединен с информационным входом второго счетчика, информационный выход которого соединен с информационными входами первого и второго мультиплексоров и первым входом дешифратора блока записи в постоянную память, выходы первого и второго мультиплексоров блока записи в постоянную память соединены соответственно с первым и вторым входами схемы сравнения, выход первого мультиплексора блока записи в постоянную память соединен с вторым входом второго элемента И, выход которого соединен с вторым входом дешифратора и первым входом первого преобразователя уровней сигналов, выход которого соединен с информационным входом блока постоянной памяти и через второй преобразователь уровней с вторым входом мультиплек-

сора и с третьим информационным входом коммутатора, выход второго счетчика блока записи в постоянную память через одновибратор соединен с вторым входом первого элемента И блока записи в постоянную память и с вторым информационным входом коммутатора блока задания режима, выход дешифратора блока записи в постоянную память соединен с вторым входом первого преобразователя уровней сигналов, информационный выход блока внешней памяти соединен с четвертым информационным входом коммутатора и является информационным выходом устройства, одиннадцатый выход блока клавиатуры соединен с входом чтения блока оперативной памяти.

На фиг. 1 приведена структурная схема устройства для записи и коррекции программ; на фиг. 2 — структурные схемы блока записи в постоянную память; на фиг. 3 — блок формирования и коммутации адресов; на фиг. 4 — блок задания режима.

Устройство содержит блок 1 задания режима, блок 2 сравнения, блок 3 формирования и коммутации адресов, блок 4 индикации, блок 5 оперативной памяти, коммутатор 6, блок 7 клавиатуры, блок 8 записи в постоянную память, блок 9 внешней памяти; вход 10 блока 1, выход 11 блока 7, входы 12-17 блока 1, блока 3 формирования и коммутации адресов, блоков 5 и 8, блока 9 внешней памяти и коммутатора 6, выходы 18-20 блока 1, выходы 21 и 22 блоков 9 и 8, выход 23 блока 3 формирования и коммутации адресов, выход 24 сигнала "Совпадение" блока 2 сравнения, адресные входы 25 блоков 8 и 9, адресный вход 26 блока 5, адресный вход 27 устройства, выход 28 блока 7, информационные входы 29 и 30 блока 3 формирования и коммутации адресов и коммутатора 6, выход 31 индикации блока 3 формирования и коммутации адресов, выход 32 коммутатора, выходы 33 и 34 блоков 8 и 9 и триггер 35, элемент И 36, генератор 37 импульсов, счетчик 38, элемент НЕ 39, элементы И 40 и 41, мультиплексор 42, схему 43 сравнения, элемент И 44, 55 счетчик 45, мультиплексор 46, одновибратор 47, дешифратор 48, преобразователи 49 и 50 уровней сигналов;

блок 51 постоянной памяти, выход 52 мультиплексора 42, выход 53 мультиплексора 46, выход 54 схемы сравнения, вход/выход 55 блока 51, выход 56 преобразователя 50 уровня, счетчик 57, регистры 58 и 59, схему 60 сравнения, сумматор 61, коммутаторы 62 и 63, входы 64-66 занесения информации счетчика и регистров, входы 67 и 68 коммутаторов, коммутатор 69, элемент 70 задержки, элементы И-НЕ 71 и 72, элемент 73 задержки, элемент И 74, элемент ИЛИ 75, триггер 76, переключатель 77, входы 78-82.

Блок 9 обеспечивает стирание, запись, хранение и выдачу по выходу 34 на вход коммутатора 6 и выход устройства кодов программ, а также формирование на выходе 21 стробового импульса, сопровождающего при чтении установление на выходе блока кода, считываемого с блока постоянной памяти слова, или конец операции при стирании и записи кода в блок постоянной памяти. Задание вида операции производится по входу 16 с блока 7, стробовый сигнал начала операции подается с выхода 19 блока 1, коды записываемых в блок постоянной памяти слов пересылаются с выхода 32 коммутатора 6. Блок 8 служит для записи кодов в блок постоянной памяти, считывания информации на вход коммутатора 6 и формирования на выходе 22 стробового импульса окончания записи слова в блок постоянной памяти. Сигнал "Запись" подается по управляющему входу 15 с выхода 11 блока 7, стробовый сигнал начала записи — с выхода 19 блока 1, код прожигаемого слова поступает с выхода 32 коммутатора 6. Блок 8 обеспечивает также формирование и индикацию сигнала неисправимой ошибки, возникающей при программировании лишнего разряда или при несоответствии адресации блока постоянной памяти паспортным данным.

Коммутатор 6 служит для подключения на вход блока памяти, в который записывается информация, выхода блока-источника информации. В качестве последнего могут выступать блоки 5-9, соединенные своими выходами с информационными входами коммутатора. Приемниками могут быть блоки 5, 8 и 9, соединенные своими инфор-

мационными входами с выходом 32 коммутатора 6, а также блок 4 индикации, постоянно воспроизводящий код выхода коммутатора на световом табло. Адрес коммутируемого канала задается по управляющему входу 17 блока 7.

Блок 7, соединенный информационным выходом 28 через вход блока 3 формирования и коммутации адресов с информационными входами счетчика 57 адресов, регистров 58 и 59, а также через коммутатор 6 - с информационными входами блоков 5, 8 и 9 и блока 4 индикации, осуществляет подачу начального и конечного адресов выбираемого сегмента памяти с произвольным доступом блока 5 и кода смещения адреса внешней памяти относительно адреса в блок 3, подачу кодов слов в запоминающие устройства с их одновременной индикацией блоком 4.

Выход 11 блока 7 соединяется групповыми линиями связи с входами 12, 13, 16 и 17 блока 1, блока 3 формирования и коммутации адресов, блока 9 внешней памяти, коммутатора 6 и одиночными линиями связи с входами 14 и 15 блока 5 памяти с произвольным доступом и блока 8.

С выхода 11 блока 7 задаются режим работы устройства (работы с вычислительным устройством, автоматического чтения, контроля или записи участка программы, однократного чтения или записи по адресу), вид выполняемой операции - запись в блок 5 (вход 14), запись в блок 9 внешней памяти (вход 16), прожиг блока 51 (входы 15 и 78), стирание информации в блоке 51 (вход 16).

Управляющий выход служит также для подачи стробов занесения информации в счетчик 57 (вход 64) и регистры 58 и 59 (входы 65 и 66) для разрешения или запрещения подачи сигнала сравнения на элемент И-НЕ 71, (вход 79) для подачи стробового сигнала "Пуск" (вход 80) в блок 1.

Блок 1 формирует на выходах 18 и 19 сигналы стробирования счетчика 57 адресов, блоков 9 и 8, а также на выходе 20 сигнал "Выбор микросхемы" блока 5, используемый последним при записи информации. Необходимая длительность цикла считывания информации с блока внешней памяти обеспечи-

вается элементами 70 и 73 задержки, длительность импульса "Выбор микросхемы" в режиме записи и момент его подачи - элементом 70, которая также задерживает прохождение стробового импульса с коммутатора 69 на элемент И-НЕ 71 до момента установления сигнала сравнения на втором ее входе.

Элемент И-НЕ 71 служит для запрещения или разрешения прохождения стробового сигнала на счетчик 57 и элемент И 74 по уровням сигналов со схем 2 и 60 сравнения сигнала по входу 79.

Блок 3 формирования и коммутации адресов осуществляет адресацию блоков 5, 8 и 9, с помощью коммутатора 62 по выходу 31 производит выдачу кодов текущего адреса блоков 5 и 9 и блока 5 конечного адреса и кода смещения в блок 4 индикации, выполняет коммутацию коммутатором 63 адреса блока 9 внешней памяти с внешнего источника адреса, поступающего на вход 27, или осуществляет с выхода сумматора 61 формирование схемой 60 сравнения сигнала "Окончание операции" при совпадении текущего адреса блока 5 и конечного адреса, записанного в регистре 58.

Блок 8 обеспечивает подачу импульсов высокого напряжения в режиме прожига на информационные входы-выходы 55 блока 51, а также на входы "Питание" и "Выбор микросхемы" путем инверсии и умощнения импульсов с выходов дешифратора 48 и элемента И 40 преобразователем 49 уровней сигналов. Дешифратор 48, соединенный адресным входом с выходом счетчика 45 прожигаемого разряда и управляющим входом с выходом элемента И 40, формирующего импульс записи при единичном значении программируемого разряда, служит для подачи импульса прожига через преобразователь 49 уровня на тот вход блока 51, который подлежит программированию. Генератор 37 тактовых импульсов, счетчик 38, элемент НЕ 39, элементы И 40 и 41 предназначены для формирования последовательности импульсов записи (выход элемента 40) и чтения (выход элемента 41) с заданной длительностью и скважностью. Триггер 35, соединенный выходом со схемами установки в ноль счетчиков 38 и 45, управляет работой последних, устанавли-

вая их в исходное (нулевое) состояние и разрешая или запрещая изменение значений на выходе. Счетчик 45 номера программируемого разряда (кроме дешифратора) задает номер коммутируемого канала мультиплексору 42, пропускающему поразрядно код программируемого слова, и мультиплексору 46, входом которого является информационный выход блока 51, пропускаемый через преобразователь 50 уровня. Разряд программируемого слова с выхода мультиплексора 42 проходит на третий вход элемента И 40 и в зависимости от значения пропускает или запрещает прохождения импульса записи на его выход.

Одноразрядная схема 43 сравнения выполняет сравнение значений разрядов программируемого слова и выхода блока 51, разрешая проход импульса чтения через элемент И 44 на счетчик 45 разрядов при совпадении и запрещая при несовпадении, а также вырабатывает и индицирует сигнал "Неисправимая ошибка", если значения разряда блока 51 равно 1, а программируемого слова - 0.

Устройство работает следующим образом.

Отладки программ осуществляют выполнением операций первоначально занесения кодов команд программы с блока 7 в блок 5, визуальной проверки по индикации блока 4 правильности занесения кодов программы, перезаписи программы в блок 9, контроля перезаписи сравнением содержимого блоков 5 и 9 схемой 2 сравнения выявления ошибок в программе путем анализа ее выполнения на вычислительном устройстве, подключаемом к блоку 9 внешней памяти (если конкретное выполнение ВУ не допускает размещение программы во внешней памяти, последняя также может быть переписана с блока внешней памяти в память ВУ через стандартные блоки параллельного обмена) корректировки программы в блоках 5 и 9 и записи ее отлаженного варианта (в случае необходимости) в интегральные схемы блока 51.

Корректировка программы может заключаться в исправлении кодов команд, вставке или удалении отдельных команд, или целых блоков программы. Исправление ошибок в кодах

команд в зависимости от вида ошибки (замена "1" на "0" или "0" на "1") и с интегральных схем перепрограммируемых постоянных запоминающих устройств (ИС ППЗУ), применяемых в блоке 9, может быть выполнено непосредственной записью правильного кода в блок внешней памяти с блока 7 либо с предварительным исправлением информации в блоке 5, стиранием содержимого блока 9, записью в блок 9 исправленной программы, сравнением содержимого блоков 5 и 9 с целью контроля правильности записи информации. При вставке или удалении команд программа переписывается из блока внешней памяти в блок памяти с произвольным доступом, причем та часть программы, в которой изменилась нумерация команд, переписывается с соответствующим смещением адресации блока 9 относительно блока 5, задаваемым с блока 7. После записи добавляемых команд исправленная программа вновь заносится в блок внешней памяти.

Помимо отладки программ устройство позволяет также дублировать содержимое блока 51 с программами или таблицами, записанными ранее, исправлять восстановившиеся или запрограммировавшиеся в процессе эксплуатации разряды, осуществлять контроль правильности занесенной в блок 51 информации. При дублировании содержимого блока 51 эталонная схема устанавливается в блоке 8, после переписи информации со схемы в блок 5 памяти она заменяется на схему, подлежащую программированию (прожигу). Управление работой устройства осуществляется с блока 7, при этом устройство может записывать коды команд с блока 7 в один из блоков 5 и 9 или программировать блок 51, переписывать информацию из одного блока памяти в другой, переписывать информацию в выбранный блок памяти, сравнивать содержимое блока 5 памяти с содержимым внешней памяти блока 51 или с кодом, набираемым на блоке 7, индицировать содержимое блоков памяти, выхода блока 7 или блока 51, выводить информацию из внешней памяти по запросу и адресации другого устройства.

Вид операции, выполняемой устройством, задается с помощью переключателей блока 7.

Адреса блоков 5 и 9 могут совпадать или различаться на величину, задаваемую с блока 7, адрес внешней памяти может вводиться также извне устройства по входу 27. Формируемые адреса и смещение индицируются на блоке 4 индикации.

Перед началом выполнения операции с помощью переключателей блока 7 задается вид выполняемой операции, режим подачи стробовых сигналов в блок 7 формирования и коммутации адресов (одиночный или автоматический), разряд "Разрешение" операции сравнения, устанавливаются коды управления коммутаторами 6, 62 и 63, в блок 3 пересылаются коды начального и конечного адресов, пересылается код смещения адресов блока 8 относительно адресов блока 5. Подачей стробового импульса "Пуск" осуществляется запуск устройства. Если производится пересылка информации с внешней памяти на выход устройства по запросу и адресации с другого устройства, задание адресов и смещение не производится и стробовый импульс с блока 7 не подается. При пересылке начального и конечного адресов и кода смещения в счетчик 57 и регистры 58 и 59 блока 3 переключателями блока 7, соединенными с управляющими входами коммутатора 6, набирается код канала блока 7, что позволяет контролировать набираемые коды на световом табло блока 4. На информационном выходе блока 7 набирается код пересылаемого слова и с управляющего выхода через вход блока 3 подается строб занесения в выбранный регистр или счетчик, фиксирующий установленную на соединенных параллельно информационных входах блоков 57-59 информацию.

Изменение кода счетчика 57 производится импульсами, подаваемыми на стробовый вход 18 счетчика с первого выхода блока 1. По достижении кодом на выходе значения конечного адреса, зафиксированного регистром 58, на выходе 23 блока устанавливается сигнал совпадения, формируемый схемой 60 сравнения, запрещающий прохождение импульсов через элемент И-НЕ 71 блока 1 на стробовый вход 18 счетчика 57.

Адрес блока 5 памяти подается непосредственно с выхода 26 счетчи-

ка 57, адрес внешней памяти и блока 51 либо пропускается коммутатором 63 от внешнего источника, либо получается суммированием кодов счетчика 57 и регистра 59 смещения на сумматоре 61.

Формирование импульсов стробирования счетчика адреса осуществляется блоком 1 по стробовым импульсам, пропускаемым по входу 22 переключателем 69 с блока 8 при выполнении операции программирования блока 51 или же по входу 21 с блока 9 во всех остальных случаях. Инвертированный импульс с выхода переключателя 69 через элемент 70 задержки подается на вход элемента И-НЕ 71. Если на двух других его входах держится высокий потенциал, стробовый импульс проходит на выходе 18 блока 1, если при высоком потенциале на шине 79 "Разрешение" на втором входе элемента 72 установится высокий потенциал, соответствующий несовпадению кодов на входах блока 2, элемент 71 также, как и при совпадении кодов на входе схемы 60, запретит проход стробовых импульсов на выход 18 блока 1 и на вход элемента 73 задержки. При низком потенциале на шине 79 "Разрешение" влияние результата сравнения кодов блоком 2 на прохождение импульсов через элемент И-НЕ 71 исключается.

Стробовые импульсы, проходящие с выхода элемента И-НЕ 71 через элемент задержки, поступают на элемент И 74, второй вход которого соединен с выходом 81 переключателя режимов блока 7. Если выбран режим автоматический, высокий потенциал на этом входе не препятствует проходу импульса через элементы И 74 и ИЛИ 75, переключатель 77 на выход 19 устройства. В режиме подачи одиночных импульсов (нулевое значение на управляемом входе элемента И 74 постоянно держит нулевое значение и на его выходе) через элемент ИЛИ 75 могут проходить только стробовые импульсы по входу 80 с блока 7.

Переключатель 77 в зависимости от уровня сигнала на управляющем входе 82 пропускает на выход импульсы либо с выхода элемента 75, либо по входу 10 с внешнего источника.

Триггер 76 формирует импульсы записи информации блоку 5, длитель-

ность которых равна времени задержки сигнала на элементе 70 задержки.

Запись и стирание информации блоком 9 производится по стробовому импульсу, подаваемому на вход синхронизации блока 9 с выхода 19 блока 1. Адрес ячейки записи и код записываемого слова устанавливаются на входе 25 до момента подачи импульса.

Сигналом с выхода 19 блока 1 осуществляется и запуск блока 8 при выполнении операции прожига.

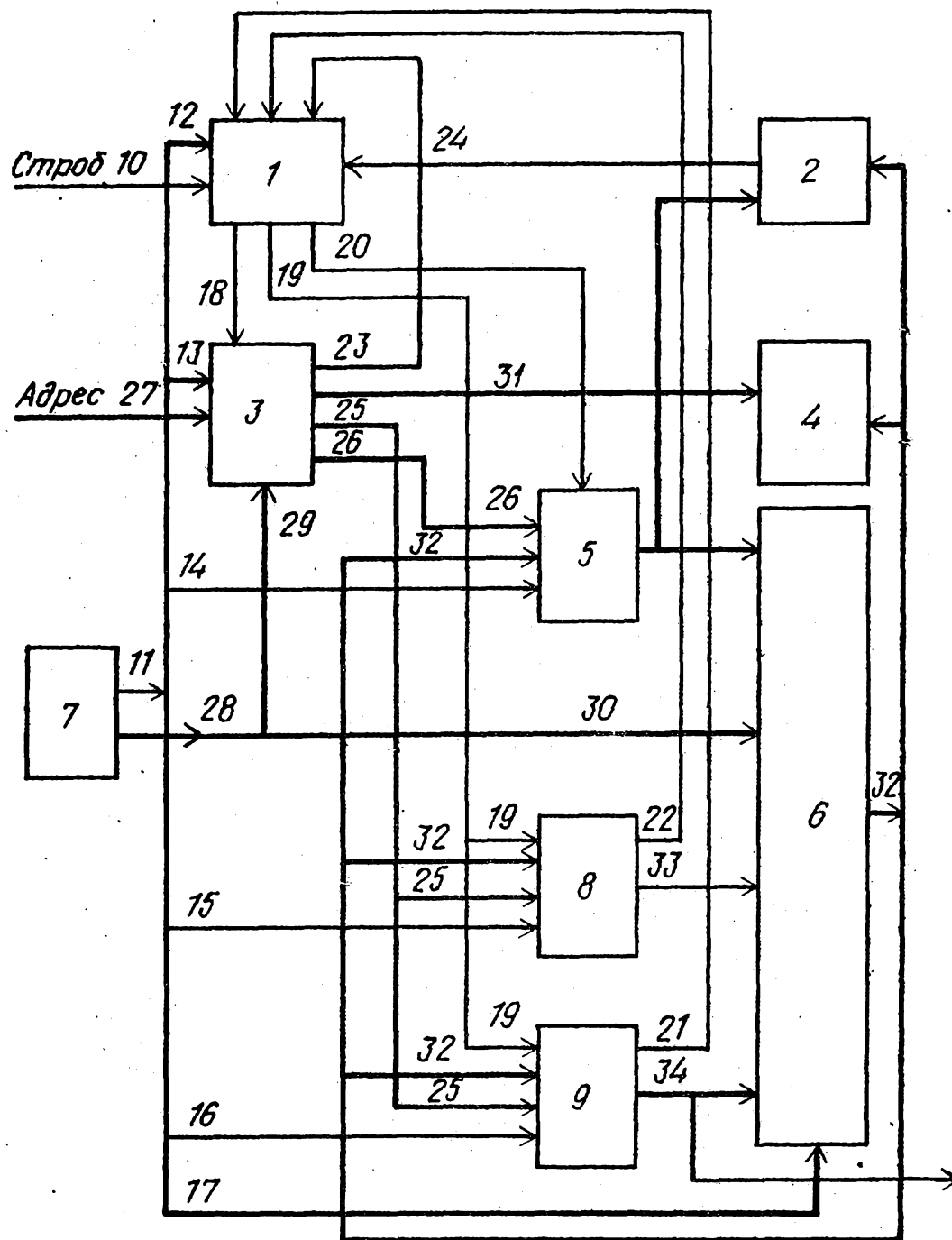
Заносимый в блок 51 код с выхода 32 коммутатора 6 поступает на вход мультиплексора 42, а с небольшой задержкой с выхода 19 на вход синхронизации блока 8 подается стробовый импульс, устанавливающий на выходе триггера 35 низкий потенциал, разрешающий работу счетчикам 38 и 45. Генератор 37 импульсов, счетчик 38, элементы И 40 и 41 и НЕ 39 служат для формирования импульсов записи-чтения. Мультиплексор 42, управляемый счетчиком 45, пропускает поочередно разряды программируемого слова на входы элемента И 40 и схемы 43, когда программируемый разряд отличен от нуля, т.е. должен записываться, и сформированные импульсы с выхода И 40 пропускаются на вход преобразователя 49 уровня и на управляющий вход дешифратора 48. С выхода преобразователя 49 высоковольтные импульсы подаются на входы питания и разрешения блока 51. Адресные входы дешифратора также соединены с выходом счетчика 45, что обеспечивает синхронное формирование с импульсами питания и разрешения импульсов программирования разрядов, подаваемых на информационные блоки 51.

Для считывания информации с блока 51 применяется преобразователь 50

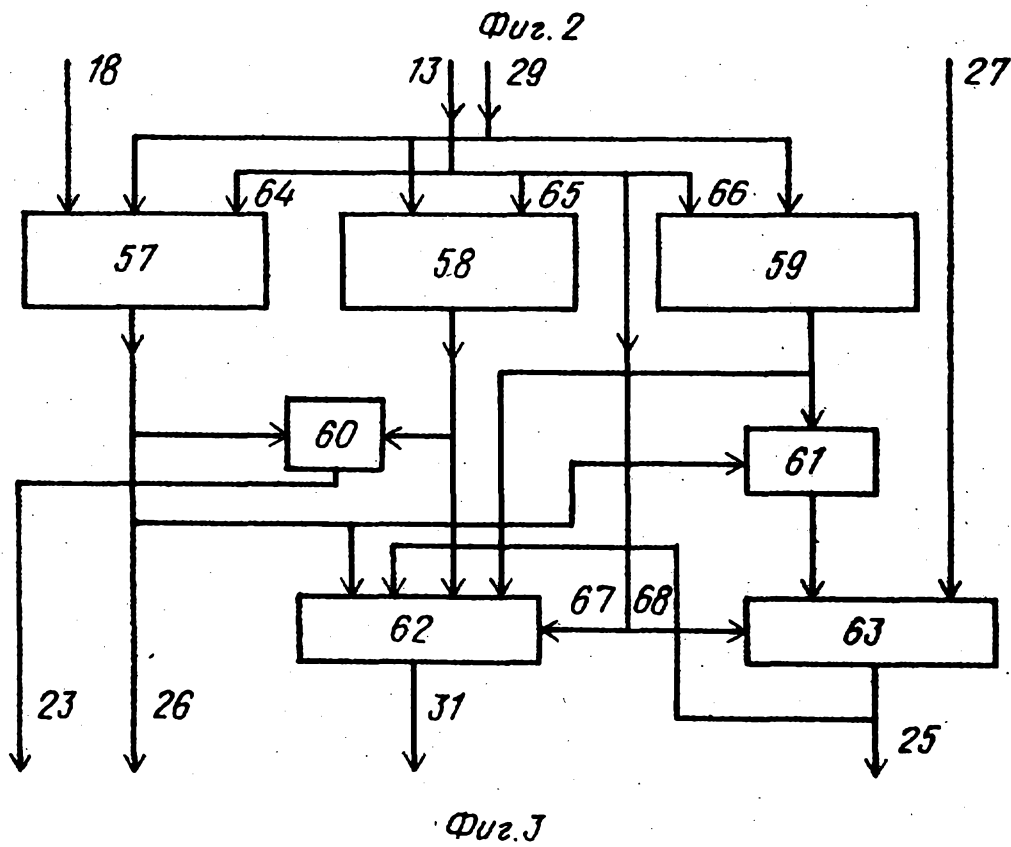
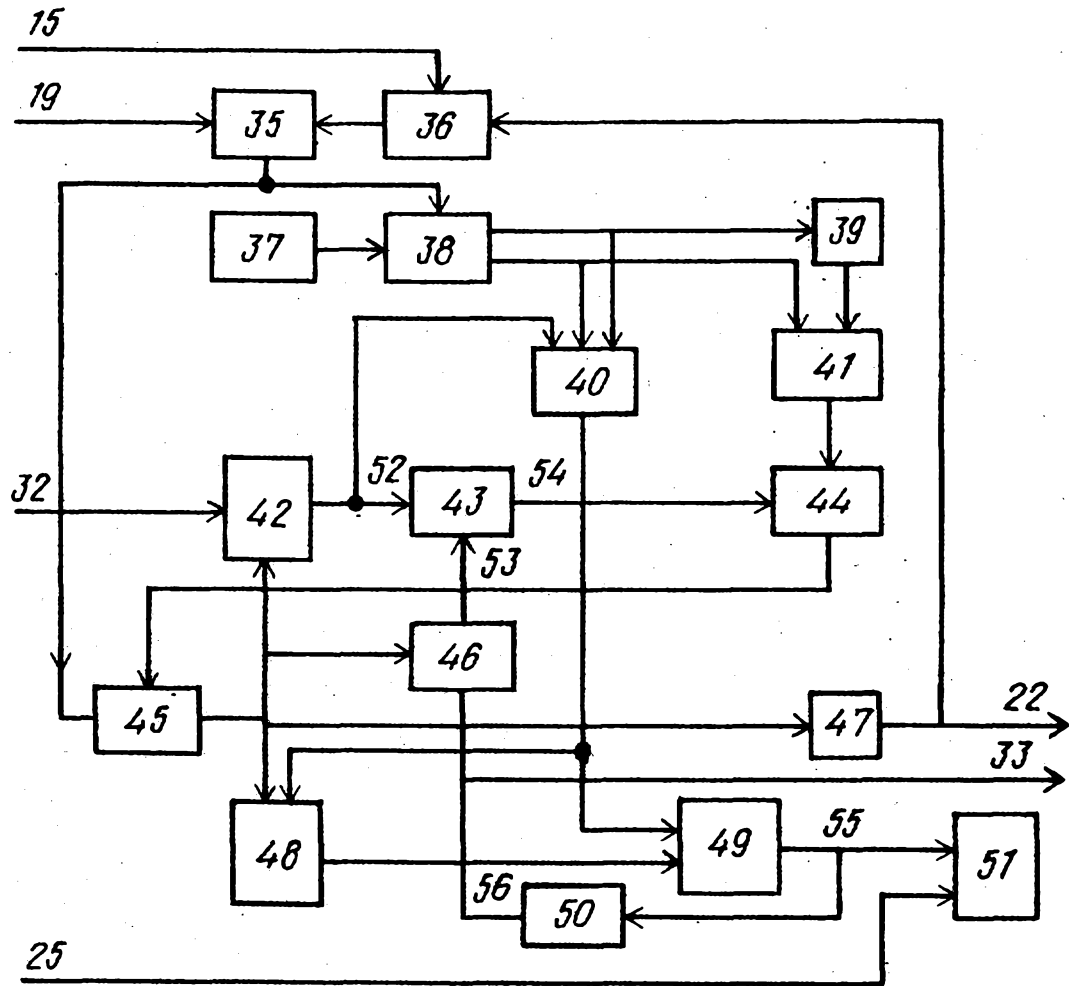
уровня, запрещающий прохождение импульсов программирования высокого напряжения на входы мультиплексора 46 и информационный выход 33 блока. Сравнение кодов программируемого разряда входного слова и выхода блока 51 производится поразрядно схемой 43 сравнения в паузах между импульсами программирования. Если сравнение не произошло, импульс считывания задерживается на элементе И 44, сигналом с выхода схемы 43 и код на счетчике 45 не изменяется до тех пор, пока разряд не запрограммируется. После программирования всех разрядов импульс с одновибратора 47, формируемый по заднему фронту старшего разряда счетчика 45, устанавливает триггер в единичное состояние, при этом счетчики 42 и 45 сбрасываются в ноль и блок ожидает прохода следующего запускающего стробового импульса.

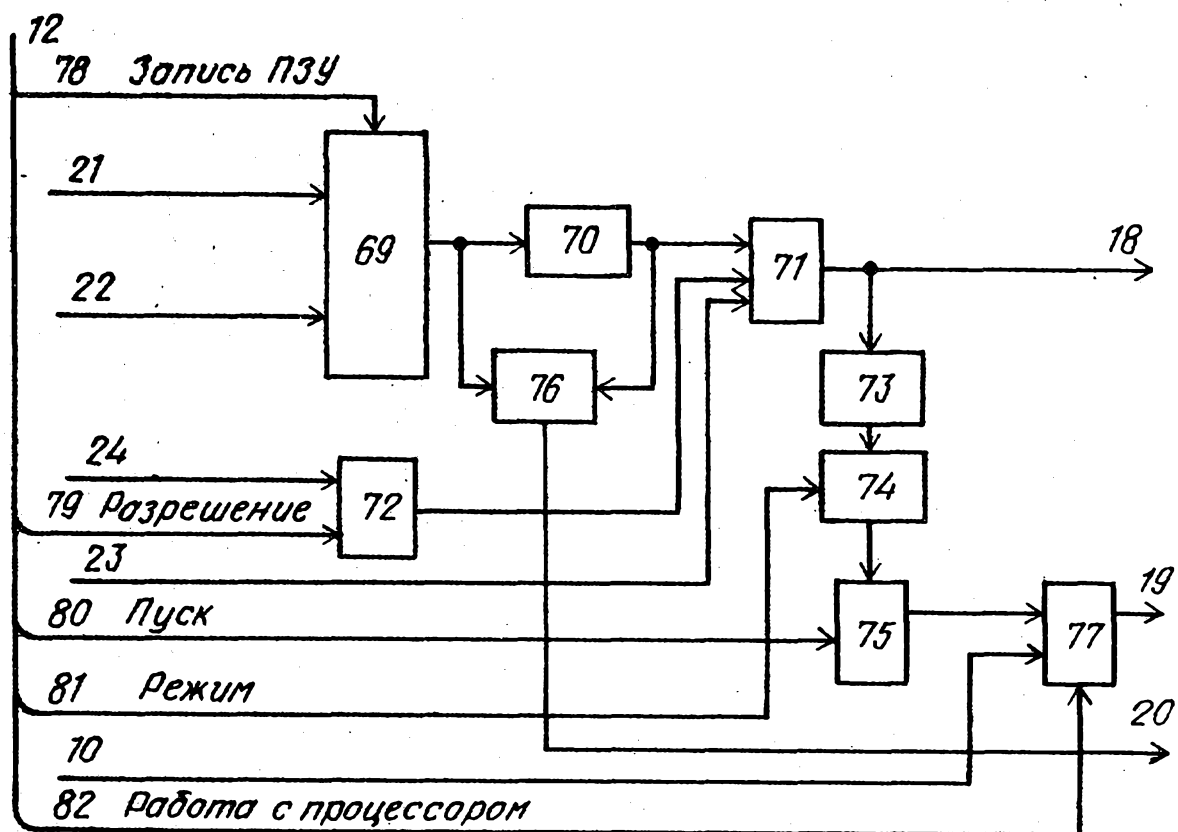
В режиме чтения триггер 35 постоянно находится в единичном состоянии и формирование импульсов программирования не происходит.

Такое построение предлагаемого устройства позволяет достаточно просто осуществлять занесение информации с блока в память с произвольным доступом во внешнюю память, выполненную на ПЗУ, выполнять коррекцию программы, записанной во внешнюю память, причем введение смещения адресов обеспечивает достаточно простое внедрение пропущенных операторов, переписывать отработанные полностью программы в блоки постоянной памяти. Применение в качестве внешней памяти устройства ПЗУ позволяет проводить отработку программ в течение длительных промежутков времени.



Фиг. 1





Фиг. 4

Редактор Л.Гратилла Составитель Л.Горская Техред Т.Фанта Корректор С.Шекмар

Заказ 1895/35 Тираж 710 Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4