



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I474145 B

(45) 公告日：中華民國 104 (2015) 年 02 月 21 日

(21) 申請案號：099100385

(22) 申請日：中華民國 99 (2010) 年 01 月 08 日

(51) Int. Cl. : G05F1/10 (2006.01)

(30) 優先權：2009/01/08 美國 12/350,532

(71) 申請人：線性科技股份有限公司 (美國) LINEAR TECHNOLOGY CORPORATION (US)  
美國

(72) 發明人：菲寶特 理查奈爾 PHILPOTT, RICHARD NEAL (US)

(74) 代理人：祁明輝；林素華

(56) 參考文獻：

TW	200733522A	TW	200926564A
US	6819011B2	US	7068485B2
US	2008/0246453A1		

審查人員：曾錦豐

申請專利範圍項數：23 項 圖式數：10 共 33 頁

(54) 名稱

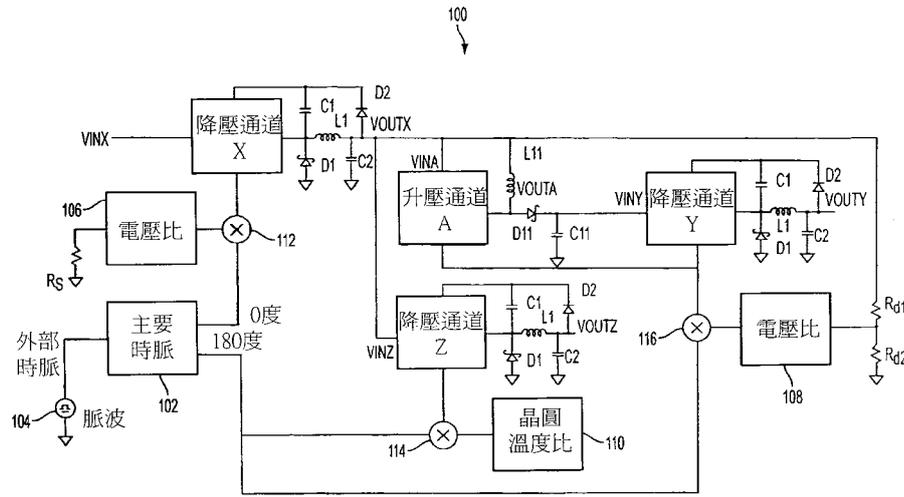
電源供應系統與方法

POWER SUPPLY SYSTEM AND METHOD

(57) 摘要

一種新穎的電路系統和方法，用於操作一多通道切換式穩壓器系統來擴展一輸入至輸出電壓比例，其係藉由設定個別的恒定切換頻率給複數個切換式穩壓器通道。在具有至少第一和第二切換式穩壓器的切換式穩壓器系統中，一第一時脈電路在一第一時脈頻率下供應一第一時脈訊號，來定義第一和第二切換式穩壓器其中一個的切換頻率。一第二時脈電路與該第一時脈訊號同步，用於在一不同於第一時脈頻率的第二時脈頻率下產生一第二時脈訊號，來定義第一和第二切換式穩壓器其中另一個的切換頻率。

Novel circuitry and methodology for operating a multiple channel switching regulator system to extend an input to output voltage ratio by setting individual constant switching frequencies to switching regulator channels. In the switching regulator system having at least first and second switching regulators, a first clock circuit supplies a first clock signal at a first clock frequency to define a switching frequency of one of the first and second switching regulators. A second clock circuit is synchronized to the first clock signal for producing a second clock signal at a second clock frequency different from the first clock frequency, to define a switching frequency of the other of the first and second switching regulators.



第 10 圖

100 . . . 同步多通道  
 切換式穩壓器

102 . . . 主要時脈電  
 路系統

104 . . . 脈波震盪器

106、108 . . . 電壓  
 比轉換器電路

110 . . . 晶圓溫度比  
 轉換器電路

112、114、

116 . . . 倍頻器電路

VINX、VINY、

VINZ、VINA . . .

輸入電壓

VOUTX、VOUTY、

VOUTZ、

VOUTA . . . 輸出電  
 壓

C1、C2、C11 . . .  
 電容

L1、L11 . . . 電感

D1、D2、D11 . . .  
 二極體

RS . . . 電流設定電  
 阻

RD1、RD2 . . . 分壓  
 器電阻



日期: 103年09月30日

發明專利說明書

公告本

(本說明書格式、順序, 請勿任意更動, ※記號部分請勿填寫)

※ 申請案號: 99100385

※ 申請日: 99.01.08

※ IPC 分類: G05F 1/10 (2006.01)

## 一、發明名稱:(中文/英文)

電源供應系統與方法

POWER SUPPLY SYSTEM AND METHOD

## 二、中文發明摘要:

一種新穎的電路系統和方法, 用於操作一多通道切換式穩壓器系統來擴展一輸入至輸出電壓比例, 其係藉由設定個別的恒定切換頻率給複數個切換式穩壓器通道。在具有至少第一和第二切換式穩壓器的切換式穩壓器系統中, 一第一時脈電路在一第一時脈頻率下供應一第一時脈訊號, 來定義第一和第二切換式穩壓器其中一個的切換頻率。一第二時脈電路與該第一時脈訊號同步, 用於在一不同於第一時脈頻率的第二時脈頻率下產生一第二時脈訊號, 來定義第一和第二切換式穩壓器其中另一個的切換頻率。

## 三、英文發明摘要:

Novel circuitry and methodology for operating a multiple channel switching regulator system to extend an input to output voltage ratio by setting individual constant switching frequencies to switching regulator channels. In the switching regulator system having at least first and second switching regulators, a first clock circuit

supplies a first clock signal at a first clock frequency to define a switching frequency of one of the first and second switching regulators. A second clock circuit is synchronized to the first clock signal for producing a second clock signal at a second clock frequency different from the first clock frequency, to define a switching frequency of the other of the first and second switching regulators.

#### 四、指定代表圖：

(一)本案指定代表圖為：第( 10 )圖。

(二)本代表圖之元件符號簡單說明：

100：同步多通道切換式穩壓器

102：主要時脈電路系統

104：脈波震盪器

106、108：電壓比轉換器電路

110：晶圓溫度比轉換器電路

112、114、116：倍頻器電路

VINX、VINY、VINZ、VINA：輸入電壓

VOUTX、VOUTY、VOUTZ、VOUTA：輸出電壓

C1、C2、C11：電容

L1、L11：電感

D1、D2、D11：二極體

R<sub>S</sub>：電流設定電阻

R<sub>d1</sub>、R<sub>d2</sub>：分壓器電阻

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本揭露書是有關於電源供應系統，且特別是有關於電源供應系統的電路系統與方法，用於增加多通道切換式穩壓器系統中的輸入輸出電壓比，同時維持各通道有恒定的同步切換頻率。

### 【先前技術】

一多通道切換式穩壓器系統包括多個切換式穩壓器通道，各通道能轉換一輸入電壓至控制的輸出電壓(輸入電壓高於、低於或等於控制的輸出電壓)，分別執行降壓式穩壓、升壓式穩壓，或降—升壓式穩壓。

舉例而言，一多通道切換式穩壓器系統可有一串級的配置，第一個切換式穩壓器通道轉換一輸入電壓至一中間電壓，下一個切換式穩壓器通道轉換此中間電壓至輸出電壓或另一個中間電壓。因此，串級的多通道配置執行多個轉換步驟以消除對於單一轉換器的需求，例如，單一轉換器轉換一很高的輸入電壓至一很低的輸出電壓。串級的多通道配置當中的各個穩壓器維持一相對地低的降壓或升壓比例，以高效率運作的同時維持一合理的工作週期(duty cycle)。相比之下，執行單一步驟轉換的穩壓器必須以一非常狹窄的工作週期運作，妥協於元件尺寸、效率和暫態響應。

一多通道切換式穩壓器系統的另一個例子是有多個輸入配置能以多個輸入電源供應來源操作。各切換式穩壓

器通道由各輸入電壓各自供給，來產生穩壓的輸出電壓，系統可有相同的輸出電壓，或各通道有個別的輸出電壓。

在一典型的多通道系統當中的切換式穩壓器通道操作於一恒定的切換頻率，所有通道的切換頻率皆相同。此恒定的切換頻率配置使輸出漣波振幅最小化，以及允許電感和電容值由一準確的操作頻率來選擇。而且，恒定頻率操作使系統產生的雜訊維持在一已知的頻帶(frequency band)內。

第 1 圖繪示一典型的降壓切換式穩壓器通道 10，包括一降壓切換式穩壓器 12。降壓切換式穩壓器 12 可包括一內建之開關，控制開關以提供電壓穩壓，及包括開關控制電路系統。連接到降壓切換式穩壓器 12 的外部元件包括一電感 L1。當開關開啟時電感 L1 耦接至輸入電壓 VIN，當開關關閉時電感 L1 與 VIN 切斷。外部元件也包括一個二極體 D1，例如一蕭特基二極體，耦接至電感端子，當開關關閉時提供一路徑給電感電流。一電容 C1 和一二極體 D2 可用於提供升壓驅動給切換式穩壓器通道。一電容 C2 可耦接至電感器端子，當開關開啟時電容 C2 可被充電。當開關開啟時流經電感的電流斜坡上升，當開關關閉時流經電感的電流斜坡下降。外部元件的尺寸連同輸出電壓漣波隨著穩壓器的切換頻率增加而減少。一非同步的降壓切換式穩壓器之最大恒定切換頻率可由以下近似為：

$$f_{SW1}(\text{Hz}) = \frac{V_{OUT} + V_D}{V_{IN} - V_{SW} + V_D} \cdot \frac{1}{T_{on}(\text{min})}, \quad (1)$$

其中  $V_{IN}$  和  $V_{OUT}$  為切換式穩壓器通道的輸入和輸出電壓， $V_D$  為二極體  $D1$  的順向電壓降， $V_{SW}$  為內建開關的電壓降，以及  $T_{on}(min)$  為穩壓器的開啟時間週期最小值。

第 2 圖繪示一典型的升壓切換式穩壓器通道 20，包括一升壓切換式穩壓器 22。升壓切換式穩壓器 22 可包括一內建之開關，控制開關以提供電壓穩壓，及包括開關控制電路系統。升壓切換式穩壓器 22 連接至外部元件包括一電感  $L11$ 、一二極體  $D11$  和一電容  $C11$ 。當開關開啟時，輸入電壓  $V_{IN}$  跨壓於電感  $L11$  上，導致流經電感的電流斜坡上升。當開關關閉時，減小的電感電流提供二極體  $D11$  的順向偏壓，允許電容  $C11$  充電至輸出電壓  $V_{OUT}$ 。

一非同步的升壓切換式穩壓器之最大恒定切換頻率可由以下近似為：

$$f_{SW2}(Hz) = \left(1 - \frac{V_{OUT} - V_{IN} + V_D}{V_{IN} - V_{SW} + V_D}\right) \cdot \frac{1}{T_{off}(min)}, \quad (2)$$

其中  $V_{IN}$  和  $V_{OUT}$  為切換式穩壓器的輸入和輸出電壓， $V_D$  為二極體  $D1$  的順向電壓降， $V_{SW}$  為內建開關的電壓降，以及  $T_{off}(min)$  為穩壓器的關閉時間週期最小值。

為了使外部元件的尺寸最小化及輸出電壓漣波最小化，在一個典型的多通道切換式穩壓器系統當中，所有通道的恒定切換頻率是由某通道的最大切換頻率來決定，此通道係從方程式 1 和 2 決定的最大切換頻率之最低者。此限制決定了所有通道之外部元件的尺寸。

第 3 圖繪示傳統的兩通道切換式穩壓器之操作一例。此傳統的兩通道切換式穩壓器操作於恒定頻率

1.5MHz，其中通道 1 自一輸入電壓 24V 降壓至一輸出電壓 (VOUT1)5V，通道 2 自此輸出電壓 5V 降壓至一輸出電壓 (VOUT2)1.8V。第 3 圖的圖表分別表示通道 1、2 的切換電壓 SW1 和 SW2，及輸出電壓 Vout1 和 Vout2。因為最小開啟時間限制及在通道 1 上的高輸入輸出電壓比，無法維持恒定頻率 1.5MHz 操作。為了維持輸出穩壓，通道 1 切換至脈衝省略模式 (pulse skipping mode)，導致高輸出電壓漣波。為了避免脈衝省略模式以及達到最低可能輸出漣波，整體系統的切換頻率必須減低。為了保持原系統的性能，頻率減低的系統中之外部元件數量必須增加，造成整體系統腳位 (footprint) 的增加。減低系統頻率的替代方案是限制切換式穩壓器通道的輸入輸出電壓比。

因此，需要可產生最小的整體腳位之多通道穩壓器系統的電路系統和方法，透過達到各個別通道的最高可能恒定頻率操作，無論任何通道或系統輸入輸出比，或其他因素如溫度影響個別通道的最小開啟時間限制。

### 【發明內容】

本揭露書係提出新穎的電路系統和方法，用於操作一多通道切換式穩壓器系統，藉由設定各切換式穩壓器通道的個別恒定同步切換頻率來擴展輸入輸出電壓比。

根據本揭露書之一方面，一電源供應系統具有複數個第一和第二切換式穩壓器，此電源供應系統包括一第一時脈電路及一第二時脈電路。第一時脈電路用於在一第一時脈頻率下，供應一第一時脈訊號，來定義第一和第二切換

式穩壓器其中一個的切換頻率。第二時脈電路用於在一不同於第一時脈頻率的第二時脈頻率下，回應第一時脈訊號產生一第二時脈訊號，來定義第一和第二切換式穩壓器其中另一個的切換頻率。

第一切換式穩壓器可被設置為在一恆定第一切換頻率下操作，第二切換式穩壓器可被設置為在一不同於第一切換頻率的恆定第二切換頻率下操作。

電源供應系統可更包括一第三切換式穩壓器及一第三時脈電路。第三切換式穩壓器用於回應於一第三輸入訊號，產生一第三輸出訊號。第三時脈電路用於回應於第一時脈訊號來產生一第三時脈頻率，其不同於第一時脈頻率，來定義第三切換式穩壓器的切換頻率。

切換式穩壓器的輸入和輸出可以任何所需的形式連接。例如，第一切換式穩壓器的輸出訊號可供應至第二切換式穩壓器的一輸入端。

或者，第一切換式穩壓器可回應於一第一輸入訊號來產生一第一輸出訊號，第二切換式穩壓器可回應於一第二輸入訊號來產生一第二輸出訊號，第二輸入訊號與第一輸入訊號和第一輸出訊號無關。

第一切換式穩壓器的輸入端也可被耦接至第二切換式穩壓器的輸入端。

各切換式穩壓器可有升壓、降壓或升壓/降壓拓撲。例如，回應於一第一輸入訊號，第一切換式穩壓器可產生一第一輸出訊號高於第一輸入訊號；回應於一第二輸入訊號，第二切換式穩壓器可產生一第二輸出訊號高於第二輸

入訊號。

或者，回應於一第一輸入訊號，第一切換式穩壓器可產生一第一輸出訊號高於第一輸入訊號；回應於一第二輸入訊號，第二切換式穩壓器可產生一第二輸出訊號低於第二輸入訊號。

亦可，回應於一第一輸入訊號，第一切換式穩壓器可產生一第一輸出訊號低於第一輸入訊號；回應於一第二輸入訊號，第二切換式穩壓器可產生一第二輸出訊號低於第二輸入訊號。

根據本揭露書之另一方面，第一和第二時脈頻率之間的一比值可根據一預定因子靜態地設定。

例如，第一和第二時脈頻率之間的比值可根據一切換式穩壓器的輸入訊號來決定，該切換式穩壓器由第二時脈訊號供給。

第一和第二時脈頻率之間的比值也可根據一切換式穩壓器的輸出訊號來決定，該切換式穩壓器由第二時脈訊號供給。

再者，第一和第二時脈頻率之間的比值也可根據熱條件來決定。

根據本揭露書之再一方面，第一和第二時脈頻率之間的比值可根據一可變條件來動態地控制。

例如，第一和第二時脈頻率之間的比值可根據一切換式穩壓器的輸入訊號來動態地控制，該切換式穩壓器由第二時脈訊號供給。

或者，第一和第二時脈頻率之間的比值可根據一切換

式穩壓器的輸出訊號來動態地控制，該切換式穩壓器由第二時脈訊號供給。

再者，第一和第二時脈頻率之間的比值可根據熱條件來動態地控制。

根據一實施例，第一時脈頻率可自相對於電源供應系統外部地設定。

或者，第一時脈頻率可由電源供應系統內部地設定。

根據本揭露書之再一方面，在第一時脈訊號供應至第一和第二切換式穩壓器的其中一個，與第一時脈訊號供應至第二時脈電路之間，第一時脈電路可配置用來提供一可調相位差。

根據本揭露書之另一方面，一系統具有多個切換式穩壓器通道，用於回應複數個輸入訊號來分別產生複數個輸出訊號。此系統可包括一第一時脈電路，用於供應一第一時脈訊號來定義多個切換式穩壓器通道其中至少一個之切換頻率，及包括一第二時脈電路，用於根據第一時脈訊號產生一第二時脈訊號來定義多個切換式穩壓器通道其中至少另一個切換式穩壓器通道之切換頻率。

根據本揭露書之一方法，以下步驟可實行以提供電源供應：

- 在根據一第一時脈訊號控制之一第一恆定切換頻率下，藉由切換式穩壓產生一第一輸出訊號，此第一輸出訊號係回應於一第一輸入訊號；及
- 在根據一第二時脈訊號控制之一第二恆定切換頻率下，藉由切換式穩壓產生一第二輸出訊號，此

第二輸出訊號回應於一第二輸入訊號，且第二時脈訊號係自第一時脈訊號獲得。

本發明之其餘的優點和方面，自以下的詳細說明對本領域之專業人士而言將變得很明顯，其中本發明之實施例將藉由本發明之最佳實踐模式簡單地演示和描述。如以下將描述，本發明可以其他不同的實施例，且其細節在不脫離本發明之精神內，當可作各種之更動。因此，圖式和描述係為說明之性質，而非限制性。

### 【實施方式】

以下將舉一些具體的多通道切換式穩壓器配置的例子來說明本揭露書。然而明顯的在此所述的概念適用於任何多通道切換式穩壓器系統，其用來提供一高於、低於或是等於輸入電壓或電流之輸出電壓或電流。本揭露書之穩壓器系統可包括任意通道數以任何所需的配置連接。各通道可有任何所需的切換式穩壓器拓撲，具有同步或非同步整流(rectification)。

本揭露書提出一同步多通道切換式穩壓器配置，切換式穩壓器通道可由個別的切換頻率來設定。舉例來說，第4圖繪示本揭露書之750kHz/3MHz同步兩通道切換式穩壓器系統，其中切換式穩壓器通道1於切換頻率750kHz從24V降至5V，切換式穩壓器通道2於切換頻率3MHz從5V降至1.8V。第4圖中的圖表分別表示通道1、2的切換電壓SW1和SW2，及輸出電壓Vout1和Vout2。從第4圖清楚可知，相較於第3圖繪示的配置，通道2中切換頻率

之增加造成輸出電壓漣波振幅的最小化。此同步多通道系統藉由各通道選擇個別的切換頻率，允許一使用者最佳化各通道的外部元件尺寸。因此，可達到最大化輸入輸出電壓比，同時維持恆定頻率操作。

### 第一實施例

第 5 圖繪示本揭露書之同步多通道切換式穩壓器系統(synchronized multiple channel switching regulator system)50 的一實施例。系統 50 可包括任意的升壓及/或降壓切換式穩壓器通道數以任何所需的多通道配置連接。例如，切換式穩壓器系統 50 包括升壓通道 A、B 和 C。升壓通道 A、B 和 C 分別以輸入電壓  $V_{INA}$ 、 $V_{INB}$  和  $V_{INC}$  供應，來分別產生輸出電壓  $V_{OUTA}$ 、 $V_{OUTB}$  和  $V_{OUTC}$ 。系統 50 也包括降壓通道 X、Y 和 Z。降壓通道 X、Y 和 Z 分別以輸入電壓  $V_{INX}$ 、 $V_{INY}$  和  $V_{INZ}$  供應，分別產生輸出電壓  $V_{OUTX}$ 、 $V_{OUTY}$  和  $V_{OUTZ}$ 。

各升壓和降壓通道可有任何所需的切換式穩壓器拓撲，具有同步或非同步整流。例如，各降壓通道 X、Y 和 Z 可由相似於第 1 圖的降壓通道 10 來配置，且可擁有相似的外部元件包括電感 L1、電容 C1 和 C2 以及二極體 D1 和 D2。各升壓通道 A、B 和 C 可由相似於第 2 圖的升壓通道 20 來配置，且可擁有相似的外部元件包括電感 L11、電容 C11 以及二極體 D11。

此外，切換式穩壓器系統 50 包括一時脈系統(clock system)，其包括主要時脈(master clock)電路系統和通道時

脈(channel clock)電路系統。主要時脈電路系統提供一主要時脈訊號 MASTER\_CLOCK，來供應時脈訊號給升壓通道 A 和降壓通道 X，以便設定這些通道的切換頻率。主要時脈訊號的頻率可在切換式穩壓器系統 50 內部地設定，或外部地自切換式穩壓器系統 50 之外部來源設定。

通道時脈電路系統包括倍頻器電路 52、54、56 和 58，用以分別產生通道時脈訊號給通道 Y、Z、B 和 C。自主要時脈電路系統的主要時脈訊號 MASTER\_CLOCK 供應至倍頻器 52、54、56 和 58，倍頻器將主要時脈訊號的頻率乘上比值 RATIOY、RATIOZ、RATIOB 和 RATIOC，比值 RATIOY、RATIOZ、RATIOB 和 RATIOC 係設立給各通道 Y、Z、B 和 C。

此些比值可小於或大於 1，以比主要時脈頻率低或高的頻率來產生各通道時脈訊號。例如，對於降壓通道而言，比值可選定為小於 1 來設定降壓通道的切換頻率值低於主要時脈頻率。對於升壓通道而言，比值可大於 1 來設定升壓通道的切換頻率值高於主要時脈頻率。

舉例來說，各比值可設定以便於產生一所需的通道切換頻率來達到各通道之最大輸入輸出比，同時維持通道的恒定頻率操作。如以下較詳細的描述，比值可根據通道的輸入或輸出電流或電壓來決定，或可根據系統晶片的溫度來決定，或可根據其他考量如系統設計考量來決定。

此些比值可由相對於切換式穩壓器系統 50 內部地或外部地設定。此些比值也可靜態地設定為恆定值，或隨著穩壓器 50 的操作條件動態地變化。為了更減小元件尺寸，

各通道時脈訊號的相位相對於主要時脈訊號的相位可設為從 0 到 360 度範圍內所選出一值。

## 第二實施例

第 6 圖繪示本揭露書另一個實施例之雙重串級同步降壓切換式穩壓器系統(dual cascaded synchronized step-down switching regulator system)60。系統 60 包括第一降壓通道 X 由輸入電壓  $V_{INX}$  供應，來產生輸出電壓  $V_{OUTX}$ 。第二降壓通道 Y 由第一降壓通道 X 的輸出電壓  $V_{OUTX}$  供應，來產生穩壓器系統 60 的輸出電壓  $V_{OUTY}$ 。例如，通道 X 可轉換 24V 至 5V，通道 Y 則可轉換 5V 至 1.8V。

降壓通道 X 和 Y 可有任何所需的降壓切換式穩壓器拓撲。例如，各降壓通道可由相似於第 1 圖的降壓通道 10 來配置，且可擁有相似的外部元件包括電感 L1、電容 C1 和 C2 以及二極體 D1 和 D2。

此外，切換式穩壓器系統 60 可包括主要時脈電路系統 62 來產生一主要時脈訊號。例如，主要時脈訊號的頻率可藉由相對於穩壓器系統 60 外部地或內部地提供之一時脈電阻  $R_{cl}$  來設定。主要時脈電路系統 62 供應主要時脈訊號至降壓通道 X 來定義其切換頻率。

系統 60 也可包括一電流比轉換器(current to ratio converter)電路 64，其根據一電流設定電阻  $R_S$  所設定的電流來產生一比值，電流設定電阻  $R_S$  係相對於穩壓器系統 60 外部地或內部地提供。此電流可被選來提供降壓通道 Y

的一所需之切換頻率值。

此比值連同自主主要時脈電路系統 62 的主要時脈訊號供應至一倍頻器電路 66。倍頻器電路 66 將主要時脈的頻率乘上此比值，以產生通道時脈頻率來設定降壓通道 Y 的切換頻率。供應到倍頻器電路 66 的主要時脈訊號可相對於提供到降壓通道 X 之主要時脈訊號有一相位偏移。例如，此相位偏移可設成 180 度。

### 第三實施例

第 7 圖繪示本揭露書之另一個實施例，雙重多個輸入/輸出同步降壓切換式穩壓器系統(dual multi-input/output synchronized step-down switching regulator system)70 包括降壓通道 X 以輸入電壓  $V_{INX}$  供應來產生輸出電壓  $V_{OUTX}$ ，及降壓通道 Y 以輸入電壓  $V_{INY}$  供應來產生輸出電壓  $V_{OUTY}$ 。電壓  $V_{INX}$  可獨立於電壓  $V_{INY}$ ，及電壓  $V_{OUTX}$  可獨立於電壓  $V_{OUTY}$ 。降壓通道 X 和 Y 可有任何所需的降壓切換式穩壓器拓撲。例如，各降壓通道可由相似於第 1 圖的降壓通道 10 來配置，且可擁有相似的外部元件包括電感 L1、電容 C1 和 C2 以及二極體 D1 和 D2。

此外，切換式穩壓器系統 70 可包括主要時脈電路系統 72 來產生一主要時脈訊號。例如，主要時脈訊號的頻率可藉由一脈波震盪器 74 所產生之一外部的時脈訊號來設定。主要時脈電路系統 72 供應主要時脈訊號至降壓通道 X 以定義其切換頻率。

系統 70 也可包括一電壓比轉換器(voltage to ratio

converter) 電路 76，其根據輸入電壓  $V_{INY}$  來產生一比值。由電阻  $R_{d1}$  和  $R_{d2}$  組成的一分壓器，可用於供應一個適當的電壓值至電路 76，此電壓值代表  $V_{INY}$ 。

此比值連同自主主要時脈電路系統 72 的主要時脈訊號供應至一倍頻器電路 78。倍頻器電路 78 將主要時脈的頻率乘上此比值，以產生通道時脈頻率來設定降壓通道 Y 的切換頻率。供應到倍頻器電路 78 的主要時脈訊號可相對於提供到降壓通道 X 之主要時脈訊號有一相位偏移。例如，此相位偏移可設成 180 度。

#### 第四實施例

第 8 圖繪示本發明另一個實施例，二階同步升壓/降壓切換式穩壓器系統(two-stage synchronized step-up/step-down switching regulator system)80 包括一升壓通道 A 由輸入電壓  $V_{INA}$  供應來產生輸出電壓  $V_{OUTA}$ ，及一降壓通道 Y 其輸入連接至升壓通道 A 的輸出來產生輸出電壓  $V_{OUTY}$ 。升壓通道 A 和降壓通道 Y 可有任何所需的切換式穩壓器拓撲。例如，降壓通道 Y 可由相似於第 1 圖的降壓通道 10 來配置，且可擁有相似的外部元件包括電感  $L_1$ 、電容  $C_1$  和  $C_2$  以及二極體  $D_1$  和  $D_2$ 。升壓通道 A 可由相似於第 2 圖的升壓通道 20 來配置，且可擁有相似的外部元件包括電感  $L_{11}$ 、電容  $C_{11}$  以及二極體  $D_{11}$ 。

此外，切換式穩壓器系統 80 可包括主要時脈電路系統 82 來產生一主要時脈訊號。例如，主要時脈訊號的頻

率可藉由相對於穩壓器系統 80 外部地或內部地提供之一時脈電阻  $R_{c1}$  來設定。主要時脈電路系統 82 供應主要時脈訊號至升壓通道 A 來定義其切換頻率。

系統 80 也可包括一電壓比轉換器電路 84，其根據降壓通道 Y 的輸入電壓  $V_{INY}$  來產生一比值。由電阻  $R_{d1}$  和  $R_{d2}$  組成的一分壓器，可用於供應一個適當的電壓值至電路 84，此電壓值代表  $V_{INY}$ 。

此比值連同自主要時脈電路系統 82 的主要時脈訊號供應至一倍頻器電路 86。倍頻器電路 86 將主要時脈的頻率乘上此比值，以產生通道時脈頻率來設定降壓通道 Y 的切換頻率。供應到倍頻器電路 86 的主要時脈訊號可相對於提供到降壓通道 A 之主要時脈訊號有一相位偏移。

## 第五實施例

第 9 圖繪示本揭露書之另一個實施例，雙重同步降壓切換式穩壓器系統(dual synchronized step-down switching regulator system)90 包括降壓通道 X 和 Y 由一共同的輸入電壓  $V_{INX}$  供應。降壓通道 X 產生輸出電壓  $V_{OUTX}$ ，降壓通道 Y 則產生輸出電壓  $V_{OUTY}$ 。降壓通道 X 和 Y 可有任何所需的降壓切換式穩壓器拓撲。例如，各降壓通道可由相似於第 1 圖的降壓通道 10 來配置，且可擁有相似的外部元件包括電感  $L1$ 、電容  $C1$  和  $C2$  以及二極體  $D1$  和  $D2$ 。

此外，切換式穩壓器系統 90 可包括主要時脈電路系統 92 來產生一主要時脈訊號。主要時脈訊號的頻率可藉

由輸入電壓  $V_{INX}$  來設定。由電阻  $R_{d1}$  和  $R_{d2}$  組成的一分壓器，可用於供應一個適當的電壓值至主要時脈電路系統 92，此電壓值代表  $V_{INX}$ 。

電壓比轉換器電路 94 和 96 分別用於產生降壓通道 X 和 Y 的比值。電壓比轉換器電路 94 根據輸出電壓  $V_{OUTX}$  來提供比值，電壓比轉換器電路 96 則根據輸出電壓  $V_{OUTY}$  來提供比值。由電阻  $R_{d3}$  和  $R_{d4}$  組成的一分壓器，可用於提供一適當的電壓值代表  $V_{OUTX}$ ，由電阻  $R_{d5}$  和  $R_{d6}$  組成的一分壓器，可用於提供一適當的電壓值代表  $V_{OUTY}$ 。

電路 94 提供之比值連同自主主要時脈電路系統 92 的主要時脈訊號供應至一倍頻器電路 98。倍頻器電路 98 將主要時脈的頻率乘上此比值，以產生通道時脈頻率來設定降壓通道 X 的切換頻率。

電路 96 提供之比值連同自主主要時脈電路系統 92 的主要時脈訊號供應至一倍頻器電路 99。倍頻器電路 99 將主要時脈的頻率乘上此比值，以產生通道時脈頻率來設定降壓通道 Y 的切換頻率。

供應到倍頻器電路 98 的主要時脈訊號可相對於提供到倍頻器電路 99 的主要時脈訊號有一相位偏移。例如，此相位偏移可設成 180 度。

## 第六實施例

第 10 圖繪示本揭露書之另一個實施例，同步多通道切換式穩壓器系統(synchronized multiple channel

switching regulator system)100 包括降壓通道 X、Y 和 Z，及一升壓通道 A。降壓通道 X 回應於系統 100 之一輸入電壓  $V_{INX}$  來產生輸出電壓  $V_{OUTX}$ ，供應至升壓通道 A 的輸入  $V_{INA}$  及降壓通道 Z 的輸入  $V_{INZ}$ 。由升壓通道 A 產生的輸出電壓  $V_{OUTA}$  供應至降壓通道 Y 的輸入  $V_{INY}$ ，降壓通道 Y 產生輸出電壓  $V_{OUTY}$ 。降壓通道 Z 回應於  $V_{OUTX}$  來產生輸出電壓  $V_{OUTZ}$ 。

升壓通道 A 及降壓通道 X、Y 和 Z 可有任何所需的切換式穩壓器拓撲。例如，降壓通道 X、Y 和 Z 可由相似於第 1 圖的降壓通道 10 來配置，且可擁有相似的外部元件包括電感  $L1$ 、電容  $C1$  和  $C2$  以及二極體  $D1$  和  $D2$ 。升壓通道 A 可由相似於第 2 圖的升壓通道 20 來配置，且可擁有相似的外部元件包括電感  $L11$ 、電容  $C11$  以及二極體  $D11$ 。

此外，切換式穩壓器系統 100 可包括主要時脈電路系統 102 來產生一主要時脈訊號。例如，主要時脈訊號的頻率可藉由一脈波震盪器 104 所產生之一外部的時脈訊號來設定。

系統 100 包括一電壓比轉換器電路 106 產生一比值給降壓通道 X，一電壓比轉換器電路 108 產生一比值給降壓通道 Y 和升壓通道 A，及一晶圓溫度比轉換器 (die temperature to ratio converter) 電路 110 產生一比值給降壓通道 Z。

電壓比轉換器電路 106 靜態地根據一預設電壓值來產生比值，此預設電壓值係藉由一電壓設定電阻  $R_S$  所提

供。電壓比轉換器電路 108 動態地根據升壓通道 A 的輸入電壓  $V_{INA}$  來產生比值。由電阻  $R_{d1}$  和  $R_{d2}$  組成的一分壓器，可用於提供輸入電壓  $V_{INA}$  至電路 108。

晶圓溫度比轉換器電路 110 動態地根據穩壓器系統晶片的晶圓溫度來提供比值。例如，當晶圓溫度增加時此比值可減小以支持降壓通道 Z。

倍頻器電路 112、114 和 116 用於將主要時脈訊號的頻率乘上各比值來產生各通道時脈頻率。特別是，倍頻器電路 112 將主要時脈頻率乘上電壓比轉換器電路 106 所產生之比值，以提供通道時脈頻率來設定降壓通道 X 的切換頻率。倍頻器電路 114 將主要時脈頻率乘上晶圓溫度比轉換器電路 110 所產生之比值，以提供通道時脈頻率來設定降壓通道 Z 的切換頻率。倍頻器電路 116 將主要時脈頻率乘上電壓比轉換器電路 108 所產生之比值，以提供通道時脈頻率來設定降壓通道 Y 和升壓通道 A 的切換頻率。

供應到倍頻器電路 112 的主要時脈訊號可相對於提供到倍頻器電路 114 和 116 的主要時脈訊號有一相位偏移，例如 180 度。供應到倍頻器電路 114 的主要時脈訊號可與提供到倍頻器電路 116 的主要時脈訊號相位一致。

以上之描述繪示並說明了本發明之各方面。此外，本揭露僅以較佳實施例演示並說明，但如前面所提到，本發明可以各種其他組合、更動及環境下使用，且在此處所表達的發明概念範疇之內、相當於以上之教導或相關領域之技能和知識內，可作改變或更動。

以上所述之實施例更是為了解釋實踐本發明所知的

最佳模式，及使本領域具有通常知識者可以這些或其他實施例運用本發明，依發明之特殊應用或用途所需可作各種更動。

所以，以上描述並非為了限制本發明在此所揭露的形式內。此外，附上的申請專利範圍是為了理解本發明包括可選擇的實施例。

### 【圖式簡單說明】

繪示之圖式經由例子而非限制來描述概念。圖中相同的參照標號相關至相同或相似的元件。

第 1 圖為一電路圖，繪示在一多通道切換式穩壓器系統中，一傳統的降壓通道之拓撲。

第 2 圖為一電路圖，繪示在一多通道切換式穩壓器系統中，一傳統的升壓通道之拓撲。

第 3 圖為一時序圖，繪示在一傳統的多通道切換式穩壓器系統中之問題。

第 4 圖為一時序圖，繪示本揭露書之一多通道切換式穩壓器系統。

第 5 圖繪示本揭露書之多通道切換式穩壓器系統的第一實施例。

第 6 圖繪示本揭露書之多通道切換式穩壓器系統的第二實施例。

第 7 圖繪示本揭露書之多通道切換式穩壓器系統的第三實施例。

第 8 圖繪示本揭露書之多通道切換式穩壓器系統的

第四實施例。

第 9 圖繪示本揭露書之多通道切換式穩壓器系統的  
第五實施例。

第 10 圖繪示本揭露書之多通道切換式穩壓器系統的  
第六實施例。

**【主要元件符號說明】**

- 10：降壓切換式穩壓器通道
- 12：降壓切換式穩壓器
- 20：升壓切換式穩壓器通道
- 22：升壓切換式穩壓器
- 50：同步多通道切換式穩壓器系統
- 52、54、56、58、66、78、86、98、99、112、114、  
116：倍頻器電路
- 60：雙重串級同步降壓切換式穩壓器系統
- 62、72、82、92、102：主要時脈電路系統
- 64：電流比轉換器電路
- 70：雙重多個輸入/輸出同步降壓切換式穩壓器系統
- 74、104：脈波震盪器
- 76、84、94、96、106、108：電壓比轉換器電路
- 80：二階同步升壓/降壓切換式穩壓器系統
- 90：雙重同步降壓切換式穩壓器系統
- 100：同步多通道切換式穩壓器
- 110：晶圓溫度比轉換器電路
- VIN、VINX、VINY、VINZ、VINA、VINB、VINC：

## 輸入電壓

- VOUT、VOUTX、VOUTY、VOUTZ、VOUTA、  
VOUTB、VOUTC：輸出電壓
- C1、C2、C11：電容
- L1、L11：電感
- D1、D2、D11：二極體
- SW1：通道 1 的切換電壓
- SW2：通道 2 的切換電壓
- VOUT1：通道 1 的輸出電壓
- VOUT2：通道 2 的輸出電壓
- $R_{c1}$ ：時脈電阻
- $R_S$ ：電流設定電阻
- $R_{d1}$ 、 $R_{d2}$ 、 $R_{d3}$ 、 $R_{d4}$ 、 $R_{d5}$ 、 $R_{d6}$ ：分壓器電阻

103年9月30日修正本 P.24-28

### 七、申請專利範圍：

1. 一種電源供應系統，具有複數個第一和複數個第二切換式穩壓器，且包括：

一第一時脈電路，用於供應一第一時脈訊號，該第一時脈訊號具有一第一時脈頻率，來定義該些第一和該些第二切換式穩壓器其中一個之一切換頻率；及

一第二時脈電路，與該第一時脈訊號同步，用於產生一第二時脈訊號，該第二時脈訊號具有一第二時脈頻率，該第二時脈頻率不同於該第一時脈頻率，來定義該些第一和該些第二切換式穩壓器其中另一個之一切換頻率。

2. 如申請專利範圍第1項所述之系統，其中各該些第一切換式穩壓器被設置為於一恆定第一切換頻率下操作，各該些第二切換式穩壓器被設置為於一恆定第二切換頻率下操作，該第二切換頻率不同於該第一切換頻率。

3. 如申請專利範圍第1項所述之系統，其中該系統更包括：

一第三切換式穩壓器，用於回應於一第三輸入訊號來產生一第三輸出訊號；及

一第三時脈電路，回應於該第一時脈訊號來產生一第三時脈頻率，該第三時脈頻率不同於該第一時脈頻率，來定義該第三切換式穩壓器之一切換頻率。

4. 如申請專利範圍第1項所述之系統，其中各該些第一切換式穩壓器之一輸出端係耦接至各該些第二切換式穩壓器之一輸入端。

5. 如申請專利範圍第1項所述之系統，其中各該些

第一切換式穩壓器回應於一第一輸入訊號來產生一第一輸出訊號，各該些第二切換式穩壓器回應於一第二輸入訊號來產生一第二輸出訊號，該第二輸入訊號與該第一輸入訊號和該第一輸出訊號無關。

6. 如申請專利範圍第 1 項所述之系統，其中各該些第一切換式穩壓器之一輸入端係耦接至各該些第二切換式穩壓器之一輸入端。

7. 如申請專利範圍第 1 項所述之系統，其中各該些第一切換式穩壓器回應於一第一輸入訊號，產生一第一輸出訊號，該第一輸出訊號係高於該第一輸入訊號，各該些第二切換式穩壓器回應於一第二輸入訊號，產生一第二輸出訊號，該第二輸出訊號係高於該第二輸入訊號。

8. 如申請專利範圍第 1 項所述之系統，其中各該些第一切換式穩壓器回應於一第一輸入訊號，產生一第一輸出訊號，該第一輸出訊號係高於該第一輸入訊號，各該些第二切換式穩壓器回應於一第二輸入訊號，產生一第二輸出訊號，該第二輸出訊號係低於該第二輸入訊號。

9. 如申請專利範圍第 1 項所述之系統，其中各該些第一切換式穩壓器回應於一第一輸入訊號，產生一第一輸出訊號，該第一輸出訊號係低於該第一輸入訊號，各該些第二切換式穩壓器回應於一第二輸入訊號，產生一第二輸出訊號，該第二輸出訊號係低於該第二輸入訊號。

10. 如申請專利範圍第 1 項所述之系統，其中各該些第一切換式穩壓器回應於一第一輸入訊號，產生一第一輸出訊號，該第一輸出訊號係低於該第一輸入訊號，各該些

第二切換式穩壓器回應於一第二輸入訊號，產生一第二輸出訊號，該第二輸出訊號係高於該第二輸入訊號。

11. 如申請專利範圍第 1 項所述之系統，其中該第一和該第二時脈頻率之間之一比值係根據一預定因子設定。

12. 如申請專利範圍第 1 項所述之系統，其中該第一和該第二時脈頻率之間之一比值係根據一切換式穩壓器之一輸入訊號來決定，該切換式穩壓器由該第二時脈訊號供給。

13. 如申請專利範圍第 1 項所述之系統，其中該第一和該第二時脈頻率之間之一比值係根據一切換式穩壓器之一輸出訊號來決定，該切換式穩壓器由該第二時脈訊號供給。

14. 如申請專利範圍第 1 項所述之系統，其中該第一和該第二時脈頻率之間之一比值係根據熱條件來決定。

15. 如申請專利範圍第 1 項所述之系統，其中該第一和該第二時脈頻率之間之一比值係根據一可變條件來動態地控制。

16. 如申請專利範圍第 1 項所述之系統，其中該第一和該第二時脈頻率之間之一比值係根據一切換式穩壓器之輸入訊號來動態地控制，該切換式穩壓器由該第二時脈訊號供給。

17. 如申請專利範圍第 1 項所述之系統，其中該第一和該第二時脈頻率之間之一比值係根據一切換式穩壓器之輸出訊號來動態地控制，該切換式穩壓器由該第二時脈訊號供給。

18. 如申請專利範圍第 1 項所述之系統，其中該第一和該第二時脈頻率之間之一比值係根據熱條件來動態地控制。

19. 如申請專利範圍第 1 項所述之系統，其中該第一時脈頻率係相對於該電源供應系統外部地設定。

20. 如申請專利範圍第 1 項所述之系統，其中該第一時脈頻率係由該電源供應系統設定。

21. 如申請專利範圍第 1 項所述之系統，其中該第一時脈電路係配置用來提供一可調相位差，該可調相位差係介於供應至該些第一和第二切換式穩壓器其中一個之該第一時脈訊號以及供應至該第二時脈電路之該第一時脈訊號之間。

22. 一種電源供應系統，具有複數個切換式穩壓器通道，用於回應於複數個輸入訊號來分別產生複數個輸出訊號，該電源供應系統包括：

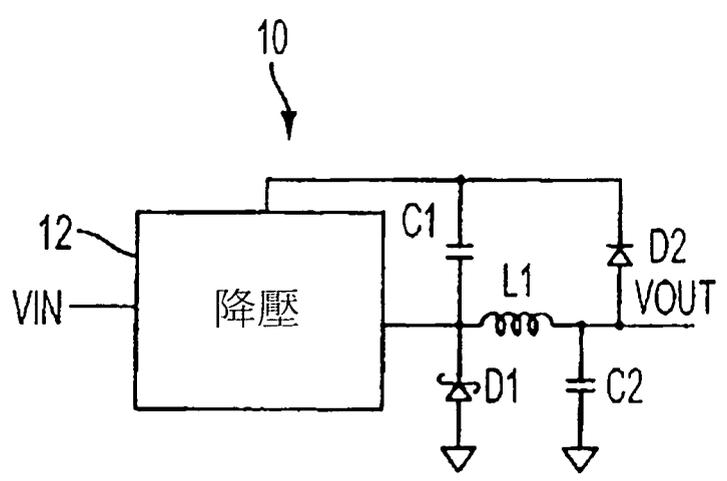
一第一時脈電路，用於供應一第一時脈訊號來定義該些切換式穩壓器通道中至少一個之切換頻率；及

一第二時脈電路，用於產生一第二時脈訊號與該第一時脈訊號同步，來定義該些切換式穩壓器通道中至少另一個切換式穩壓器通道之切換頻率，該第二時脈訊號之頻率不同於該第一時脈訊號之頻率。

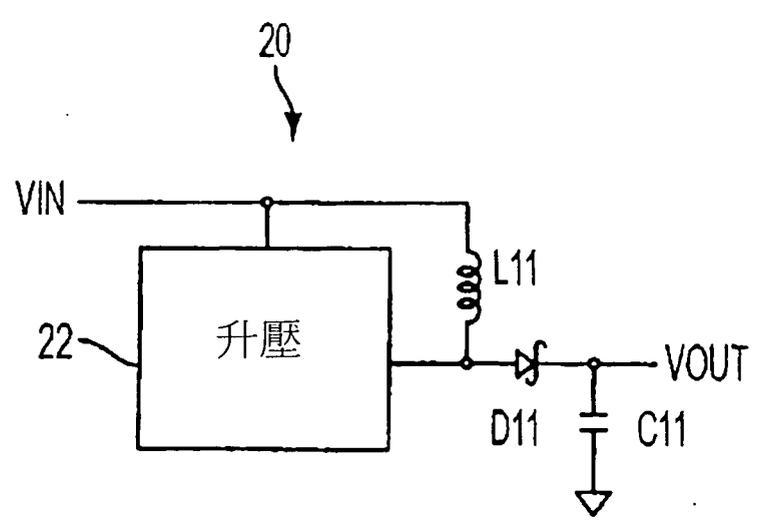
23. 一種電源供應方法，包括：

在根據一第一時脈訊號控制之一第一切換頻率下，藉由切換式穩壓產生一第一輸出訊號，該第一輸出訊號同步於一第一輸入訊號；及

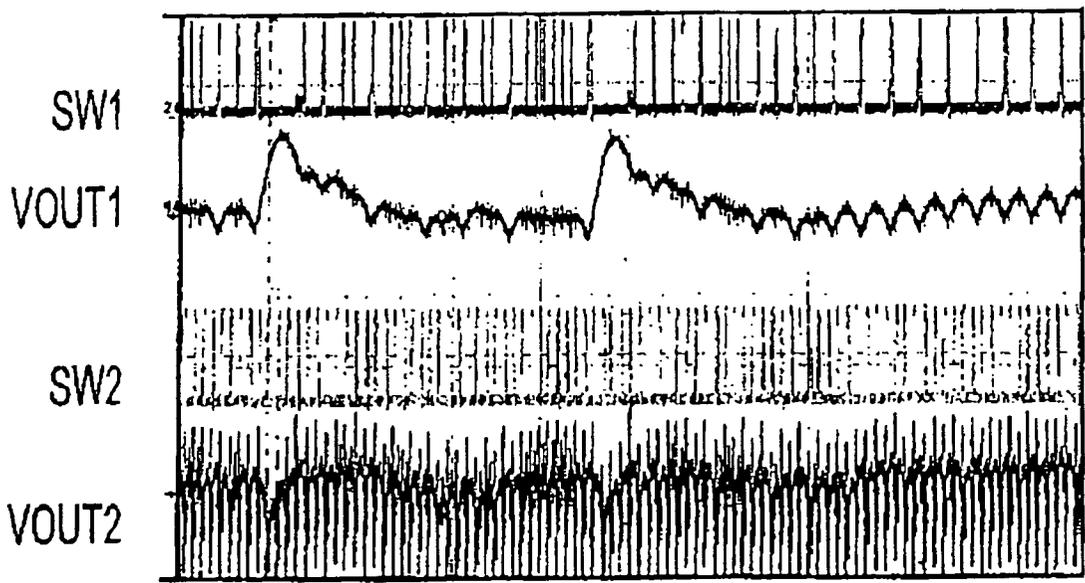
在根據一第二時脈訊號控制之一第二切換頻率下，藉由切換式穩壓產生一第二輸出訊號，該第二輸出訊號係回應於一第二輸入訊號，且該第二時脈訊號自該第一時脈訊號獲得，該第二時脈訊號之頻率不同於該第一時脈訊號之頻率，且該第二切換頻率不同於該第一切換頻率。



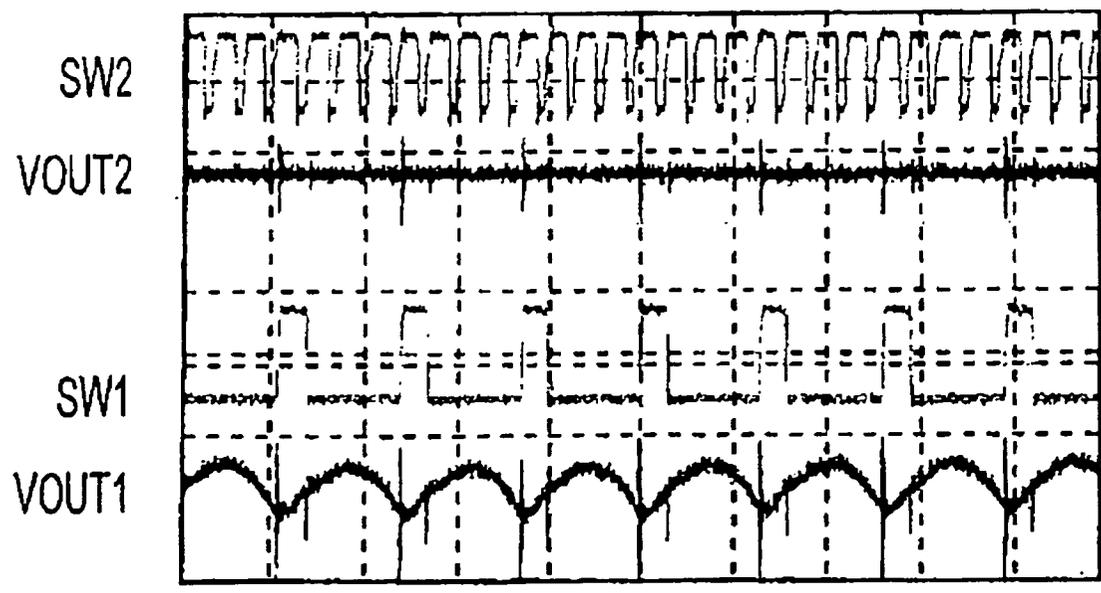
第 1 圖



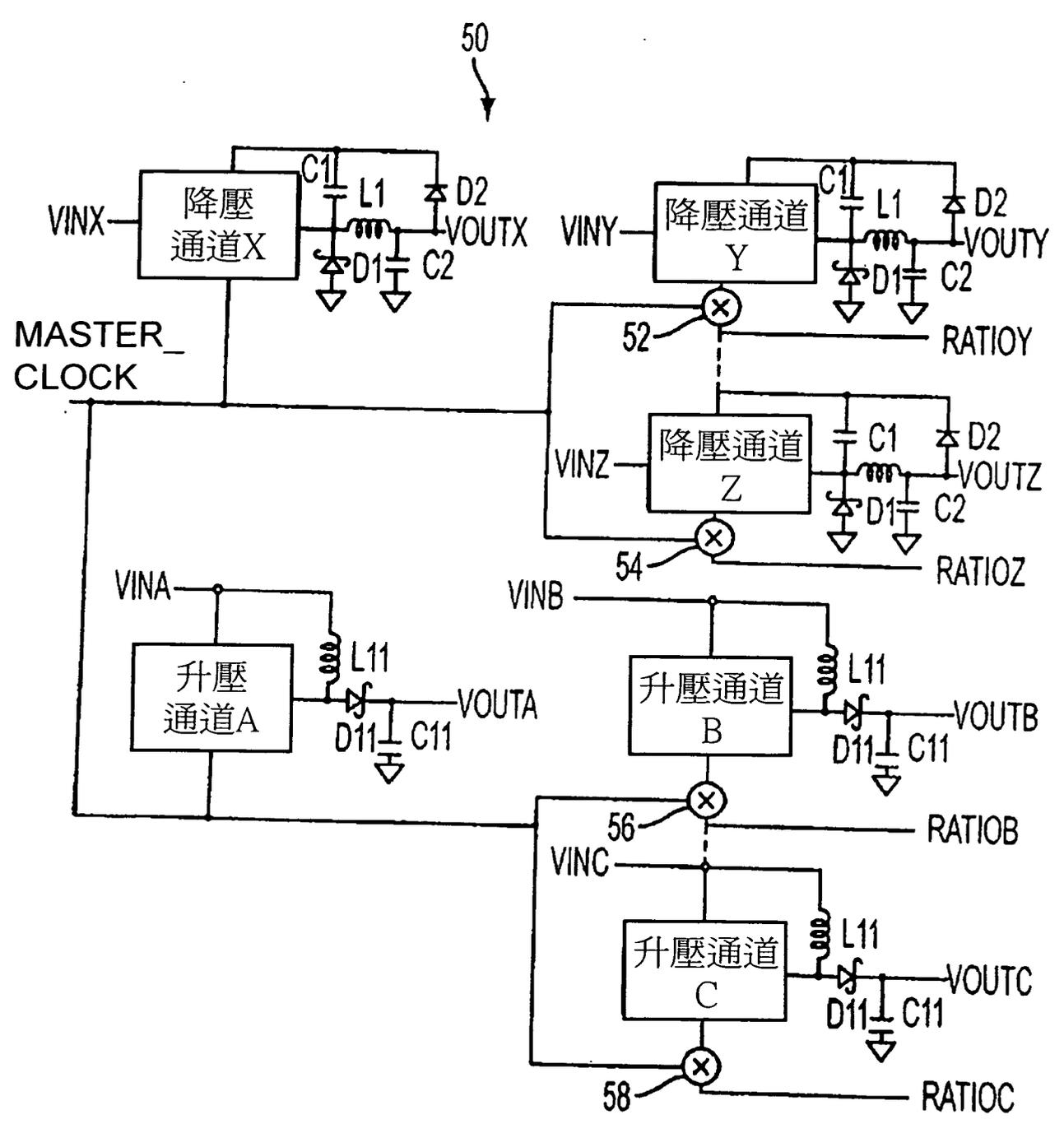
第 2 圖



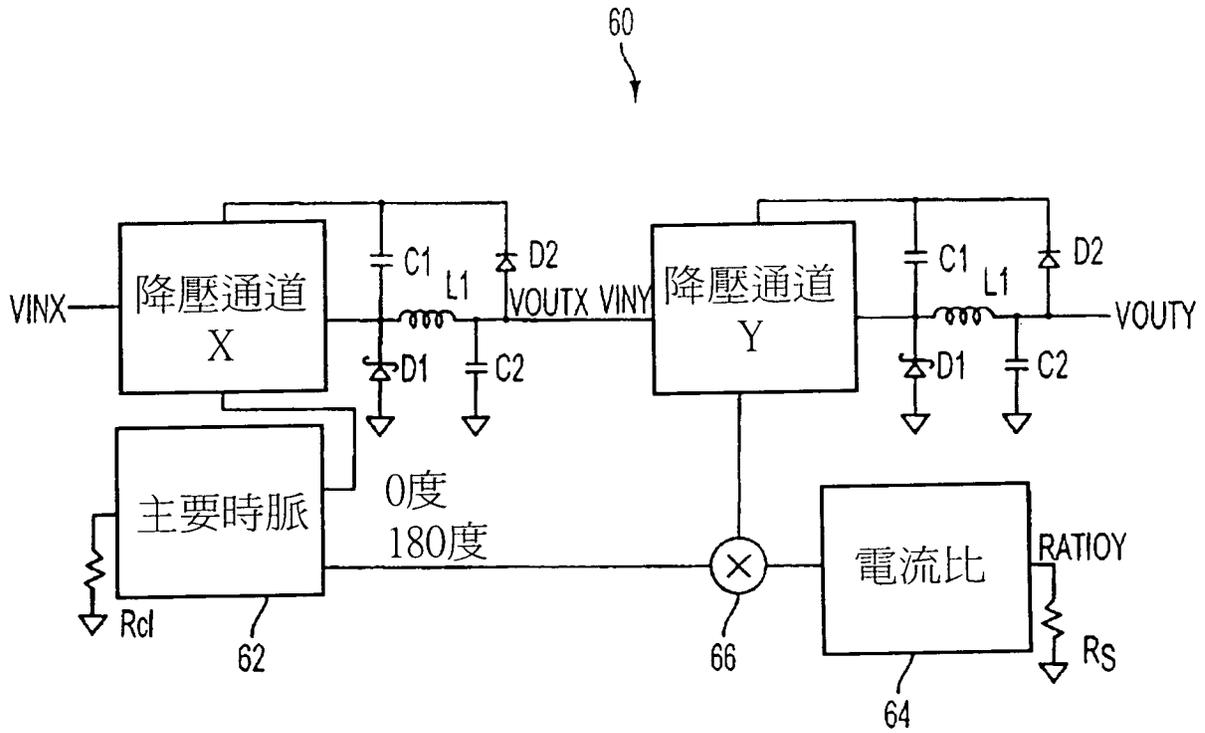
第 3 圖



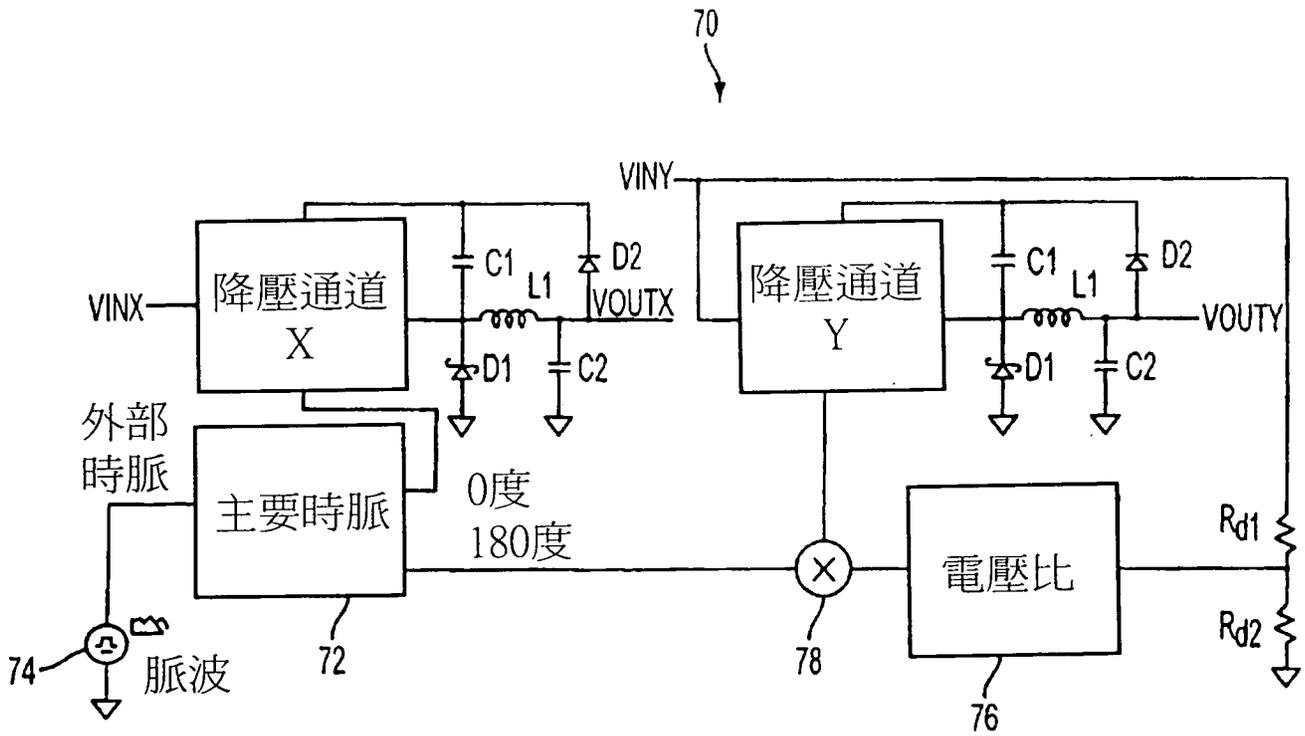
第 4 圖



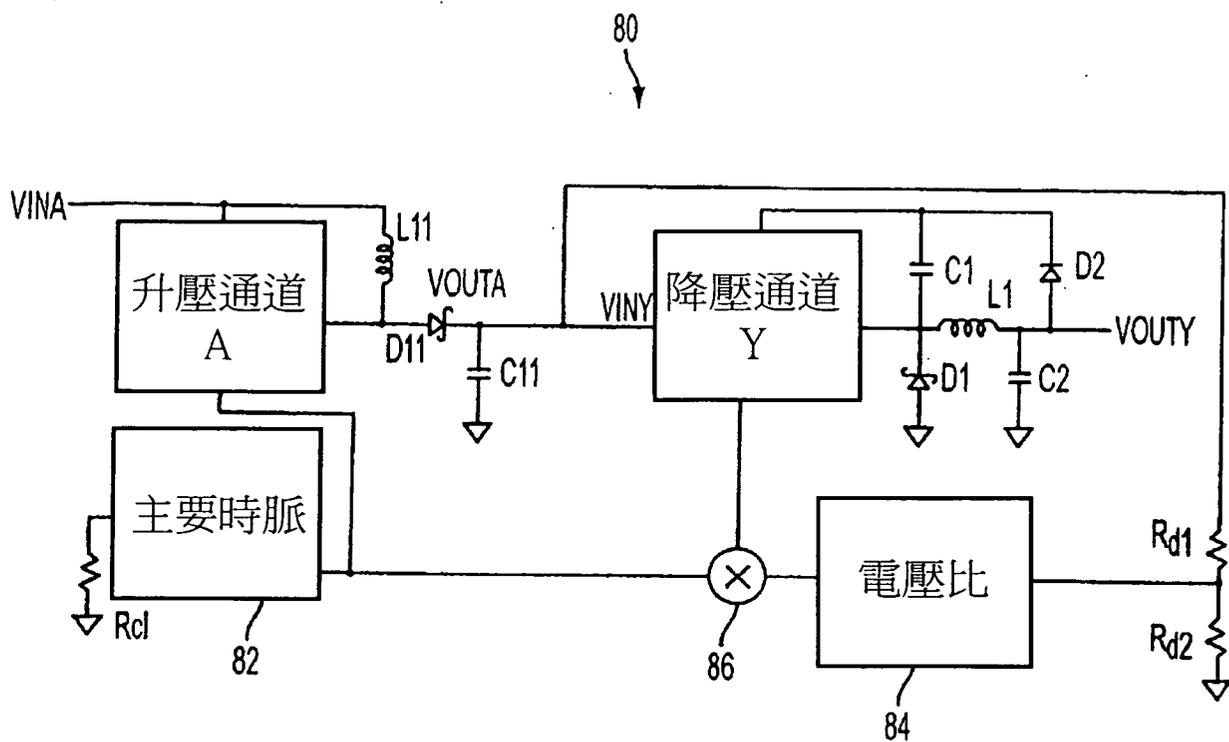
第 5 圖



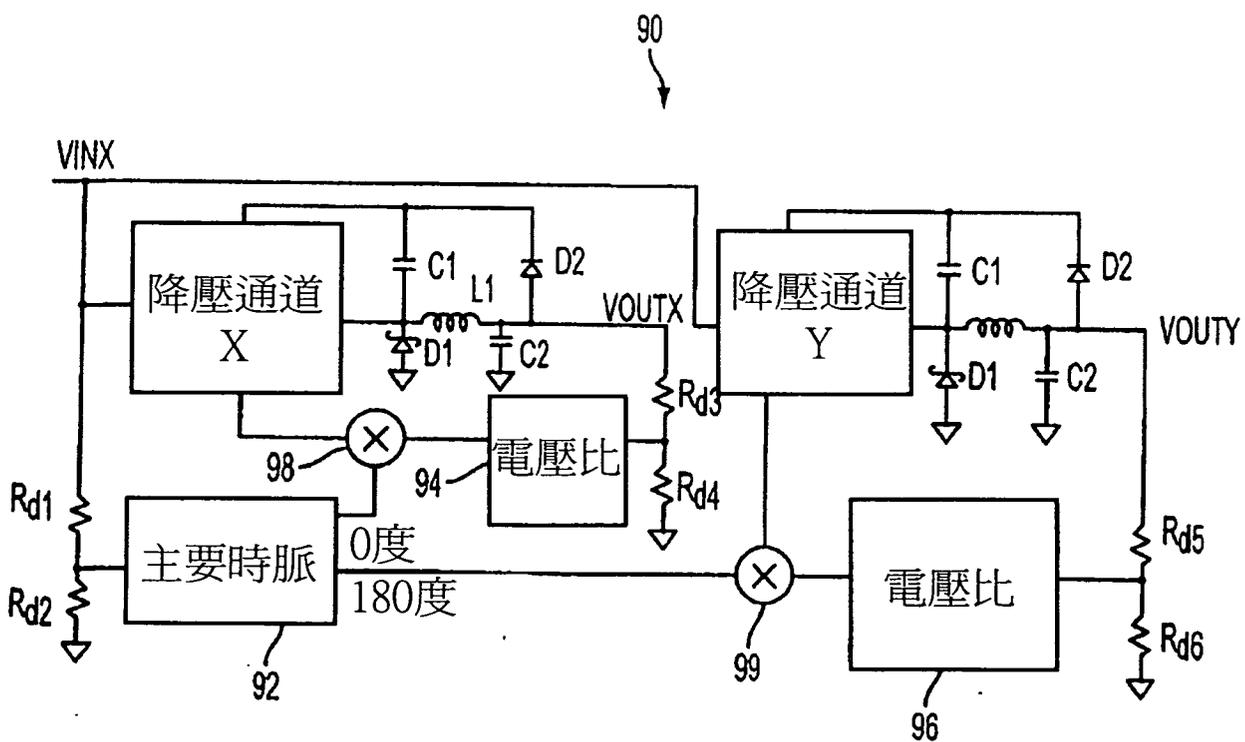
第 6 圖



第 7 圖



第 8 圖



第 9 圖

