

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5397219号  
(P5397219)

(45) 発行日 平成26年1月22日(2014.1.22)

(24) 登録日 平成25年11月1日(2013.11.1)

(51) Int.Cl.

F 1

<b>G09G</b>	<b>3/30</b>	<b>(2006.01)</b>	G09G	3/30	J
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	624B
<b>H01L</b>	<b>51/50</b>	<b>(2006.01)</b>	G09G	3/20	621A
			G09G	3/20	670K
			G09G	3/20	621B

請求項の数 6 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2009-505692 (P2009-505692)  
 (86) (22) 出願日 平成19年4月18日 (2007.4.18)  
 (65) 公表番号 特表2009-533717 (P2009-533717A)  
 (43) 公表日 平成21年9月17日 (2009.9.17)  
 (86) 國際出願番号 PCT/CA2007/000652  
 (87) 國際公開番号 WO2007/118332  
 (87) 國際公開日 平成19年10月25日 (2007.10.25)  
 審査請求日 平成22年4月12日 (2010.4.12)  
 (31) 優先権主張番号 2,544,090  
 (32) 優先日 平成18年4月19日 (2006.4.19)  
 (33) 優先権主張国 カナダ(CA)

(73) 特許権者 508311950  
 イグニス・イノベーション・インコーポレ  
 イテッド  
 IGNIS INNOVATION INC.  
 カナダ国オンタリオ エヌ2ヴィ・2シー  
 5, ウォータールー, バサースト・ドライ  
 ブ 50, ユニット 12  
 (74) 代理人 100081352  
 弁理士 広瀬 章一  
 (72) 発明者 ネイサン、アロキア  
 イギリス国、ケンブリッジ CB3 0DL  
 ハンティンドン・ロード189

最終頁に続く

(54) 【発明の名称】アクティブマトリックス表示装置用の安定な駆動スキーム

## (57) 【特許請求の範囲】

## 【請求項 1】

少なくとも 1 つのピクセル回路を有するピクセルアレイの動作方法であって、前記ピクセル回路は、スイッチ、このスイッチに接続されたセレクトライン、駆動トランジスタ、発光デバイス、および記憶キャパシタを備え、前記駆動トランジスタは、第 1 端子、第 2 端子、およびゲート端子を有し、このゲート端子は前記スイッチを介してデータラインに接続され、かつ前記記憶キャパシタにも接続され、前記第 1 端子は電源ラインに接続され、前記第 2 端子は前記記憶キャパシタおよび前記発光デバイスに接続され、前記動作方法は下記工程を含む：

各フレーム周期において下記工程を含む、前記ピクセルアレイにおけるピクセル回路の各々のためフレーム周期を規定するオペレーションサイクルを反復する工程：

前記オペレーションサイクル中のプログラミングサイクルの間に、プログラミングのためのピクセルを選択するために第 1 状態から第 2 状態にセレクトラインを駆動するのに応答して該ピクセル回路をプログラミングするプログラミング工程であって、前記データライン上にプログラミングデータを提供する工程を含むプログラミング工程、

前記プログラミングに応答して、前記セレクトラインの前記第 2 状態から前記第 1 状態への駆動に応答して前記オペレーションサイクルの駆動サイクル中に該ピクセル回路を駆動する駆動工程であって、前記プログラミングデータに従って前記発光デバイスの発光を引き起し、前記ピクセル回路を駆動する駆動工程の間に前記電源ラインは正電圧を有する駆動工程、および

10

20

前記駆動に応答して、次のフレーム周期の前に、前記オペレーションサイクルの緩和サイクル中の前記駆動トランジスタへのストレス作用を固定の緩和時間  $T_R$  の間、緩和させる緩和工程であって、下記工程を含む：

前記緩和サイクルの第1の動作サイクル中に前記第1状態から第2状態に前記セレクトラインを駆動させた後、前記緩和サイクルの第2の動作サイクル中に前記第2状態から第1状態に前記セレクトラインを駆動させることにより、前記第1および第2の動作サイクルの間前記電源ラインを正電圧に保持しつつ、前記駆動トランジスタに前記駆動工程とは逆極性でバイアスをかける工程、および

前記第1の動作サイクル中に、前記データラインを、ストレスを受けていない状態での駆動トランジスタの閾値電圧とストレスを受けていない状態での前記発光デバイスのオン電圧との総和より小さい電圧に変化させる工程。 10

#### 【請求項2】

前記プログラミング工程が第1サイクルで前記駆動トランジスタのゲートソース間電圧を発生させる工程を含む請求項1に記載の方法。

#### 【請求項3】

前記プログラミング工程が、前記電源ラインを第1の電圧に充電するとともに、前記データラインを前記第1の電圧とは逆極性の第2の電圧に充電する工程を含む請求項1に記載の方法。

#### 【請求項4】

前記プログラミング工程が下記工程を含む請求項1に記載の方法： 20

第1サイクルで、前記電源ラインを、前記データラインの電圧とは逆極性の第1の電圧に充電する工程、

この第1サイクルの後の第2サイクルで、前記電源ラインの電圧を変化させて、前記駆動トランジスタのソース又はドレイン端子を、前記駆動トランジスタがターンオフする点まで充電する工程、および

この第2サイクルの後の第3サイクルでは、前記のデータライン上でプログラミングデータを提供する工程が、前記データラインを前記プログラミングデータに関連するプログラミング電圧まで充電する工程。

#### 【請求項5】

前記緩和工程が、前記緩和と同時に、前記ピクセルアレイ内の第2のピクセル回路を、前記データラインを、該第2のピクセル回路用の第2のプログラミングデータに関連する第2のプログラミング電圧まで充電することによりプログラミングする工程を含む請求項1に記載の方法。 30

#### 【請求項6】

前記緩和工程が下記工程を含む請求項1に記載の方法：

第1緩和サイクルで、該ピクセル回路を選択し、前記スイッチおよび前記記憶キャバシタと前記駆動トランジスタのゲート端子との接続点を所定電圧まで充電し、この所定電圧は、前記発光デバイスを備えた該ピクセル回路が第2の緩和サイクルで消光を生じるよう選択され、その間に同時に、該第1のピクセルが位置する横列とは異なるピクセルアレイの横列に位置する第2のピクセルが、前記データライン上で該第2のピクセル用のプログラミングデータを提供することにより第2の緩和サイクル中にプログラミングされる工程。 40

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は、発光デバイス表示装置（ディスプレイ）に関し、より詳しくはピクセル回路の駆動方法および駆動システムに関する。

##### 【背景技術】

##### 【0002】

エレクトロルミナンス・ディスプレイ（表示装置）は携帯電話のような非常に多様なデ

50

バイス向けに開発されてきた。特に、アモルファスシリコン( a - S i )、ポリシリコン、有機、又は他の駆動用バックプレーンを用いたアクティブマトリックス型の有機発光ダイオード( A M O L E D )ディスプレイは、柔軟性の高いディスプレイの可能性、その低い製作コスト、高い解像度、そして広い視野角といった利点のためにより魅力的になってきている。

#### 【 0 0 0 3 】

A M O L E D ディスプレイは、各ピクセルが有機発光ダイオード( O L E D )を有する複数ピクセルの横列( 口ウ )及び縦列( カラム )からなるアレイと、横列及び縦列からなるアレイ状に配列されたバックプレーン電子回路部( エレクトロニクス )、とを備える。O L E D は電流駆動型のデバイスであるので、A M O L E D のピクセル回路は正確かつ一定した駆動電流を付与することができるべきである。

10

#### 【 0 0 0 4 】

しかし、A M O L E D ディスプレイは、ピクセル劣化、即ち、経時的な動作使用に起因する経時劣化( 例えは、閾値変動、O L E D 経時劣化 )の結果として、ピクセルごとに輝度の不均一性( ばらつき )を示す。ディスプレイの使用状況に応じて、ピクセルごとに劣化の量が異なることが起こりうる。一部のピクセルについて、輝度データにより特定された要求輝度とピクセルの実際の輝度との間の誤差は常に増大し続けることがある。その結果、ディスプレイ上に所望の画像が適正に示されないことになる。

#### 【 0 0 0 5 】

従って、ピクセル回路の経時劣化( エージング )を抑制することができる方法及びシステムを提供することが求められている。

20

#### 【 発明の開示 】

#### 【 0 0 0 6 】

本発明の目的は既存システムの欠点の少なくとも 1 つを解消又は軽減する方法及び装置を提供することである。

本発明の 1 側面によると、少なくとも 1 つのピクセル回路を有するピクセルアレイの動作方法が提供される。この方法は、各フレーム周期において、該ピクセル回路をプログラミングし、該ピクセル回路を駆動し、そして次のフレーム周期の前に該ピクセル回路へのストレス作用を緩和する各工程を含む、1 つのピクセル回路用のフレーム周期を規定するオペレーションサイクルを反復することを含む。

30

#### 【 0 0 0 7 】

本発明の別の側面によると、表示システム( ディスプレイシステム )が提供される。この表示システムは、複数のピクセル回路と、この複数のピクセル回路の動作のための複数のラインとを備えるピクセルアレイを備える。各ピクセル回路は、発光デバイス、記憶キヤパシタ( 記憶コンデンサ )、及び該発光デバイス及び記憶キヤパシタに接続された駆動回路を備える。本表示システムは、前記複数のラインを、各オペレーションサイクルがプログラミングサイクル、駆動サイクル及び次のフレーム周期の前にピクセル回路へのストレスを弛緩させてストレス緩和するための緩和サイクルを含むように、あるフレーム周期を有するオペレーションサイクルを繰り返すように動作させるためのドライバ( 駆動回路 )を備える。

40

#### 【 0 0 0 8 】

この発明の開示は、必ずしも本発明の全ての特徴を記載するものではない。

本発明のピクセルアレイの動作方法におけるいくつかの特徴を下記に記す。

- ・前記緩和工程が該ピクセル回路をその発光デバイスの消光を生じさせることを含む、
- ・前記緩和工程が、前記駆動工程とは逆極性で該ピクセル回路にバイアスをかけることを含む、

・前記ピクセル回路が駆動トランジスタと、発光デバイスと、該駆動トランジスタ及び発光デバイスに接続された記憶キヤパシタとを備え、そして

前記プログラミング工程が第 1 サイクルで駆動トランジスタのゲートソース間電圧を発生させることを含む、

50

・前記ピクセル回路がスイッチを備え、前記駆動トランジスタがゲート端子並びに第1及び第2の端子を備え、駆動トランジスタのゲート端子が前記スイッチを介してデータラインに接続され、駆動トランジスタの第1及び第2の端子の一方が電源ラインに接続され、そして前記電圧発生が、前記電源ラインを第1の電圧に充電し、前記データラインを第1の電圧とは逆極性の第2の電圧に充電することを含む、

・前記プログラミング工程が、第1サイクルに続く第2サイクルで、発光デバイス及び駆動トランジスタと記憶キャパシタとの間の接続点が駆動トランジスタの閾値電圧であるようにピクセル回路に対して動作することを含む、

・前記プログラミング工程が、第1サイクルに続く第2サイクルで、前記記憶キャパシタに記憶された電圧が駆動トランジスタの閾値電圧であるようにピクセル回路に対して動作することを含む、10

・前記プログラミング工程が、第1サイクルに続く第2サイクルで、前記電源ラインを第3の電圧に充電し、この第3の電圧がピクセル回路を駆動させるための電圧と同一である、

・前記プログラミング工程が、第1サイクルに続く第2サイクルで、前記駆動トランジスタの第1及び第2端子の一方を、駆動トランジスタがターンオフする点まで充電することを含む、

・前記プログラミング工程が、第2サイクルに続く第3サイクルで、データラインを、プログラミングデータと関連する電圧まで充電することを含む、

・前記プログラミング工程が、第2サイクルに続く第3サイクルで、後での式(1)により規定される電圧でピクセル回路をプログラミングすることを含む、20

・駆動トランジスタの第1端子が電源ラインに接続され、駆動トランジスタの第2端子が発光デバイスに接続され、記憶キャパシタの第1の端子が駆動トランジスタのゲート端子に接続され、記憶キャパシタの第2の端子が駆動トランジスタの第2の端子及び発光デバイスに接続されている。

#### 【発明を実施するための最良の形態】

##### 【0009】

本発明のいくつかの態様を有機発光ダイオード(OLED)及び複数の薄膜トランジスタ(TFT)を有するピクセル回路を用いて説明する。このピクセル回路は、OLED以外の発光デバイスを備えたものでもよい。ピクセル回路のトランジスタは、n型トランジスタ、p型トランジスタ、又はその組み合わせのいずれでもよい。ピクセル回路中のトランジスタは、アモルファスシリコン、ナノ/マイクロ結晶質シリコン、ポリシリコン、有機半導体技術(例、有機TFT)、NMOS/PMOS技術、CMOS技術(例、MOSFET)、又はそれらの組み合わせを用いて製作されたものでよい。このピクセル回路を有するディスプレイは、1色型、多色型、又はフルカラー型ディスプレイでよく、1又は2以上のエレクトロルミネセンス(EL)素子(例、有機EL)を備えているものでよい。このディスプレイはアクティブマトリックス発光ディスプレイ(AMOLED)でよい。このディスプレイは、DVD、携帯情報端末(PDA)、コンピュータディスプレイ、又は携帯電話に使用することができる。ディスプレイはフラットパネル型のものでよい。30

##### 【0010】

以下の記載において、「ピクセル回路」と「ピクセル」は互換可能に使用される。以下の記載において、「信号」(又は「シグナル」)と「ライン」は互換可能に使用される。以下の記載において、「ライン」と「接続点」(又は「ノード」)は、互換可能に使用される。以下の記載において、「セレクトライン」と「アドレスライン」は互換可能に使用される。以下の記載において、「接続」と「連結」は互換可能に使用され、2以上の素子が互いに直接的又は間接的に物理的又は電気的な接触状態にあることを示すために使用されうる。40

##### 【0011】

図1は本発明の1態様に従ってピクセル回路の経時劣化(エージング)を抑制するためのタイミングスケジュールを例示する。図1のタイミングスケジュールを用いて動作され50

る本ピクセル回路は、複数のトランジスタ及びO L E D（例、図2の22、24、26）を備える。図1において、フレーム10は、プログラミングサイクル12、駆動（即ち、発光）サイクル14、及び緩和サイクル16という3つのフェーズ（段階）に別れている。フレーム10は、ディスプレイが1つのビデオ信号（シグナル）のフレームを示す時間間隔又は時間もしくは周期である。プログラミングサイクル12では、ピクセル回路は所望の輝度を与えるのに必要なデータでプログラミングされる。駆動サイクル14においては、ピクセル回路のO L E Dがプログラミングデータに基づいて必要な輝度（明るさ）を発光する。最後に、緩和サイクル16では、ピクセル回路がオフとなるか、又は駆動サイクル14とは逆極性でバイアスがかけられる。従って、駆動サイクル14によって引き起こされる経時劣化作用がアニーリングされる。これにより、1フレームから他のフレームへの経時劣化の蓄積作用が防止され、こうしてピクセル寿命が著しく増大する。

## 【0012】

所望の平均輝度を得るには、ピクセル回路はより高い輝度に対してプログラミングされる。なぜなら、フレーム時間の一部（即ち、緩和サイクル16）の時間の間、それがオフであるからである。所望輝度に基づくプログラミング輝度は次式により与えられる。

## 【0013】

## 【数2】

$$L_{CP} = \left( \frac{\tau_F}{\tau_F - \tau_R} \right) L_N \quad \dots (1)$$

10

20

## 【0014】

式中、 $L_{CP}$ は補償輝度であり、 $L_N$ は正常輝度であり、 $\tau_R$ は緩和時間（図1の16）であり、 $\tau_F$ はフレーム周期（図1の10）である。

後述するように、ピクセル回路を各フレームの一部の時間だけ弛緩させることにより、駆動デバイス（即ち、図2のTFT24及び26）、O L E D（例えば、図1の22）、又はそれらの組み合わせの経時劣化を包含する、ピクセルの経時劣化を抑制することができる。

30

## 【0015】

図2は、図1のタイミングスケジュールが適用可能なピクセル回路の1例を示す。図2のピクセル回路20は2-TFTピクセル回路である。このピクセル回路20は、O L E D22、駆動TFT24、スイッチTFT26及び記憶キャパシタ28を備える。TFT24及び26はそれぞれ、ソース端子とドレイン端子とゲート端子とを有する。図2において、 $C_{LD}$ はO L E D静電容量を表す。TFT24及び26はn型TFTである。しかし、図1に示された駆動方式はp型トランジスタ又はn型トランジスタとp型トランジスタの組み合わせを有する相補的なピクセル回路にも適用可能であることは当業者には認められよう。

## 【0016】

駆動TFT24の一方の端子は電源ラインV D Dに接続され、駆動TFT24の他方の端子はO L E D22の一方の端子に接続されている（接続点B1）。スイッチTFT26の一方の端子はデータラインV D A T Aに接続され、スイッチTFT26の他方の端子は駆動TFT24のゲート端子に接続されている（接続点A1）。スイッチTFT26のゲート端子はセレクト（選択）ラインS E Lに接続されている。記憶キャパシタ28の一方の端子は接続点A1に接続され、そして記憶キャパシタ28の他方の端子は接続点B1に接続されている。

40

## 【0017】

図3は、図2のピクセルに適用可能な、本発明の1態様に係る補償型駆動スキームのための典型的な時間スケジュールを示す。図3において、32はV<sub>CP</sub>-G enサイクルを表

50

し、34は $V_T$ -Genサイクルを表し、36は図1のプログラミングサイクル12と関連するプログラミングサイクルを表し、38は図1の駆動サイクル14と関連する駆動サイクルを表す。

#### 【0018】

図3の波形は、例えば図1のサイクル12及び14において使用される。 $V_{CP}$ -Genサイクル32では、駆動TFT(例えば、図2の24)のゲート-ソース電圧を横断して電圧を発生させる。 $V_T$ -Genサイクル34では、接続点B1での電圧が駆動TFT(例、図2の24)の $-V_T$ になる。ここで、 $V_T$ は駆動TFT(例、図2の24)の閾値電圧である。プログラミングサイクル36では、接続点A1が(1)式の $L_{cp}$ に関する $V_P$ に充電される。

10

#### 【0019】

図2及び3を参照すると、第1の動作サイクル(オペレーティングサイクル)32( $V_{CP}$ -Gen)において、 $V_{DD}$ は負電圧( $-V_{CPB}$ )に変化し、一方 $V_{DATA}$ は正電圧( $V_{CPA}$ )を有する。即ち、接続点A1は $V_{CPA}$ に充電され、接続点B1は $-V_{CPB}$ に放電される。 $V_{CPA}$ は $V_{T0} + V_{OLED0}$ より小さい。ここで、 $V_{T0}$ はストレスを受けていない駆動TFT24の閾値電圧であり、 $V_{OLED0}$ はストレスを受けていないLED22のオン電圧である。

#### 【0020】

第2の動作サイクル34( $V_T$ -Gen)では、 $V_{DD}$ が駆動サイクル38での電圧である $V_{dd2}$ に変化する。その結果、接続点B1は駆動TFT24がオフになる点まで充電される。この時点で、接続点B1の電圧は( $V_{CPA} - V_T$ )であり、ここで $V_T$ は駆動TFT24の閾値電圧であり、記憶キャパシタ28に記憶された電圧は駆動TFT24の $V_T$ である。

20

#### 【0021】

第3の動作サイクル36(プログラミングサイクル)では、 $V_{DATA}$ がプログラミング電圧の $V_{CPA} + V_P$ に変化する。 $V_{DD}$ は正電圧である $V_{dd1}$ になる。OLEDキャパシタ( $C_{LD}$ )が大きいと仮定すると、接続点B1での電圧は $V_{CPA} - V_T$ のままである。従つて、駆動TFT24のゲート-ソース電圧は理想的には $V_P + V_T$ になる。そのため、ピクセル電流は、( $V_T + V_{OLED}$ )とは無関係になる。ここで、 $V_T$ は駆動TFT24の閾値電圧のシフト(量)であり、 $V_{OLED}$ はLED22のオン電圧のシフト(量)である。

30

#### 【0022】

図4は、図1のタイミングスケジュール及び図3の補償型駆動スキームを実施するための表示システムの1例を示す。この表示システム1000は、複数のピクセル1004を有するピクセルアレイ1002を備える。ピクセル1004は図2のピクセル20に対応する。しかし、ピクセル1004はピクセル20とはことなる構造のものでもよい。ピクセル1004は、横列(ロウ)と縦列(カラム)をなすように配列されている。図4では、ピクセル1004は横2列と縦2列に配置されている。ピクセル1004の数はシステム設計に依存して変動しうるので、4に限られるものではない。ピクセルアレイ1002はアクティブマトリックス発光ディスプレイであり、AMOLEDディスプレイを構成するものでよい。

40

#### 【0023】

$S E L[i]$ は、 $i$ 番目の横列( $i = \dots, k, k+1, \dots$ )用のアドレスラインであり、図2の $S E L$ に対応する。 $V_{DD}[i]$ は、 $i$ 番目の横列( $i = \dots, k, k+1, \dots$ )用の電源ラインであり、図2の $V_{DD}$ に対応する。 $V_{DATA}[j]$ は、 $j$ 番目の横列( $j = \dots, 1, 1+1, \dots$ )用のデータラインであり、図2の $V_{DATA}$ に対応する。

#### 【0024】

ゲートドライバ1006が $S E L[i]$ 及び $V_{DD}[i]$ を駆動する。ゲートドライバ1006は、 $S E L[i]$ にアドレス信号を付与するためのアドレスドライバを備える。データド

50

ライバ1008はプログラミングデータを発生させ、V DATA[j]を駆動する。コントローラ1010がドライバ1006及び1008を制御して、ピクセル1004を図1のタイミングスケジュール及び図3の補償型駆動スキームに基づいて駆動する。

#### 【0025】

図5は、従来型の駆動スキームと本発明の補償型駆動スキームにおける寿命の結果を示す。図2のピクセル回路を、従来型の駆動スキーム(40)及び補償型駆動スキーム(42)を用いて、フレーム周波数約60Hzで2μAについてプログラミングする。補償型駆動スキーム(42)は非常に安定で、総経時劣化工率は10%未満に低減する。これに対し、従来型の駆動スキーム(40)では、ピクセル電流は36時間後にその初期値の半分になる一方で、経時劣化作用によって測定期間中のピクセル電流に50%のエラーを生ずる。  
OLED電圧及び駆動TFT(即ち、図2の24)の閾値電圧の合計シフト、 $(V_{OLED} + V_T)$ は約4Vである。

10

#### 【0026】

図6は、図1のタイミングスケジュール及び図3の補償型駆動スキームを用いたフレームの1例を示す。

図6において、iはピクセルアレイにおけるi番目の横列を表し、kは該ピクセルアレイにおけるk番目の横列を表し、mは該ピクセルアレイにおけるm番目の縦列を表し、そしてl(エル)は該ピクセルアレイにおけるl番目の縦列を表す。図6の波形は、図4のピクセルアレイ1002を動作させるために、図4の表示システム1000に適用可能である。本ピクセルアレイは2以上の図2のピクセル回路20を備えると仮定する。

20

#### 【0027】

図6において、50はi番目の横列のフレームを表し(図1の10に対応)、52は $V_{CP-Gen}$ サイクルを表し(図3の32に対応)、54は $V_T-Gen$ サイクルを表し(図3の34に対応)、そして56はプログラミングサイクルを表す(図3の36に対応)。図6において、58は駆動サイクルを表し、図3の38に対応する。図6において、66は動作サイクル56中の対応するV DATAラインの値を表す。

#### 【0028】

図6において、60はi番目の横列の緩和サイクルを表し、図1の16に対応する。緩和サイクル60は、第1の動作サイクル62及び第2の動作サイクル64を含む。i番目の横列用の緩和サイクル60において、SEL[i]は第1の動作サイクル62では高く、その後、第2の動作サイクル64で低くなる。フレームサイクル62において、i番目の横列の各ピクセルの接続点A1は、ゼロといったある電圧に充電される。従って、これらのピクセルはフレームサイクル64ではオフとなる。k番目の横列の $V_{CP-Gen}$ サイクル52は、i番目の横列の第1動作サイクル62と同じタイミングで生ずる。

30

#### 【0029】

i番目の横列の第1動作サイクル62と同じであるk番目の横列の第1動作サイクル52では、SEL[i]は高いので、i番目の横列のピクセル回路の記憶キャパシタは $V_{CPA}$ に充電される。V DATAラインは $V_{CPA}$ を有する。 $V_{CPA}$ が $V_{OLED0} + V_{T0}$ より小さいことを考慮すると、i番目の横列でのピクセル回路は第2の動作サイクル64でオフとなり、対応する駆動TFT(図2の24)も負にバイアスがかけられ、サイクル64で $V_T$ シフトの部分的なアニメーリングが起こる。

40

#### 【0030】

図7及び8は、図6のタイミングサイクルを採用したピクセル回路のより長期の寿命試験の結果を示す。図7及び8のデータを得るために、2以上の図2のピクセル20を有するピクセルアレイを使用した。

#### 【0031】

図7において、80は駆動トランジスタ(即ち、図2の24)の閾値電圧のシフトの測定結果を示す。この結果は、上記方法が90日間の動作後も非常に安定したピクセル電流を生ずることを示している。ここでは、図2のピクセルを、緩和サイクル中に失われた輝度を補償するのが2.5μAであるとしてプログラミングされている。 $(V_{OLED} + V_T)$

50

は、ピクセル動作を乱さないように長いタイミング間隔（数日）後に一旦抜き出される。OLED電流が1500時間の動作後も著しく安定であることは図8から明らかである。これは、図7に示すように駆動TFT（即ち、図2の24）の経時劣化が抑制された結果である。

#### 【0032】

図8において、90は該ピクセル（即ち、図2の20）のOLED電流の測定結果を示す。図8に示された結果は、増強されたタイミング・ダイアグラムが経時劣化を著しく抑制し、より長い寿命を生ずることを確認するものである。図7では、 $(V_{OLED} + V_T)$ が90日間の動作後も1.8Vであるのに対し、より短い時間後に緩和サイクルを持たない補償型駆動スキームでは3.6Vである。

10

#### 【0033】

図9は、本発明の1態様に従ってピクセルアレイに適用された駆動スキームの1例を示す図である。図9では、ROW(i)、ROW(k)及びROW(n)は、それぞれ該ピクセルアレイの横列を示す。このピクセルアレイは、図4のピクセルアレイ1002であってもよい。図9のフレーム100はプログラミングサイクル102、駆動サイクル104、及び緩和サイクル106を含んでおり、フレーム時間 $T_F$ を有する。プログラミングサイクル102、駆動サイクル104、及び緩和サイクル106は、それぞれ図1の動作サイクル12、14、及び16に対応するものでよい。プログラミングサイクル102は、図3の動作サイクル32、34及び36を含んでいてもよい。緩和サイクル106は、図6の緩和サイクル60と類似のものでよい。

20

#### 【0034】

k番目の横列のプログラミングサイクル102は、i番目の横列の緩和サイクル106と同じタイミングで生ずる。n番目の横列のプログラミングサイクル102は、k番目の横列の緩和サイクル106と同じタイミングで生ずる。

#### 【0035】

図10(a)は、上面発光（トップエミッション）型ピクセルを有するアレイ構造の1例を示す。図10(b)は底面発光（ボトムエミッション）型ピクセルを有するアレイ構造の1例を示す。図4のピクセルアレイは図10(a)又は10(b)のアレイ構造を有していてもよい。図10(a)において、200は基板を表し、202はピクセル接点を表し、203は（上面発光型）ピクセル回路を表し、そして204はOLED上の透明上面電極を表す。図10(b)において、210は透明基板を表し、211は（底面発光型）ピクセル回路を表し、そして212は上面電極を表す。それぞれTFT、記憶キャパシタ、SEL、V DATA、及びV DDラインを備えた全てのピクセル回路が一体に作製される。その後、OLEDが全ピクセル回路に対して作製される。OLEDは図10(a)及び10(b)に示すように、ビア(via、例えば、図2のB1)を用いて対応する駆動トランジスタに接続される。このパネルは、連続層であってもよいOLED上に上面電極を成膜することにより仕上げられ、こうすると設計の複雑さが低減し、これを用いてディスプレイ全体のオン／オフや輝度の調節を行うことが可能となる。

30

#### 【0036】

上の説明において、図1のタイミングスケジュール、図3の補償型駆動スケジュール、及び図6のタイミングスケジュールを実施するためのピクセル回路の1例として図2のピクセル回路20を使用している。しかし、図1、3及び6の上記タイミングスケジュールは、図2のもの以外のピクセル回路にも、その形状や種類（タイプ）にかかわらず適用可能であることは認められよう。

40

#### 【0037】

駆動スキーム、補償兼駆動スキーム、及びピクセル／ピクセルアレイの多くの例が、G.R. Chaji及びA. Nathan著「AMOLEDディスプレイ用の安定電圧プログラミングピクセル回路(Stable voltage-programmed pixel circuit for AMOLED displays)」、IEEE J. of Display Technology, vol. 2, No. 4, pp. 347-358 (2006年12月)に記載されて

50

おり、この文献をここに参考のために援用する。

**【0038】**

以上に現時点で好ましい1又は2以上の態様を例示として説明した。本発明の範囲を逸脱せずに多くの変更・改変をなしうることは当業者には理解されよう。

**【図面の簡単な説明】**

**【0039】**

**【図1】**本発明の1態様に従って1つのピクセル回路の経時劣化を抑制するためのタイミングチャートである。

**【図2】**図1のタイミングスケジュールが適切に適用されるピクセル回路の1例を例示する回路図である。

**【図3】**本発明の1態様に従った補償型駆動スキームのための代表的なタイミングチャートである。

**【図4】**図1のタイミングスケジュール及び図3の補償型駆動スキームを実施するための表示システムの1例を示す図。

**【図5】**従来の駆動スキーム及び図3の補償型駆動スキームの測定結果を示すグラフ。

**【図6】**図1のタイミングスケジュール及び図3の補償型駆動スキームに基づくフレームの1例を示すタイミングチャート。

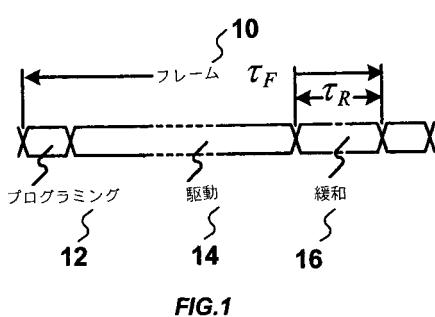
**【図7】**図6の補償型駆動スキームに基づく閾値電圧シフトの測定結果を示すグラフ。

**【図8】**図6の補償型駆動スキームに基づくOLED電流の測定結果を示すグラフ。

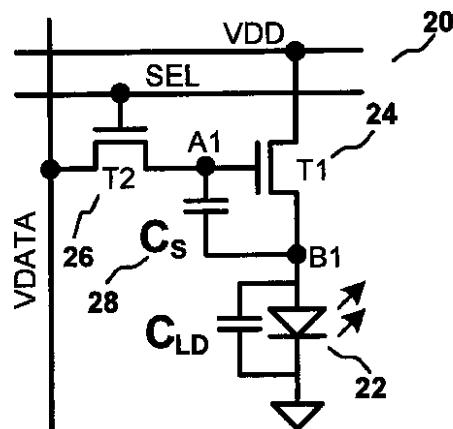
**【図9】**本発明の1態様に従って、ピクセルアレイに適用された駆動スキームの1例を示すグラフ。

**【図10】**図10(a)は図4の表示システムに適用可能な上面発光型ピクセルを有するアレイ構造の1例を示す図であり、図10(b)は図4の表示システムに適用可能な底面発光型ピクセルを有するアレイ構造の1例を示す図である。

**【図1】**



**【図2】**



**FIG.2**

【図3】

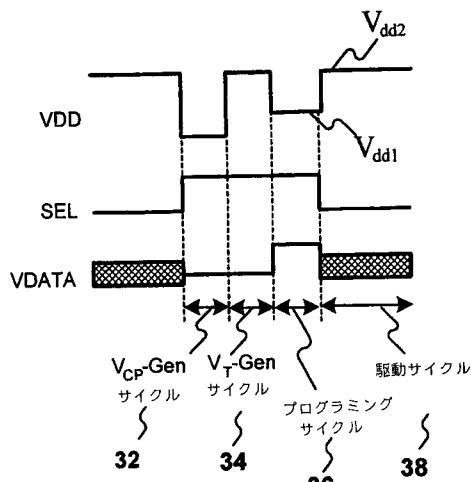


FIG.3

【図4】

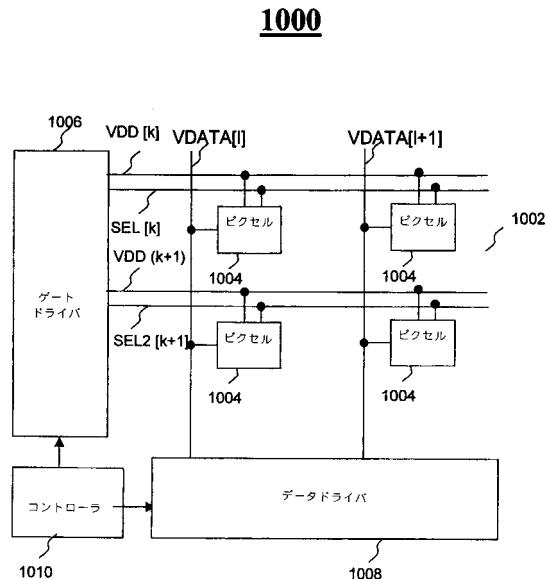


FIG.4

【図5】

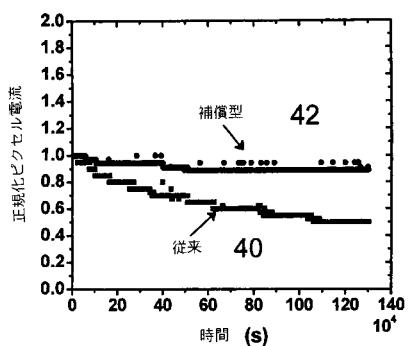


FIG.5

【図6】

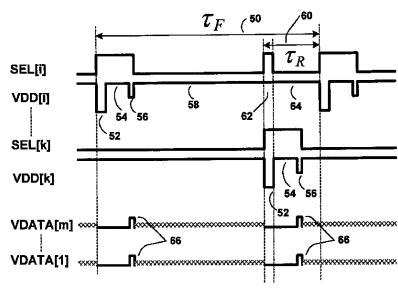


FIG.6

【図7】

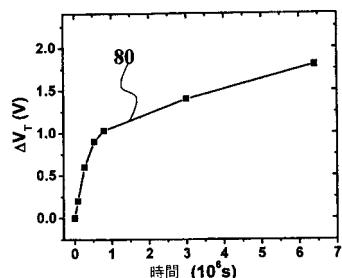


FIG.7

【図8】

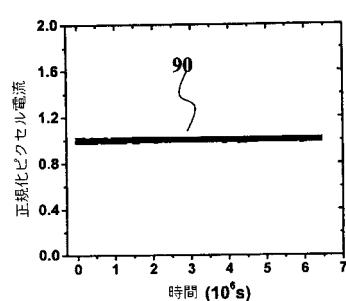
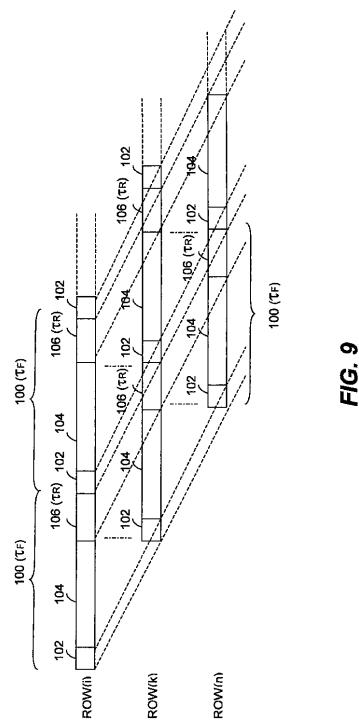


FIG.8

【図9】



【図10】

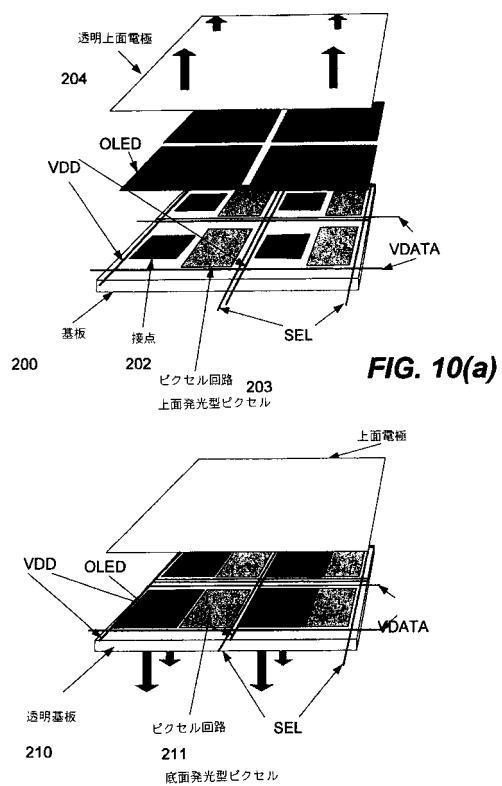
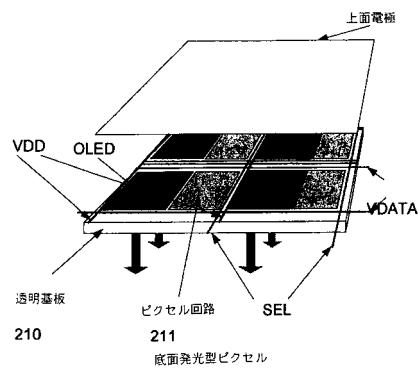


FIG. 10(b)



---

フロントページの続き

(51)Int.Cl.

	F I	
G 0 9 G	3/20	6 1 2 E
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 1 1 H
H 0 5 B	33/14	A

(72)発明者 シャージ、ローザ・ジー

カナダ国、オンタリオ州 N 2 L 3 G 5、ウォータールー、ウエストマウント・ロード・ノース  
5 0 7 - 1 9 6

審査官 橋本 直明

(56)参考文献 特開2001-060076(JP, A)

特開2002-175047(JP, A)

特開2002-091376(JP, A)

特開2003-271095(JP, A)

特開2005-164894(JP, A)

特開2004-133240(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 0

G 0 9 G 3 / 2 0

H 0 1 L 5 1 / 5 0