(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[8]
H01L 29/775 (2006.01)

(11) 공개번호 10-2006-0001986
(43) 공개일자 2006년01월06일

(21) 출원번호 10-2005-0128342
(22) 출원일자 2005년12월23일

(71) 출원인 황성우
서울특별시 강남구 대치동 한보미도맨션 105동 1407호

(72) 발명자 조근휘
서울 광진구 중곡2동 141-1번지 신세계빌라 201호
황성우
서울특별시 강남구 대치동 한보미도맨션 105동 1407호
안도열
경기 안양시 동안구 비산3동 354-10 삼호뉴타운아파트 1동309호

심사청구 : 있음

(54) 단일전자 트랜지스터 및 그의 제조 방법

요약

본 발명은 단일전자 트랜지스터 및 그의 새로운 제조 방법에 관한 것이다. 보다 상세하게는 에스오아이(SOI, silicon-on-insulator) 기판을 이용하여 나노 스케일 크기의 채널 폭을 가지는 나노선을 제조하고, 제작된 에스오아이 나노선에 하드 마스크로의 실리콘 질화막을 패턴한 후, 열산화 공정을 수행한다. 열산화 공정 동안 실리콘 질화막으로 둘러 쌓인 영역의 에스오아이 나노선 영역은 산화율이 작고, 실리콘 질화막이 없는 실리콘 나노선 영역은 실리콘 산화율이 크므로, 질화막의 유무에 따라 선택적으로 산화막의 두께가 결정된다. 에스오아이 나노선을 따라서 두꺼운 산화막-얇은 산화막-두꺼운 산화막이 직렬로 형성되고, 이 중 두꺼운 산화막은 포텐셜 장벽의 기능을, 얇은 산화막 아래의 실리콘 변형은 양자점 기능을 가지게 된다. 이와 같은 제조 방법을 이용한 단일 전자 트랜지스터는 선택적 산화율을 통해 자발적인 양자점을 만들어 지므로, 식각 공정으로부터 생기는 표면의 손상을 피할 수 있다. 제조된 에스오아이 단일전자 트랜지스터는 소스 전극으로부터 양자점으로 터널링, 양자점으로부터 드레인 전극으로의 터널링에 의해 전자가 이동한다.

대표도

도 2

색인어

단일전자, 트랜지스터, 에스오아이(SOI), 양자점, 나노선, 산화율

명세서

도면의 간단한 설명

도 1은 에스오아이 나노선 위에 하드 마스크로 작용하는 실리콘 질화막 패턴을 개략적으로 도시하는 사시도이다.

도 2는 선택적 산화막에 의해 형성된 단일전자 트랜지스터의 평면도이다.

도 3a는 도 2의 A-A' 단면도이다.

도 3b는 도 2의 B-B' 단면도이다.

(도면의 주요부분에 대한 부호의 설명)

10: 다결정 실리콘

20: 게이트 절연막 21: 절연막

30: 에스오아이 나노선

40: 소스 41: 드레인

50: 반도체 기판

60: 하드 마스크

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 에스오아이 단일전자 트랜지스터 및 그의 제조 방법에 관한 것으로, 더욱 상세하게는 에스오아이 기판에 제작된 나노선을 선택적으로 열산화하여 단일전자 트랜지스터를 제작하는 기술에 관한 것이다.

실리콘 반도체 산업은 고집적도와 저전력을 만족하기 위해 소자 크기의 축소, 새로운 소자 구조, 새로운 재료가 제안되고 있다. 특히 하나 또는 몇몇의 전자 수에 의해 작동되는 단일 전자 트랜지스터는 소비 전력이 매우 적고, 소자 크기 또한 매우 작아 집적 밀도를 높일 수 있으며, 기존의 CMOS(Complementary Metal-Oxide-Semiconductor) 공정을 기반으로 제작할 수 있기 때문에 개발 가능성이 높은 차세대 소자이다.

종래의 에스오아이 단일전자 트랜지스터는 에스오아이 기판 위에 나노선을 제작하고, 제작된 나노선에 식각으로 흠집을 내어 공핍영역의 증가에 의한 포텐셜 에너지 장벽을 만든다. 2개의 직렬로 연결된 포텐셜 에너지 장벽 사이는 실리콘 양자점으로 기능하고, 소스전극-실리콘 양자점-드레인 전극으로 전자가 흐른다. 이와 같은 제조 방법은 나노선에 식각을 이용해 협색을 만들기 때문에, 식각 공정 동안 나노선에 손상을 주게 되고 소자의 특성이 저하되는 문제점이 있다. 그러므로 식각 공정을 이용한 나노선의 손상을 줄이기 위해 자발적으로 포텐셜 에너지 장벽을 만드는 기술이 절실히 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 기술적 문제점을 해결하기 위하여 제안된 것으로서, 에스오아이 나노선에 자발적인 포텐셜 에너지 장벽을 만들어 단일전자 트랜지스터를 제작함으로써 소자의 특성 저하를 줄이는 데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명에 따른 에스오아이 단일전자 트랜지스터를 제작한다. 소자는 단결정 실리콘(30, 40, 41)/절연체(21)/반도체기판(50)으로 이루어진 에스오아이 기판 위에 형성된다.

먼저 에스오아이 기판의 단결정 실리콘을 리소그래피를 이용하여 절연막(21) 위에 실리콘 단결정 나노선(30, 30')을 정의한다. 도 1과 같이 나노선 구조 위에 하드 마스크인 실리콘 질화막을 증착 및 패턴한 후 열산화 공정을 수행한다. 실리콘 질화막은 딱딱한 마스크의 역할을 수행하므로, 실리콘 질화막으로 덮인 나노선 영역은 산소의 주입이 어려워 산화막의 성장 속도가 매우 느리고 실리콘 질화막이 없는 노출된 영역은 산화막의 성장 속도가 빨라서 나노선 위에 선택적으로 산화막이 성장한다. 두껍게 성장된 산화막은(30') 자발적으로 에스오아이 나노선이 협색된 영역으로 포텐셜 에너지 장벽으로 기능

하는 반면, 두꺼운 산화막 사이에 있는 적게 자라난 산화막(30) 아래의 실리콘에 전자가 머무를 수 있고 이는 양자점 기능을 가진다. 질화막을 제거 후, 다결정 실리콘(10)을 정의하고 이온주입과 열확산을 이용하여 소스(40), 드레인(41), 게이트(10)를 형성한다. 도 2와 같이 게이트가 양자점 영역만을 덮을 때 양자점의 포텐셜 조절이 가장 용이하지만, 게이트가 포텐셜 에너지 장벽을 덮더라도 소자의 작동에는 큰 문제가 없다. 게이트 하부의 적게 산화된 영역이 소자의 양자점 영역이 된다. 게이트와 소스 및 드레인이 전기적으로 연결되어 전도가 이루어지는 것을 방지하기 위해서는 형성된 게이트 아래 실리콘 산화물 또는 이와 유사한 전기적 절연 물질로 구성되는 절연체(20)를 형성하는 것이 바람직하다.

게이트를 통한 전압의 인가는 양자점의 포텐셜을 조절하여 소스 전극으로 부터 양자점으로전자 또는 정공을 터널링 하게 하고, 다시 양자점으로부터 드레인 전극으로의 터널링을 일어나게 한다. 포텐셜 에너지 장벽이 식각 공정에 의해 형성되지 않으므로 에스오아이 나노선의 손상 없이 소자의 특성 저하를 줄일 수 있다.

발명의 효과

이상에서 설명한 본 발명에 따르면, 에스오아이 기판 위에 나노선을 정의한 후 열산화 공정을 수행하여 선택적으로 포텐셜 에너지 장벽을 형성된 단일전자 트랜지스터를 제작한다. 포텐셜 장벽 사이에 자발적으로 형성된 양자점은 식각 공정에 의한 손상 없이 구현되기 때문에 소자의 특성 저하를 줄일 수 있다.

본 발명은 위에서 에스오아이 단일전자 트랜지스터와 같은 구체적인 예에서 상세히 설명되었지만, 본 발명의 본질적인 범위 내에서 다양한 구조에서 적용이 가능함은 명백하다. 이러한 변형 및 수정은 첨부된 특허 청구 범위에서 속함은 당연한 것이고, 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다.

(57) 청구의 범위

청구항 1.

반도체기판의 상부에 적층된 절연체와;

상기 절연체의 상부에 단결정 실리콘으로 구성되며 일면적을 사이에 두고 이격된 소스 및 드레인 영역과;

상기 절연체의 상부에 단결정으로 형성된 좁은 채널과;

상기 좁은 채널의 선택적 열산화에 의한 선택적인 산화막 형성과;

상기 나노선 채널의 상부에 형성된 절연막과;

상기 절연막 위에 형성된 게이트로 구성된 에스오아이 단일전자 트랜지스터.

청구항 2.

제 1항에 있어, 패턴된 에스오아이 나노선을 선택적 열산화를 이용하여 산화막을 성장시키는 제조 방법.

청구항 3.

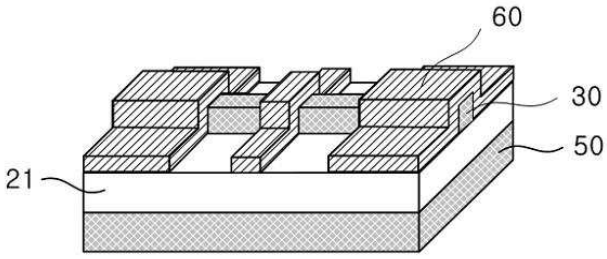
제 1항에 있어, 패턴된 에스오아이 나노선을 선택적 급속 열산화를 이용하여 산화막을 성장시키는 제조 방법.

청구항 4.

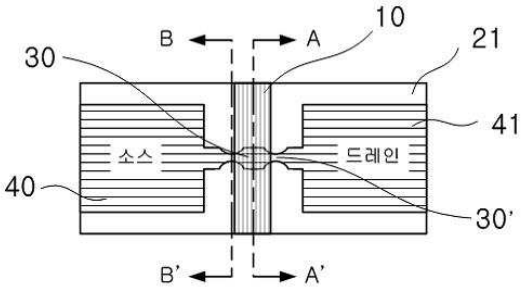
제 2항과 3항에 있어, 나노선의 선택적인 열산화를 형성하기 위해 나노선 위에 패턴 하는 실리콘 질화막과 같은 하드 마스크를 사용하는 제조 방법.

도면

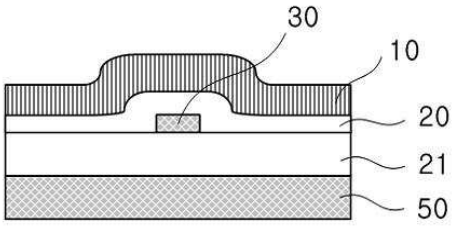
도면1



도면2



도면3



도면4

