(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H03K 19/00
G11C 5/14

(45) 공고일자 1996년03월09일
(11) 공고번호 특1996-0003372
(24) 등록일자 1996년03월09일

(21) 출원번호 특1993-0021000
(22) 출원일자 1993년10월11일
(65) 공개번호 특1994-0010061
(43) 공개일자 1994년05월24일

(30) 우선권주장 92-278575 1992년10월16일 일본(JP)

(71) 출원인 미쓰비시 덴끼 가부시끼가이샤 기다오까 다까시
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3

(72) 발명자 카지모토 타케시
일본국 효고껜 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 기다이 다미세이사꾸쇼나이
미야모토 타카유끼
일본국 효고께 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 기다이 다미세이사꾸쇼나이

(74) 대리인 김영길

심사관 : 이해평 (책자공보 제4370호)

(54) 기준전류 발생회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

기준전류 발생회로

[도면의 간단한 설명]

제1도는 본 발명의 하나의 실시예에 따른 기준전류 발생회로의 구성을 표시한다.

제2도는 본 발명의 다른 실시예에 따른 기준전류 발생회로의 구성을 표시한다.

제3도는 본 발명의 또 다른 실시예에 따른 기준전류 발생회로 구성을 표시한다.

제4도는 본 발명의 또 다른 실시예에 따른 기준전류 발생회로의 구성을 표시한다.

제5도는 본 발명에 따른 기준전류 발생회로를 이용한 기준전압 발생회로의 구성을 표시한다.

제6도는 제5도에 표시한 트리밍(trimming)이 가능한 저항소자의 구체적 구성을 표시한다.

제7도는 제5도에 표시한 트리밍이 가능한 MOS 트랜지스터의 구체적 구성을 표시한다.

제8도는 MOS 트랜지스터, 다결정 실리콘 저항의 저항값 및 MOS 트랜지스터의 한계치 전압의 온도 의존성을 표시한다.

제9도는 제5도에 표시한 기준전압 발생회로로부터 발생된 기준전압의 온도 의존성을 표시한다.

제10도는 일반적인 반도체 기억장치의 전체 구성을 표시한다.

제11도는 제10도에 표시한 내부 강압회로의 구체적 구성을 표시한다.

제12도는 제11도에 표시한 정전류원의 구체적 구성을 표시한다.

제13도는 다결정 실리콘 저항의 저항값과 MOS 트랜지스터의 한계치 전압의 온도 의존성을 표시한다.

제14도는 종래의 기준전류 발생회로에 있어서의 기준전류의 온도 의존성을 표시한다.

제15도는 일반적인 정전압 다이오드의 온도 의존성을 표시한다.

제16도는 종래의 기준전압 발생회로에 있어서의 기준전압의 온도 의존성을 표시한다.

* 도면의 주요부분에 대한 부호의 설명

1,2,3,4 : 출력노드

11,13,14,25,26,31,33,34,45,46 : MOS 트랜지스터

12 : 저항소자 32 : 저항

51 : 트리밍이 가능한 저항소자 57 : 트리밍이 가능한 MOS 트랜지스터

200 : 정전류 발생회로 부분 210 : 정전압 발생회로 부분

[발명의 상세한 설명]

본 발명은 반도체 장치 및 반도체 회로에 있어서 기준전류를 발생하기 위한 회로 구성에 관한 것이고, 특히 기준전압을 발생하기 위해서 이용된 기준전류를 발생하기 위한 회로 구성에 관한 것이다.

본 발명은 RAM(Dynamic Random Access Memory) 등의 반도체 기억장치에 있어서의 전원전압(power supply voltage)을 강압(down-convert)하는 내부 강압회로(voltage-down converter)에 이용되는 기준전류 발생회로에 관한 것이다.

반도체 회로 및 반도체 기억장치에 있어서, 일정한 기준전류를 발생하는 회로가 여러가지 부분에서 이용된다.

이와 같은 기준전류 발생회로는 기준전류에 따라 일정한 기준전압을 발생하기 위해서 사용되거나, 차등증폭회로에 있어서 입력 신호의 차동증폭을 위한 전류 공급원으로서 이용되거나, 또는 높은 저항의 트랜지스터 부하(능동부하라 한다)로서 이용된다.

이와 같은 기준전류 발생회로를 이용하는 회로 부분의 하나가 DRAM의 내부 강압회로이다.

내부 강압회로는 외부에서 인가된 전원전압을 강압하여 내부 전원전압을 생성한다.

이와 같은 내부 강압회로는 다음과 같은 이유에 의해 사용된다.

DRAM의 기억 용량은 점점 증대되고 있다.

DRAM의 기억 용량의 증대는 미세화(miniarutization) 기술에 의한 소자의 고밀도 및 고집적화를 통하여 구현된다.

구성 요소로서 이용할 수 있는 MOS(절연 게이트형 전계 효과) 트랜지스터는 이와 같은 미세화 기술에 의해 사이즈가 작아질 수 있다.

또, 신호 배선을 분리할 뿐만 아니라 소자를 분리하기 위한 층간 절연막의 막 두께로 얇아질 수 있다.

한편으로, 시스템의 전원을 결정하는 마이크로 프로세서 등의 논리 LSI(대규모 집적회로)는 DRAM만큼 충분히 작아질 수 없고, 비교적 높은 전압이 전원전압으로서 이용된다. 따라서, 외부 전원전압을 DRAM 등의 반도체 기업장치의 구성요소에 인가했을 경우에 MOS 트랜지스터의 절연 내압(breakdown voltage) 및 층간 절연막의 절연 내압 등의 신뢰성을 확보하는 것이 곤란하게 된다.

내부 전원전압은 내부 강압회로를 이용하여 외부 전원전압의 강압에 의해 생성되고, 이것에 의해 미세화된 DRAM 등의 반도체 기억장치의 구성 요소의 신뢰성을 확보한다.

제10도는 종래의 DRAM의 전체 구성을 표시한다.

제10도에 있어서, DRAM(100)은 전원전압 노드(109)를 통해서 외부 전원선(112)상에 인가된 외부 전원 전압 V_{cc}를 강압하여 내부 전원선(114)상에 내부 전원전압 V_{dd}를 전달하는 내부 강압회로(102), 내부 전원선(114)상의 내부 전원전압 V_{dd}를 이용하여 동작 전원전압으로서 동작하는 내부회로(104), 그리고 외부 전원선(112)상에 제공된 외부 전원전압 V_{cc}를 이용하여 동작 전원 전압으로서 동작하는 외부 전원 사용회로(106)을 포함한다.

물론, 다른 전원전압(이하, 단지 접지전원이라 한다) V_{ss}가 다른 전원전압 노드(이하 접지 노드라 한다)(110) 및 다른 전원선(이하, 단지 접지선이라 한다)(116)을 통해서 내부 강압회로(102), 내부회로(104) 및 외부 전원 사용회로(106)에 제공된다. 메모리 셀은 가장 미세화되고 있고, 높은 전압이 신뢰성이 관점에서 이 부분에 인가될 수 없기 때문에 내부회로(104)는 적어도 하나의 메모리 셀 배열을 포함한다.

외부 전원 사용회로(106)은 고속에서 데이터의 입출력을 위하여, 그리고 외부 장치와 인터페이스를 제공하기 위하여 장치의 외부와 데이터의 입출력을 수행하는 데이터 입출력회로를 포함한다. 어드레스 디코우더 및 제어회로 등의 주변회로는 외부 전원 사용회로(106) 또는 내부회로(104)에 포함될 수 있다.

외부 전원 전압 Vcc가 인가되는 MOS 트랜지스터 사이즈를 비교적 크게 할 필요가 있고, 한편, 비교적 높은 전압에서 구동되는 MOS 트랜지스터는 고속에서 동작할 수 있다.

위의 양 조건을 고려해서 주변회로를 내부 전원전압 Vdd로 구동되거나 외부 전원전압 Vcc로 구동하느냐를 결정한다.

내부 강압회로(102)는 내부회로(104)의 동작 안정성을 보증하기 위해서 안정한 내부 전원전압 Vdd를 발생하는 것이 요구된다. 이와 같은 내부 강압회로를 위하여 여러가지 구성이 제안되고 있다.

제11도는 종래의 내부 강압회로의 구성의 일례를 표시한다.

제11도에 있어서, 내부 강압회로(102)는 소정의 기준전압 VREF를 발생하는 기준전압 발생회로(124), 기준전압 발생회로(124)로부터의 기준전압 VREF를 부(-) 입력으로 수신하고, 내부 전원선(114)상의 내부 전원전압 Vdd를 정(+) 입력으로 수신하는 차등 증폭기(122), 그리고 차등 증폭기(122)의출력에 반응하여 외부 전원선(112)로부터 내부 전원선(114)상에 전류를 공급하기 위한 p 채널 MOS 트랜지스터(120)을 포함한다.

기준전압 발생회로(124)는 일정한 기준전류를 발생하기 위하여 외부 전원선(112)에 결합된 기준전류 발생회로(130), 기준전류 발생회로(130)으로부터 기준전류를 동작전류로서 사용하여 소정의 기준전압 VREF를 발생하는 정전압 다이오드(132)를 포함한다. 정전압 다이오드(132)는 기준전류 발생회로(130)로부터 기준전류를 제어(Zener) 전류로서 동작하고, 제너전압에 근거하여 기준전압 VREF를 발생한다.

제11도에 표시한 내부 강압회로(102)의 동작이 아래에 설명될 것이다.

차동 증폭기(122)는 기준전압 VREF와 내부 전원전압 Vdd를 차동적으로증폭한다.

내부 전원전압 Vdd가 기준전압 VREF보다도 높을때, 차등 증폭기(122)의 출력은 소정의 레벨보다도 높게 된다.

따라서, p 채널 MOS 트랜지스터(120)의 콘덕턴스가 작아지고(또는 게이트와 소오스 사이의 전위차가 작아지고), p 채널 MOS 트랜지스터(120)을 통해서 외부 전원선(112)에서 내부 전원선(114)에 전달되는 전류량이 적어진다.

이것에 의해, 내부 전원전압 Vdd의 상승이 방지된다.

내부 전원전압 Vdd가 기준전압 VREF보다 작아지면, 차동 증폭기(122)의 출력은 소정의 레벨보다도 작아져, p 채널 MOS 트랜지스터(120)의 콘덕턴스가 증대된다.

이것에 의해, 외부 전원선(112)로부터 내부 전원선(114)에 공급되는 전류량이 증대되고, 내부 전원전압 Vdd가 상승한다.

내부 강압회로(102)는 기준전압 VREF와 근사적으로 같은 레벨의 내부 전원전압 Vdd를 발생하는 기능을 제공한다.

내부 전원전압 Vdd는 내부회로의 안전한 동작을 위해서 충분한 안정을 유지하는 것이 요구된다.

기준전류 발생회로(130)은 안정하게 일정한 기준전류를 발생하는 것이 요구된다.

제12도는 종래의 기준전류 발생회로의 구성을 표시한다.

제12도에 표시한 기준전류 발생회로는 예를 들어, P.R.Gray et al., Yuzuru Nagata 역 『VLSI 애널로그 집적회로 설계기술(하)』(Baifu-kan 발행), PP.305-307.에 설명된다.

제12도에 있어서, 기준전류 발생회로(130)은 외부 전원선(112)에 결합된 소오스와 노드(A)에 접속된 게이트 그리고 노드(B)에 접속된 드레인을 가지는 P 채널 MOS 트랜지스터(154), 외부 전원선(112)에 접속된 소오스와 노드(A)에 접속된 드레인 그리고 노드(A)에 접속된 게이트를 가지는 p 채널 MOS 트랜지스터(155), 노드(B)에 접속된 드레인과 노드(C)에 접속된 게이트 그리고 접지선(116)에 접속된 소오스를 가지는 n 채널 MOS 트랜지스터(151), 노드(C)와 접지선(116) 사이에 접속된 저항(152), 노드(A)에 접속된 드레인과 노드(B)에 접속된 게이트 그리고 노드(C)에 접속된 소오스를 가지는 n 채널 MOS 트랜지스터(153), 외부 전원선(112)에 접속된 소오스와 노드(A)에 접속된 게이트 그리고 출력노드(157)에 접속된 드레인을 가지는 p 채널 MOS 트랜지스터(156)을 포함한다.

커런트 미러회로는 p 채널 MOS 트랜지스터(154) 및 (155)에 의해 구성되고, 다른 커런트 미러회로는 트랜지스터(155) 및 (156)에 의해 구성된다.

트랜지스터(154) 및 (155)는 거의 동일한 사이즈로 만들어지고, 커런트 미러 효과에 의해 동일한 전류량(IO)를 공급한다.

트랜지스터(151)의 게이트 폭(W)와 게이트 길이(L)과의 비(W/L)은 비교적으로 큰 값에 설정되고, 또한 저항(152)의 저항값(RO)도 비교적으로 큰 값에 설정된다.

그 동작이 아래에 설명될 것이다.

트랜지스터(154) 및 (155)는 커런트 미러회로를 구성하기 때문에, 노드(A) 및 노드(B)에는 같은 전류(IO)가 흐른다.

노드(B)에 흐르는 전류(IO)는 트랜지스터(151)을 통하여 흐르고, 노드(A)에 흐르는 전류는 트랜지스터(153)을 통하여 저항(152)에 흐른다.

트랜지스터(153)은 저항(152)을 통하여 흐르는 전류(IO)를 일정하게 유지하는 기능을 제공한다. 즉, 노드(C) 즉 저항(152)를 통하여 흐르는 전류(IO)가 커지면 노드(C)의 전위가 상승하고, 트랜지스터(151)의 콘덕턴스가 커지고, 노드(B)의 전위가 저하한다.

이것에 의해 트랜지스터(153)의 콘덕턴스가 감소하고, 노드(C)를 통하여 흐르는 전류가 작아진다.

반대로, 노드(C)를 통하여 흐르는 전류가 작아질때, 노드(C)의 전압이 저하하고, 트랜지스터(121)의 콘덕턴스가 작아지고, 노드(B)의 전위가 상승한다.

이것에 의해 트랜지스터(153)의 콘덕턴스가 커지고, 큰 전류가 노드(C)에 공급된다.

따라서, 트랜지스터(151)을 통하여 흐르는 전류와 저항(152)를 통하여 흐르는 전류는 같아진다.

저항(151)의 저항값(RO)는 비교적으로 큰 값으로 설정한다.

이것에 의해, 전류(IO)는 작아진다.

바꾸어 말하면, 트랜지스터(151)를 통하여 흐르는 전류는 물론 미소전류값에 설정된다.

트랜지스터(151)의 게이트 폭과 게이트 길이의 비(W/L)은 비교적으로 큰 값으로 설정한다.

이 경우에 있어서, 다음의 관계식에 의해 주어진 트랜스 콘덕턴스 값이 비교적 커지는데, 여기에서 μn은 전자의 이동도를 표시하고, Cox는 게이트 용량을 표시하고, Vds는 드레인-소오스 전압을 표시한다.

$gm=\mu n \cdot (W/L)Cox \cdot Vds$

이 경우에 있어서, 트랜지스터(151)은 포화영역($Vd \geq Vgs-Vthn$)에서 동작하고 트랜지스터(151)을 통하여 흐르는 전류는

$I=(k/2)(Vgs-Vthn)^2$

에 의해 주어지고, 여기에서 Vgs는 게이트-소오스 전압을 표시하고, Vthn은 한계치 전압을 표시하고, k는 gm/Vds에 의해 주어진 상수다.

따라서, 전류(IO)는 충분히 작은값으로 설정되기 때문에, 근사적으로 한계값 Vth(=Vthn)인 트랜지스터(151)의 게이트-소오스 전압 Vds는 전류를 표시한 위식에 따라 주어지고, 저항(152)에 인가된 전압은 MOS 트랜지스터(151)의 한계전압 Vthn과 같아진다.

따라서, 저항(152)를 통하여 흐르는 전류(IO)는

$Vthn=IO \cdot RO \sim Vds$

에 따라

$IO=Vthn/RO$

가 된다.

각각의 저항값 RO 및 한계치 전압 Vthn이 정수이기 때문에, 일정한 기준전류(IO)가 발생된다.

한편, 커런트 미러회로는 트랜지스터(155) 및 (156)에 의해 구성된다.

소정의 기준전류(I1)이 트랜지스터(155) 및 (156)의 게이트 폭과 게이트 길이의 비에 따라 트랜지스터(156)에 주어진다.

바꾸어 말하면, 다음의 관계식에 의해 표시한 일정한 기준전류가 주어진다.

$I1=IO \cdot (W1/L1)/(WO/LO)$

여기에서, W1/L1은 트랜지스터(156)의 게이트 폭과 게이트 길이의 비를 표시하고, WO/LO는 트랜지스터(155)의 게이트 폭과 게이트 길이의 비를 표시한다.

따라서, 일정한 기준전류(11)의 공급에 의해, 일정한 제너 전류가 일정한 기준전류(I1)에 따라 제11도에 표시한 정전압 다이오드(132)에 동작 전류로서 공급될 수 있고, 따라서 소정의 기준전압 VREF가 얻어질 수 있다.

제12도에 표시한 기준전류 발생회로(130)의 구성에 있어서, 전원전압 Vcc의 변동 등의 원인에 의해 노드(A)의 전위가 상승하고, 트랜지스터(154)가 오프상태가 되는 형상이 관측되었다. 이것은 저항(152)의 저항값이 충분히 큰값에 설정되고, 저항 접속된 트랜지스터(155)내의 저항 성분이 무시될 수 있고 트랜지스터(155)내에서의 전압 강하가 무시된다는 가정하에서, 트랜지스터(154)의 한계전압(부(-)의 전압)보다도 크게되기 때문이다. 또 트랜지스터(155)가 다이오드 접속되어 있고, 그 순방향 전압 강하가 무시될 수 없는 경우에 있어서도, 전원전압 Vcc가 펄스상으로 변한다면, 노드(A)의 전위는 상승한다.

이 노드(A)의 전위는 큰 저항값(RO)를 가지는 저항(152)를 통해서 방전되므로, 노드(A)의 전위 VA는 다음 관계를 만족하게 된다.

$Vcc-VA > |Vthp|$

따라서, 트랜지스터(154)가 오프상태가 된다.

이 트랜지스터(154)가 오프상태가 되는 현상은 노드(B)의 전위가 하강(트랜지스터(151)에 의해 방전), 트랜지스터(153)이 오프상태, 노드(C)의 전위가 하강(저항(152)에 의해 방전), 트랜지스터(151)이 오프상태가 되는 연속적인 동작의 트리거(trigger)이다.

이 경과 노드(A)의 전위는 “H”(다이오드 접속된 트랜지스터(155)에 의해 충전) 및 노드(B)와 (C)의 전위가 “L”이 된다.

최종적으로, 모든 트랜지스터(151~156)이 오프상태가 된다. 이 회로는 기준전류 발생회로로서 더이상 동작하지 못한다. 또 반도체 기억장치 등의 반도체 장치에 있어서, 어떤 범위(예를 들어, 0~70℃)가 동작온도에 대해서 인정된다.

이 경우에 있어서, 각 소자의 동작 특성은 온도에 따라 변한다.

제13도는 예를 들어 다결정 실리콘으로 형성된 저항(152)의 온도 의존성과 MOS 트랜지스터의 한계전압의

온도 의존성을 표시한다.

제13도에 있어서, 가로축은 온도(T)를 표시하고 세로축은 저항(R) 및 한계전압 VTH를 표시한다.

직선 RO는 예를 들어, 다결정 실리콘으로 만든 저항에서 저항값의 변화를 표시하고, 직선 Vth는 n 채널 MOS 트랜지스터의 한계전압 Vthn의 변화를 표시한다.

제13도에 표시한 바와 같이, 저항(152) 내의 저항값(RO)는 정(+)의 온도계수를 가지고 있으며, 온도의 상승에 따라 저항값이 증가한다.

한편, MOS 트랜지스터의 한계전압 Vthn은 부(-)의 온도계수를 가지고 온도의 상승에 따라 감소된다.

제12도에 표시한 기준전류 발생회로에 있어서, 저항(152)를 통하여 흐르는 전류(IO)는 Vthn/RO에 의해 주어진다.

따라서, 온도 상승과 같은 기준전류 발생회로에 의해 발생된 전류(IO) 및 (I1)은 제14도에 표시한 것과 같이 온도 상승에 따라 감소된다.

제14도에 있어서, 가로축은 온도(T)를 표시하고 세로축은 기준전류 발생회로에 의해 공급되는 전류량(I)를 표시한다.

제13도 및 제14도에 표시한 직선은 과장된 경우의 온도 의존성을 표시한다.

기준전류 발생회로에 의해 발생된 기준전류(IO) 및 (I1)이 온도 상승에 따라 감소하기 때문에, 제11도에 표시한 기준전압 발생회로에서 정확한 기준전압이 발생될 수 없으므로, 내부 강압회로에서 발생된 내부 전원전압 Vdd가 온도에 따라 변하게 되고, 내부회로가 안정하게 동작할 수 없을 것이다.

제15도는 정전압 다이오드의 온도 의존성을 표시한다.

제15도에 있어서, 가로축은 제너(Zener) 전압을 표시하고, 세로축은 온도계수를 표시한다.

각 곡선은 각 제너 전류(동작 전류)에서의 제너전압 Vz의 온도 의존성을 표시한다.

정전압 다이오드는 어떤량의 전류가 역 바이어스 조건하에서 공급될 때 그 단자사이의 전압이 일정하게 되는 특성을 가진다. 장전압 다이오드의 온도계수의 부호가 약 6V를 경계로 하여 변한다.

즉, 제너전압 Vz가 6V 이상의 경우에는 정(+)의 온도계수를 가지고, 제너전압 V_z는 6V보다 작을때 부(-)의 온도계수를 가진다.

이것은 낮은 제너전압에 있어서 제너 강복기구(Zener breakdown mechanism)가 지배적이고, 높은 제너 전압에 있어서 전자 사태기구(electron avalance mechanism)가 지배적으로 되기 때문이다.

반도체 기억 장치의 재부 강압회로에 있어서, 3.3V의 내부 전원전압이 통상적으로 발생되고, 제너전압 V_z는 이 값보다도 낮거나 같은 정도의 것이 필요하게 된다.

이 경우에 있어서 정전압 다이오드에 주어지는 제너전압은 부(-)의 온도계수를 가진다.

즉 제너전압은 온도의 상승에 따라 감소한다.

순방향 바이어스된 다이오드를 추가하여 온도 의존성을 보상하는 것이 가능하다.

그러나, 기준전류 발생회로에서 동작전류로서 정전압 다이오드(132)에 공급되는 기준전류(I1)이 온도 상승에 따라 감소했을 때, 제너전압 V_z의 온도계수는 동작 전류의 변화에 따라 변한다.

따라서, 온도 보상된 정전압 다이오드라 할지라도 동작 전류가 변하기 때문에 충분하게 온도 의존성에 대해 보상하는 것이 가능하지 않고, 제16도에 표시한 것과 같이 기준전압 발생회로에서 발생된 기준전압 VREF가 온도의 상승에 따라 변하므로(제16도는 기준전압 VREF가 감소하는 경우를 표시한다), 일정 레벨의 내부 전원전압이 안정하게 발생될 수 없다.

제16도에 있어서, 가로축은 온도(T)를 표시하고, 세로축은 내부 기준전압 발생회로에서 발생된 기준전압 VREF를 표시한다.

본 발명의 목적은 전원전압이 변할지라도 안정하게 기준전류를 공급할 수 있는 기준전류 발생회로를 제공하는 것이다.

본 발명의 다른 목적은 넓은 범위의 온도에서 안정하게 기준전류를 공급할 수 있는 기준전류 발생회로를 제공하는 것이다.

본 발명의 또 다른 목적은 동작 환경이 변한다 할지라도 안정하게 기준전압을 발생할 수 있는 기준전압을 발생하기 위하여 이용된 기준전류 발생회로를 제공하는 것이다.

본 발명에 따른 기준전류 발생회로는 저항소자 양단에 인가된 전압을 자신의 한계전압으로 유지하는 전계 효과 트랜지스터의 전류 공급원으로서 항상 온상태로 되는 고저항소자를 포함한다. 전원 또는 그와 같은 것이 변한다 할지라도 고저항소자가 미소전류를 전계 효과 트랜지스터에 연속적으로 공급할 수 있기 때문에, 전계 효과 트랜지스터의 제어 전극과 다른 도전단자 사이의 전압이 일정한 값으로 유지될 수 있고, 저항소자에 공급된 전압이 일정한 값으로 유지될 수 있다.

그것에 의해, 전원 또는 그와 같은 것이 변한다 할지라도 안정하게 기준 전류를 발생하는 것이 가능하다.

첨부한 도면과 결합될 때 본 발명의 전술한 것과 다른 목적, 특징, 관점, 그리고 장점이 다음의 본 발명의 상세한 설명에서 더 명백해질 것이다.

제1도는 본 발명의 하나의 실시예에 따른 기준전류 발생회로의 구성을 표시한다.

제1도에 있어서, 기준전류 발생회로는 외부 전원선(112)에 접속된 소오스와 노드(E)에 접속된 드레인 그리고 접지선(116)에 접속된 게이트를 가지는 P 채널 MOS 트랜지스터(14), 노드(E)에 접속된 드레인과 노드(F)에 접속된 게이트 그리고 접지선(116)에 접속된 소오스를 가지는 n 채널 MOS 트랜지스터(11), 노드(F)와 접지선(116) 사이에 접속된 저항(12), 출력 노드(1)에 접속된 드레인과 노드(E)에 접속된 게이트 그리고 노드(F)에 접속된 소오스를 가지는 n 채널 MOS 트랜지스터(14)의 게이트 폭(W)와 게이트 길이(L)과의 비(W/L)이 충분히 작은 값(예를 들어, 수백분의 1)에 설정되고, n 채널 MOS 트랜지스터(11)은 게이트 폭과 게이트 길이의 비(W/L)이 충분히 큰 값(약 수백 정도)에 설정된다.

p 채널 MOS 트랜지스터(14)는 접지선(116)에 접속된 게이트를 가지며 상시 온 상태이고, 적은 콘덕턴스를 가지며 미소전류(약 수 ㎂정도)를 공급한다.

그 동작이 아래에 설명된다.

트랜지스터(14)는 그 게이트가 전원전압 Vcc보다도 충분히 작은 값인 접지 전위 Vss의 전위 레벨이기 때문에 항상 온 상태이다. 트랜지스터(14)를 통하여 트랜지스터(11)에 미소전류가 항상 공급된다.

트랜지스터(11)은 포화 영역에서 동작하고, 그 게이트 폭과 게이트 길이의 비(W/L)이 충분히 크기 때문에 충분히 큰 콘덕턴스를 가진다.

그래서, 포화 동작에 있어서 드레인 전류의 관계식에 따라

$$I=(W/L)\cdot \mu n\cdot Cox(Vgs-Vthn)^{2}$$

트랜지스터(11)의 게이트-소오스 전압은 한계전압 VTH(=Vthn)과 같게 된다.

다시 말하면 노드(F)의 전위 레벨은 트랜지스터(11)의 한계전압 VTH와 같아진다.

따라서, 일정한 전류가 저항(12)를 통하여 흐르는데, 여기에서 RO는 저항(12)의 저항값을 표시한다.

$$IO=Vth/RO$$

트랜지스터(13)은 포화 영역에서 동작한다.

트랜지스터(14)의 W/L이 충분히 작고, 트랜지스터(11)의 W/L이 충분히 크기 때문에, 노드(E)의 전압은 충분히 낮다(계수 W/L은 MOS 트랜지스터의 콘덕턴스에 관련된 것에 주목하라).

따라서, 트랜지스터(13)은 다음에 정의된 포화영역에서 동작의 조건을 만족한다.

$$Vd\geq Vg-Vthn$$

트랜지스터(13)은 출력노드(1)의 전압(드래인 전압)에도 불구하고 일정한 전류(IO)를 공급한다.

다른 관점에서 트랜지스터(13)은 피드백 기능에 의해 일정한 전류를 공급하는 것으로 생각할 수도 있다.

즉, 출력노드(1)의 전류(IO)가 증가되었을 때, 노드(F)의 전위가 상승한다.

따라서 트랜지스터(11)의 콘덕턴스가 증가하고, 노드(E)의 전위가 감소하고, 트랜지스터(13)의 콘덕턴스가 작아져서, 노드(F)에 공급되는 전류량이 감소된다.

반대로 전류(IO)가 감소하면, 노드(F)의 전위가 감소하고, 트랜지스터(11)의 콘덕턴스가 작아져서, 노드(E)의 전위가 상승한다.

따라서 트랜지스터(13)의 콘덕턴스가 켜져서, 노드(F)에 공급되는 전류량을 증가시킨다.

이 동작에 의해서, 저항(12)를 통하여 흐르는 전류를 일정한 값으로 유지할 수 있다.

트랜지스터(13)의 이 기능에 의해, 출력노드(1)에서 전위 및 전류 변화에도 불구하고 항상 안정하게 일정한 기준전류(IO)를 공급할 수가 있다.

제2도는 본 발명의 다른 실시예에 따른 기준전류 발생회로의 구성을 표시한다.

제2도에 있어서, 기준전류 발생회로는 외부 전원선(112)에 접속된 소오스와 노드(G)에 접속된 드레인 그리고 노드(H)에 접속된 게이트를 가지는 p 채널 MOS 트랜지스터(31), 노드(G)에 접속된 드레인과 접지선(116)에 접속된 소오스 그리고 외부 전원선(112)에 접속된 게이트를 가지는 n 채널 MOS 트랜지스터(34), 노드(G)에 접속된 게이트와 노드(H)에 접속된 소오스 그리고 출력노드(3)에 접속된 드레인을 가지는 p 채널 MOS 트랜지스터(33), 그리고 노드(H)와 외부 전원선(112) 사이의 접속된 저항(32)를 포함한다.

트랜지스터(31)의 게이트 폭과 게이트 길이비(W/L)은 충분히 큰 값(약 수백정도)으로 설정되고, 트랜지스터(34)의 게이트 폭과 게이트 길이의 비(W/L)은 충분히 작은 값(약 수백분의 1정도)으로 설정된다.

트랜지스터(34)는 외부 전원선(112)에 접속된 게이트를 가지고 항상 온 상태이며, 미소전류(약 수 ㎂ 정도)를 항상 공급한다. 제2도에 표시한 기준전류 발생회로는 제1도에 표시한 기준전류 발생회로에서 MOS 트랜지스터의 극성을 반전할 뿐만 아니라 전원전압의 극성을 반전하여 구현될 수 있다.

따라서 동작은 제1도에 표시한 기준전류 발생회로의 그것과 같다.

즉 이경우에 있어서 다음과 같이 표현되는 일정 전류가 저항(32)에 흐른다.

$$IO=VTH(=-Vthp)/RO$$

여기에서, Vthp는 MOS 트랜지스터(31)의 한계전압을 표현하고, 그것은 부(-)의 값이다.

트랜지스터(33)은 제1도에 표시한 트랜지스터(13)과 같이 출력노드(3)의 전위의 변화를 흡수하기 위해서 설치된 피드백 트랜지스터이고, 포화 영역에서 동작하므로서 출력노드(3)의 전위에도 불구하고 출력노드(3)에 일정한 전류(I0)를 공급한다.

여기에서, 트랜지스터(33)의 게이트(노드 G)의 전위는 트랜지스터(34)의 게이트 폭과 게이트 길이 비(W/L)이 충분히 작은 값으로 설정되어 있고, 트랜지스터(31)의 게이트 폭과 게이트 길이의 비(W/L)이 충분히 큰값에 설정되어 있기 때문에, 노드(G)의 전위 레벨은 충분히 높은 전압 레벨이 되어, 트랜지스터(33)은 확실히 포화 영역에서 동작한다.

제3도는 본 발명의 또 다른 실시예에 따른 기준전류 발생회로의 구성을 표시한다.

제3도에 표시한 기준전류 발생회로에 있어서, 제1도에 표시한 기준전류 발생회로의 출력노드(1)에 커런트 미러 회로를 구성하는 p 채널 MOS 트랜지스터(25) 및 (26)을 부가적으로 설치한 것이다.

제1도에 표시하는 기준전류 발생회로에 대응하는 구성 요소에는 동일한 참조 번호를 붙이고, 그 상세한 설명은 생략한다.

제3도에 있어서, p 채널 MOS 트랜지스터(25)는 출력노드(1)에 접속된 게이트와 드레인을 가지며, 소오스가 외부 전원선(112)에 접속된다.

MOS 트랜지스터(26)은 외부 전원선(112)에 접속된 소오스, 노드(1)에 접속된 게이트, 출력노드(2)에 접속된 드레인을 가진다. 트랜지스터(11~14) 및 저항(12)에 의한 회로 부분의 동작은 제1도에 표시한 기준 전류 발생회로의 그것과 동일하다. 트랜지스터(25) 및 (26)은 커런트 미러 동작에 의해 다음에 주어진 전류를 출력노드(2)에 공급한다.

$I1=I0 \cdot (W26/L26)/(W25/L25)$

여기에서, (W25) 및 (L25)는 트랜지스터(25)의 게이트 폭 및 게이트 길이를 각각 표시하고, (W26) 및 (L26)은 트랜지스터(26)의 게이트 폭 및 게이트 길이를 각각 표시한다.

제3도에 표시한 기준전류 발생회로에 있어서, 전원전압 Vcc가 변하고 노드(1)의 전위가 상승했다 할지라도, 전위의 상승에도 불구하고 트랜지스터(13)은 일정한 전류(I0)를 저항 (12)에 공급하고, 노드(1)의 전위의 상승은 트랜지스터(13)을 통하여 빨리 흡수되어, 트랜지스터(26)이 오프상태로 되지 않는다.

따라서, 안정하고 일정한 기준전류(I1)이 공급될 수 있다.

제4도는 본 발명의 또 다른 실시예에 따른 기준전류 발생회로의 구성을 표시한다.

제4도에 표시하는 기준전류 발생회로에 있어서, 제2도에 표시하는 기준전류 발생회로의 출력노드(3)에 커런트 미러회로를 구성하는 n 채널 MOS 트랜지스터(45) 및 (46)이 추가된 것이다.

트랜지스터(45)는 노드(3)이 접속된 게이트 및 드레인을 가지고, 소오스가 접지선(116)에 접속된다.

트랜지스터(46)은 노드(3)에 접속된 게이트, 접지선(116)에 접속된 소오스, 그리고 출력노드(4)에 접속된 드레인을 가진다.

제4도에 표시한 기준전류 발생회로는 제3도에 표시한 기준전류 발생회로에서 MOS 트랜지스터의 극성을 반전시키므로서 구현될 수 있으므로, 그 동작은 제3도에 표시한 기준전류 발생회로와 유사하다.

이 경우에 있어서도, 트랜지스터(46)의 게이트 폭과 게이트 길이의 비 그리고 트랜지스터(45)의 게이트 길이와 게이트 폭의 비에 의해 결정되는 기준전류(I1)을 얻을 수 있다.

제1도에서 제4도에 표시한 기준전류 발생회로는 고저항 소자이고 계수(W/L)이 충분히 작은 MOS 트랜지스터의 게이트를 전원전압 Vcc 또는 접지 전위 Vss에 접속하므로서 실현하고 있다.

MOS 트랜지스터의 게이트를 제1도에 점선으로 표시한 것과 같이 전원전압 Vcc 또는 접지 전위 Vss에 접속하기보다는 저항으로서 기능시키도록 하기 위하여 MOS 트랜지스터의 게이트와 드레인을 함께 접속해도 좋다.

이 경우에 있어서, 미소전류를 공급하기 위해서 요구되는 전류 제한 효과가 보다 개선될 수 있다.

저항 접속된 MOS 트랜지스터에서의 전압 강하는 그 한계전압 VTH와 근사적으로 같고, 저항에 일정한 전압을 인가하기 위한 트랜지스터의 소오스 게이트간 전압이 한계전압 VTH와 같기 때문에, 적어도 한계전압 VTH의 드레인 전압이 요구된다.

외부 전원전압 Vcc의 값은 적어도 $3 \cdot VTH$의 요구된다.

예를들어 제1도에 표시한 기준전류 발생회로의 구성에 있어서, 트랜지스터(14)의 게이트와 드레인이 점선으로 표시한 것과 같이 저항 접속되었을 때, 트랜지스터(14)에서의 전압 강하는 한계전압 VTH와 같고, 트랜지스터(11)의 게이트 소오스간 전압은 한계전압 VTH와 같다.

트랜지스터(13)의 포화 영역에서 동작하기 위해서, 노드(E)와 노드(F) 사이의 전위차는 한계전압 이상이 요구된다.

즉 노드(E)의 전위 레벨은 $2 \cdot V_{TH}$ 이상이다. 따라서 전원전압 Vcc는 $3 \cdot V_{TH}$ 이상 요구된다.

또한, 미소전류를 공급하기 위하여 저항값을 적절하게 설정할 수 있으면 미소전류를 공급하기 위한 고저항소자로서 MOS 트랜지스터(14,34) 대신에 확산 저항 또는 다결정 실리콘 저항과 같은 저항소자를 이용할 수도 있다.

제1도에서 제4도에 표시한 기준전류 발생회로는 외부 전원전압에서 내부 전원전압을 발생하기 위해 내부

강압하는 내부 강압회로에 이용되는 것을 표시한다.

그러나, 이 기준전류 발생회로는 어떤 반도체 장치 및 반도체 회로에 있어서 일정한 기준전류가 요구되는 회로 부분에 적용될 수 있다.

제5도는 본 발명에 따른 기준전류 발생회로를 사용한 기준전압 발생회로의 구성을 표시한다.

이 기준전압 발생회로는 내부 강압회로에 이용될 수 있고, 다른 회로부분에 있어서 기준전압이 요구되는 부분에 사용될 수 있다.

제5도에 있어서, 기준전압 발생회로는 기준전류를 발생하는 회로 부분(200), 기준전류에 따라 소정의 기준전압 VREF를 발생하는 회로 부분(210)을 포함한다.

기준전류 발생회로 부분(200)은 저항소자(51)의 구성을 제외하고 제4도에 표시한 기준전류 발생회로와 같은 구성을 가진다.

저항소자(51)의 저항값은 트리밍이 가능하다.

나머지는 제4도에 표시한 기준전류 발생회로와 같고, 대응하는 부분에는 같은 참조 번호가 붙는다.

기준전압을 발생하는 회로 부분(210)은 커런트 미러 회로를 구성하기 위하여 기준전류 발생회로 부분(200)의 출력노드(4)에 접속된 p 채널 MOS 트랜지스터(53) 및 (54), 그리고 출력노드(5)에 일정한 기준전압 VREF를 발생하기 위하여 트랜지스터(54)에 저항소자로서 기능하는 p 채널 MOS 트랜지스터(57)을 포함한다. 트랜지스터(57)의 저항값은 트리밍이 가능하다.

MOS 트랜지스터(57)의 게이트 폭과 게이트 길이의 비(W/L)이 충분히 작게 된다.

MOS 트랜지스터(57)이 저항으로 가능하기 때문에, 기준전압 VREF는 트랜지스터(54)에서 공급되는 일정한 기준전류(12)와 트랜지스터(54)의 저항값의 곱에 따라 발생된다.

각 회로 부분의 동작은 위에 설명된 기준전류 발생회로에서와 같고, 그 동작은 아래에서 반복적으로 상세히 설명되지 않을 것이다.

트리밍이 가능한 저항소자(51) 및 트리밍 가능한 저항값을 가지는 MOS 트랜지스터(57)이 아래에 설명될 것이다.

제6도는 제5도에 표시한 트리밍이 가능한 저항소자(51)의 구체적 구성예를 표시한다.

제6도에 있어서, 트리밍 가능한 저항소자(51)은 전원선(112)와 노드(H) 사이에 직렬로 접속된 저항소자(r1-r4), 그리고 저항(r2-r4)에 병렬로 접속된 퓨우즈 연결 소자(f1-f3)을 포함한다. 링크 소자(f1-f3)은, 예를 들어 레이저에 의해 용해될 수 있는(melted out 또는 blown off) 퓨우즈 소자에 의해 형성된다.

저항(r1-r4)는 예를 들어 다결정 실리콘에 의해 각각 구성된다. 이 트리밍이 가능한 저항소자(51)의 트리밍이 아래에 설명될 것이다.

반도체 장치(예를들어, 반도체 기억장치)의 제조후에 다양한 시험에 수행된다.

소정의 기준전압 VREF가 발생하고 있는지 아닌지 결정하기 위한 검색이 동시에 수행된다.

검색동안에, 링크소자(f1-f3)는 접속되었거나 도통상태에 있다. 저항(r2-r4)는 링크소자(f1-f3)에 의해 단락되어 있기 때문에(short-circuit ed), 저항소자(51)의 저항값은 저항(r1)에 의해 주어진다.

시험 동안에, 기준전압 VREF가 소정의 기준 레벨보다도 높다면 링크소자가 용해된다.

저항소자(51)에 있어서, 전원선(112)와 출력노드(H)에 접속된 저항의 수가 증가하는 만큼 그 저항값이 증가한다.

이것에 의해, 노드(H)(제5도 참조)를 통하여 흐르는 전류(I0)의 값이(관계 I0=VTH/R0에 따라) 작아진다.

기준전류(I0)가 작아지므로서, 제5도에 표시한 구성에 있어서 트랜지스터(54)에서 공급하는 기준전류(I2)의 값도 작아지고,따라서 기준전압 VREF의 전위 레벨이 감소한다.

따라서, 소정의 전압 레벨보다 높은 기준전압 VREF이 원하는 값으로 수정된다.

저항소자로서 기능하는 MOS 트랜지스터(57)의 트리밍이 설명될 것이다.

제7도는 트리밍이 가능한 MOS 트랜지스터(57)의 구성을 표시한다.

제7도에 있어서, 트리밍이 가능한 MOS 트랜지스터(57)은 출력노드(5)와 접지선(116) 사이에 직렬로 접속된 P 채널 MOS 트랜지스터(M1-M4), MOS 트랜지스터(M2-M4)에 각각 병렬로 접속된 용해가 가능한 링크 소자(L1-L3)을 포함한다.

MOS 트랜지스터(M1-M4)는 접지선(116)에 접속된 각 게이트를 가진다.

MOS 트랜지스터(M1-M4)의 게이트 폭과 게이트 길이의 비(W/L)이 충분히 작은 값에 설정되고, MOS 트랜지스터(M1-M4) 저항소자로서 작용한다.

MOS 트랜지스터(M1-M4)의 기판(또는 웰영역(well region))은 출력노드(5)에 공통으로 접속된다.

기판을 기준전압 VREF로 바이어스하므로서 MOS 트랜지스터(M1-M4)의 동작이 안정화 될 수 있다.

제조 완료시에, 링크소자(L1-L3)는 접속되었거나 도통상태에 있다.

이 상태에서, MOS 트랜지스터(M1)에 의해 설치된 저항성분만이 출력노드(5)와 접지선(116) 사이의 설치된

다.

MOS 트랜지스터(M1-M4) 의 게이트 폭과 게이트 길이의 비(W/L)이 작은값으로 설정되어 있다.

트랜지스터(54)로부터 일정한 기준전류(I2)에 따라, 기준전압 VREF는 존재하는 저항성분에 근거하여 발생된다.

시험시에 있어서, 기준전압 VREF가 소정의 전위 레벨보다도 낮다고 판단되면, 링크소자(L1-L3)중에서 하나 또는 그 이상 적당한 것이 예를 들어 레이저 브로우(laser-blow) 등에 의해 용해된다.

이것에 의해 출력노드(5)와 접지선(116) 사이에 접속된(MOS 트랜지스터에 의한) 저항성분이 증가하고, 기준전압 VREF의 전위레벨이 상승하여, 소정의 레벨보다도 낮은 기준전압이 소정레벨로 설정될 수가 있다.

제6도 및 제7도에 각각 표시한 링크소자(f1-f3) 및 (L1-L3)은 반도체 기억장치의 불량 워드선 및 비트선을 복구시에 수행된 레이저 브로우와 동일한 공정으로 용해된다.

트리밍이 가능한 저항소자(51)과 트리밍이 가능한 MOS 트랜지스터(57)을 모두 사용할 때의 장점이 설명될 것이다.

제8도는 다결정 실리콘 저항 및 MOS 트랜지스터의 저항값의 온도 의존성 뿐만 아니라 MOS 트랜지스터의 한계전압이 온도 의존성을 표시한다.

가로축은 온도를 표시하고, 세로축은 저항값과 한계전압을 표시한다.

직선 MOS는 MOS 트랜지스터의 저항값의 온도 의존성을 표시하고, 직선 Ploy는 다결정 실리콘 저항의 온도 의존성을 표시한다.

직선 Vth는 MOS 트랜지스터의 한계전압의 온도 의존성을 표시한다.

제8도에 표시한 것같이, 다결정 실리콘 저항과 MOS 트랜지스터의 저항은 모두 정의 온도계수를 가지고 있으며, 저항값이 온도의 상승에 따라 증가한다.

MOS 트랜지스터의 저항성분의 온도계수는 다결정 실리콘 저항의 온도계수보다 크다.

MOS 트랜지스터의 한계전압 VTH는 부의 온도계수를 가지고 있으며, 온도의 상승에 따라 한계저압은 감소한다.

제5도에 표시한 구성에 있어서, 온도가 증가할 때, 한계전압 VTH가 떨어지는 동안에 트리밍이 가능한 저항소자(51)의 저항값이 상승한다.

노드(H)를 통하여 흐르는 기준전류(I0)는 VTH/R0로 표시되기 때문에, 기준전류(I0)의 값이 감소한다.

여기서, MOS 트랜지스터(57)의 저항성분은 온도에 따라 상승한다. MOS 트랜지스터(57)의 저항성분의 온도상승은 트리밍이 가능한 저항소자(51)의 저항값이 온도 상승보다 크다.

기준전류(I0)가 저하한다 할지라도 MOS 트랜지스터의 저항성분이 증가하기 때문에 기준전압 VREF는 온도에도 불구하고 거의 일정한 값에 설정될 수가 있다.

일반적으로 내부회로를 구성요소인 MOS 트랜지스터의 동작속도는 온도의 상승에따라 조금 천천히 저하한다.

저하된 동작속도는 기준전압 VREF를 조금 증가시키므로서 보상한다.

즉, MOS 트랜지스터(57)의 온도의 증가에 의해 야기된 기준전압 VREF의 증가에 미치는 기여가 트리밍 저항(51)의 저항값의 증가와 한계전압 VTH의 감소에 의해 야기된 기준전압 VREF상의 기준전류의 감소에 미치는 기여보다 조금 크게 한다.

이는 온도상승에 따라 내부 전원전압을 0.1~0.2V 정도 상승시키는 정도로 범위에 설정된다.

그 결과 제9도에 표시한 것과 같이, 기준전압 VREF는 온도의 상승에 따라 조금(약 0.1~0.2V 정도) 상승시킬 수가 있어, 온도상승에 있어서도 내부회로의 동작특성을 상하게 하지 않고 신뢰성을 가지고 내부회로가 동작될 수 있다.

이 경우에 있어서 기준전압을 발생하기 위하여 다결정 실리콘 저항이 MOS 트랜지스터 대신에 사용된다면, 그와 같은 온도 의존성의 보상은 수행할 수 없다.

제5도에 표시한 것같이, 다결정 실리콘 저항과 MOS 트랜지스터의 저항 성분의 양쪽을 사용하여 온도 보상된 기준전압 VREF가 더 신뢰성 있게 발생될 수가 있다.

상기 설명된 실시예에 있어서, 기준전압 발생회로는 내부적으로 강압된 전원전압을 발생하기 위해서 이용된다.

그러나, 기준전압은 다른 회로 부분에 이용될 수도 있고, 일정한 기준전압이 요구되는 회로 부분에서 사용될 수도 있다.

기준전류와 기준전압은 외부 전원전압에서라기보다는 내부 동작 전원전압에서발생될 수 있다.

상기 언급한 바와 같이, 본 발명에 따른 구성에 있어서, 항상 미소전류를 MOS 트랜지스터에 공급하므로서 저항소자에 소정의 전압(MOS 트랜지스터의 한계전압)을 인가하므로서, 전원전압의 변화에 영향을 받는 일없이 신뢰성 있게 일정한 기준전류를 공급할 수 있다.

또, 포화영역에서 동작하는 MOS 트랜지스터를 저항소자와 출력노드 사이에 설치했기 때문에, 출력노드의 전위의 변화에도 불구하고 안정하게 일정한 기준전류가 공급될 수 있다.

본 발명을 상세하게 설명하였지만, 설명과 예시만에 의하여 첨부된 청구범위에만 의해서 제한되는 본 발명의 한계, 정신과 범위에 의해서만 되지 않는다는 것이 명백히 이해될 수 있다.

(57) 청구의 범위

청구항 1

제1의 전원에 결합되는 한쪽단과 다른쪽단을 가지며, 비교적 작은 전류를 공급하기 위한 제1의 저항성 소자와 ; 상기 제1의 저항성 소자의 상기 다른쪽단에 접속된 한쪽 도전단자, 제2의 전원에 접속된 다른쪽 도전단자, 그리고 제어 단자를 가지고, 비교적 큰 전류를 공급할 수 있는 제1의 절연 게이트형 전계효과 트랜지스터와 ; 상기 제1의 절연 게이트형 전계 효과 트랜지스터의 상기 제어 단자에 접속된 한쪽단과, 상기 제2의 전원에 접속된 다른쪽단을 가지는 제2의 저항성 소자와 ; 그리고 상기 제1의 절연 게이트형 전계 효과 트랜지스터의 상기 한쪽의 도전단자에 접속된 제어전극, 상기 제2의 저항성 소자의 상기 한쪽단에 접속된 한쪽의 도전단자. 그리고 출력노드에 접속된 다른쪽 도전단자를 가지는 제2의 절연 게이트형 전계 효과 트랜지스터를 포함하는 기준전류 발생회로.

청구항 2

제1항에 있어서, 상기 제1의 저항성 소자가 상기 제2의 전원에 접속된 제어게이트를 가지는 절연게이트형 트랜지스터를 포함하는 것을 특징으로 하는 기준전류 발생회로.

청구항 3

제1항에 있어서, 상기 제1의 저항성 소자가 상기 제1의 전원에 접속된 한쪽 도전단자, 그리고 제어게이트와 다른쪽 도전단자가 함께 접속된 것을 가지는 절연 게이트형 트랜지스터를 포함하는 것을 특징으로 하는 기준전류 발생회로.

청구항 4

제1항에 있어서, 상기 제1의 저항성 소자가 상기 제1의 절연 게이트형 전계 효과 트랜지스터가 가지는 것보다 작은 콘덕턴스를 가지는 것을 특징으로 하는 기준전류 발생회로.

청구항 5

제1항에 있어서, 상기 제1의 저항성 소자가 상기 제1의 절연 게이트형 전계 효과 트랜지스터보다 게이트 폭과 게이트 길이의 비가 큰 것을 가지는 절연 게이트형 전계 효과 트랜지스터를 포함하는 것을 특징으로 하는 기준전류 발생회로.

청구항 6

제1항에 있어서, 상기 제2의 절연 게이트형 전계 효과 트랜지스터를 통하여 흐르는 전류량에 대응하는 전류는 다른쪽 출력노드에 공급하기 위해 상기 출력노드에 연결된 커런트 미러 성분을 부가적으로 포함하는 것을 특징으로 하는 기준전류 발생회로.

청구항 7

제6항에 있어서, 상기 부가적인 출력노드와 상기 제2의 전원 사이에 접속된 제3의 저항성 소자를 부가적으로 포함하는 것을 특징으로 하는 기준전류 발생회로.

청구항 8

제7항에 있어서, 상기 제2의 저항성 소자가 트리밍이 가능한 저항값을 가지는 다결정 저항을 포함하는 것을 특징으로 하는 기준전류 발생회로.

청구항 9

제7항에 있어서, 상기 제2의 저항성 소자가 상기 제1의 전원과 상기 출력노드 사이에 직렬로 접속된 복수의 다결정 저항, 그리고 상기 복수의 다결정 저항에 대응하여 설치되고 대응하는 다결정 저항에 평행한 복수이 퓨우즈 링크 소자를 포함하는 것을 특징으로 하는 기준전류 발생회로.

청구항 10

제7항에 있어서, 상기 제3의 저항성 소자가 트리밍이 가능한 저항값을 가지는 저항 접속된 절연 게이트형 전계 효과 트랜지스터를 포함하는 것을 특징으로 하는 기준전류 발생회로.

청구항 11

제7항에 있어서, 상기 제3의 저항성 소자가 상기 제2의 전원과 상기 부가적인 출력노드 사이에 직력로 접속된 절연 게이트형 전계 효과 트랜지스터, 상기 제2의 전원에 접속된 제어 게이트를 가지는 각각의 상기 복수 절연 게이트형 전계 효과 트랜지스터, 그리고 상기 복수의 절연 게이트형 전계 효과 트랜지스터에 대응하여 설치되고 대응하는 절연 게이트형 전계 효과 트랜지스터와 평행한 복수의 퓨우즈 링크 소자를 포함하는 것을 특징으로 하는 기준전류 발생회로.

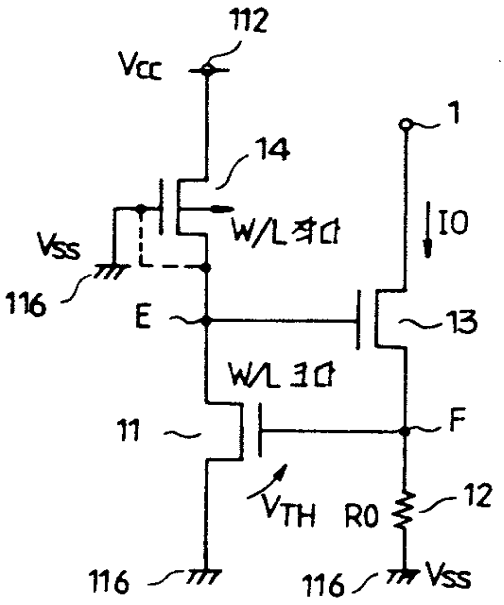
청구항 12

제1의 전원전압을 수신하기 위해 접속된 제1의 단을 가지며, 동작에서 작은 전류를 일정하게 공급하기 위한 제1의 저항성 소자와 ; 제2의 전원전압을 수신하기 위해 접속된 단을 가지는 제2의 저항성 소자와 ; 한계전압을 가지고 상기 제2의 저항소자와 상기 한계전압의 전압을 공급하기 위해 상기 제1의 저항소자의 상기 작은 전류에 응답하는 트랜지스터 소자와 ; 그리고 상기 출력노드와 상기 제2의 저항성 소자 사이에

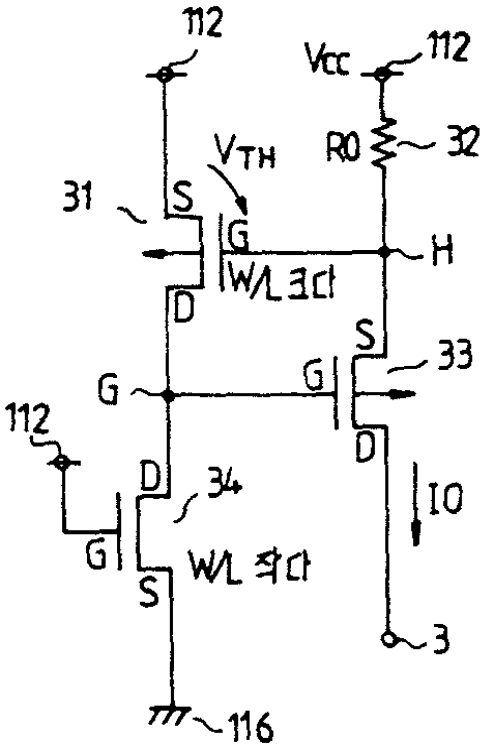
설치되고, 상기 제2의 저항성 소자를 통하여 흐르는 일정한 전류를 발생하기 위해 상기 출력노드에서의 전위 변화를 흡수하기 위한 것이며, 상기 제1의 저항성 소자의 다른쪽 단과 상기 출력노드 사이의 전위차에 응답하는 소자를 포함하는 출력노드에 기준전류를 발생하기 위한 기준전류 발생회로.

도면

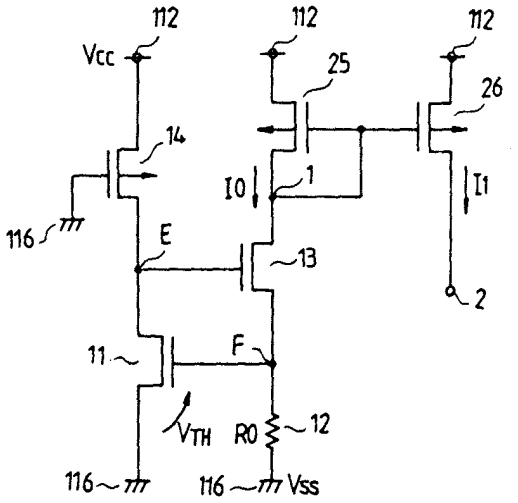
도면1



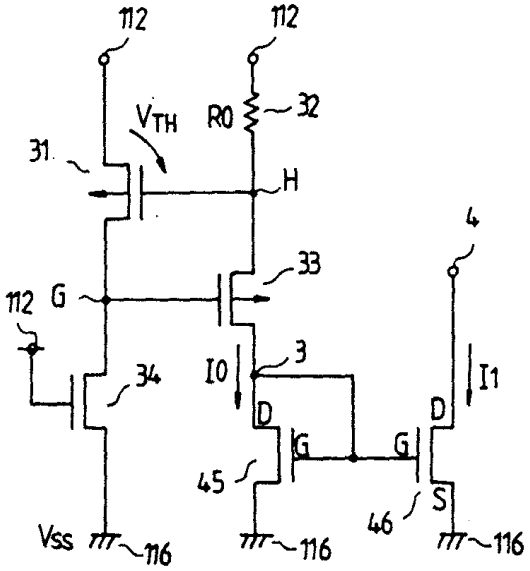
도면2



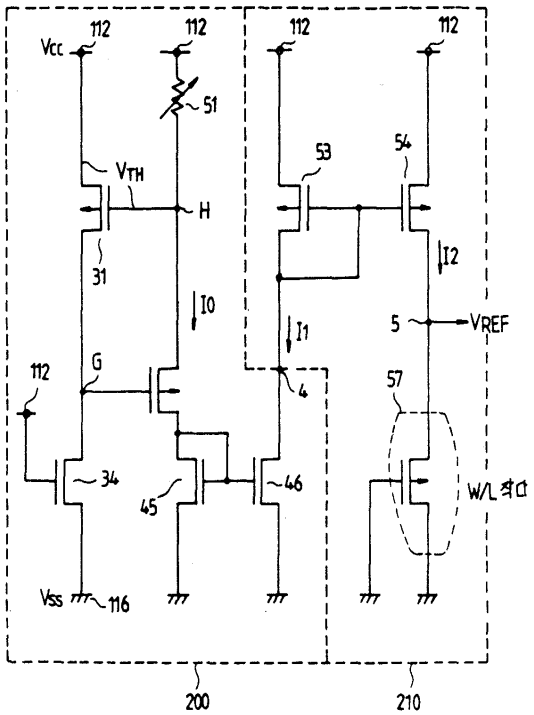
도면3


112
112
112
Vcc
25
26
14
I0
1
I1
116
E
13
2
11
F
VTH
R0
12
116
116
Vss

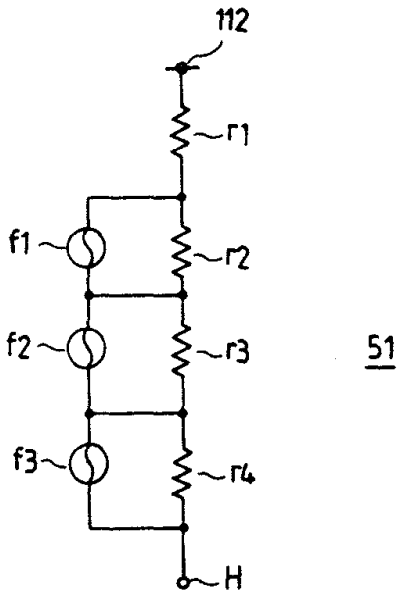
도면4


112
112
VTH
R0
32
31
H
4
33
112
G
I0
3
I1
34
D
D
G
G
45
46
S
Vss
116
116
116

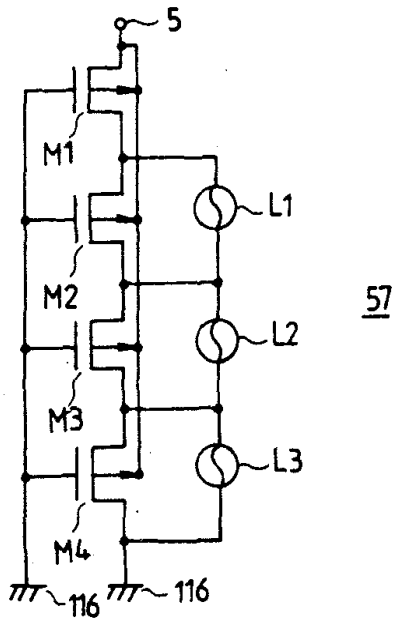
도면5


Vcc
112
112
112
112
51
53
54
VTH
H
31
I0
I1
I2
5
VREF
112
G
4
57
34
45
46
W/L 선택
Vss
116
200
210

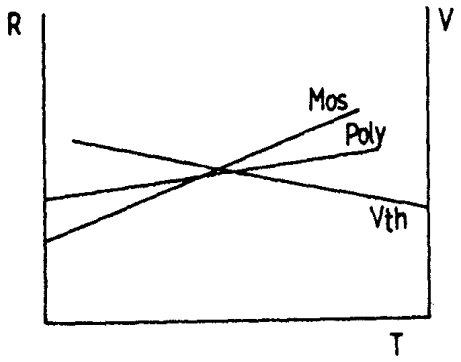
도면6


112
r1
f1
r2
f2
r3
f3
r4
H
51

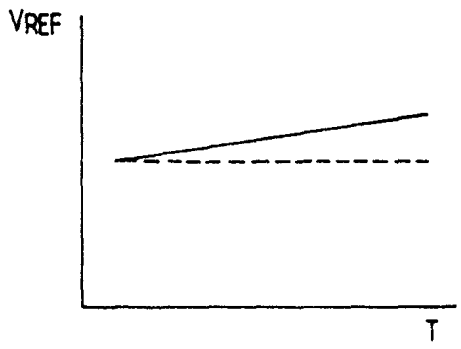
도면7



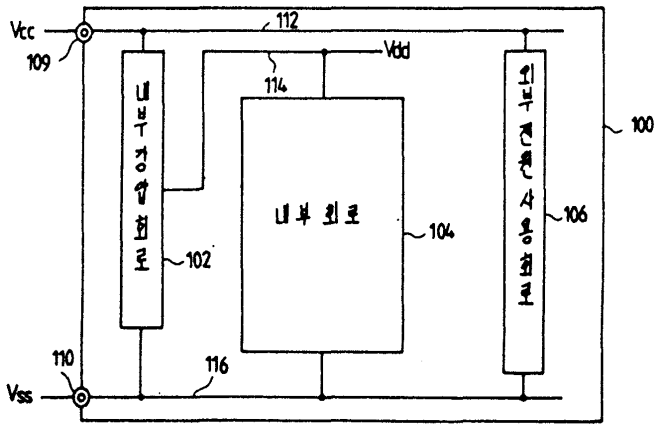
도면8



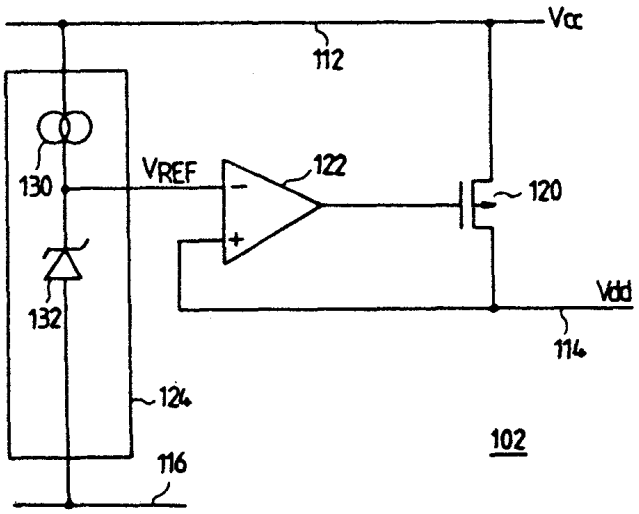
도면9



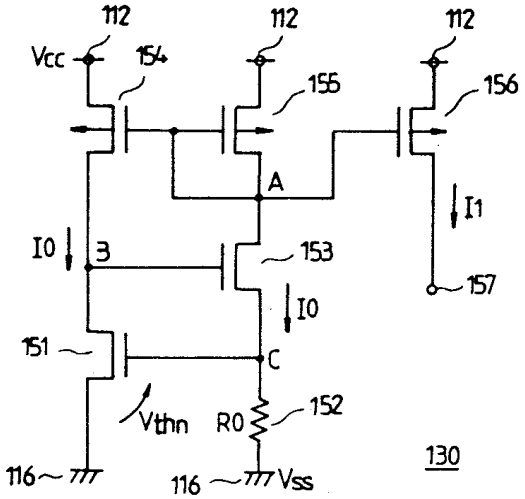
도면10



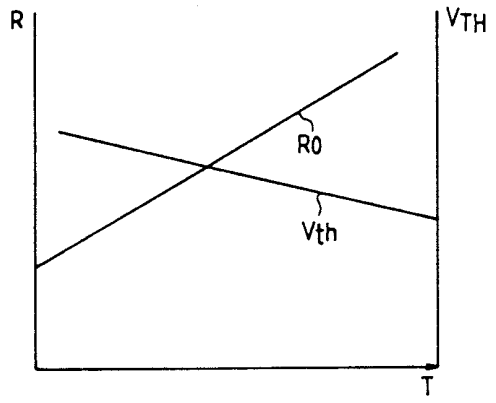
도면11



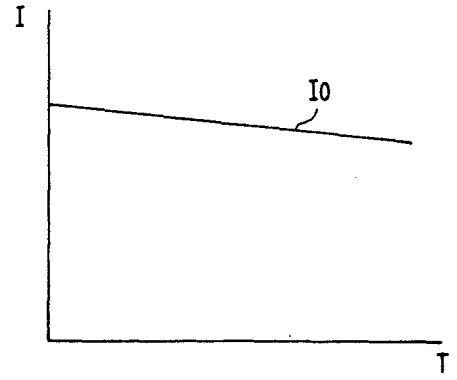
도면12



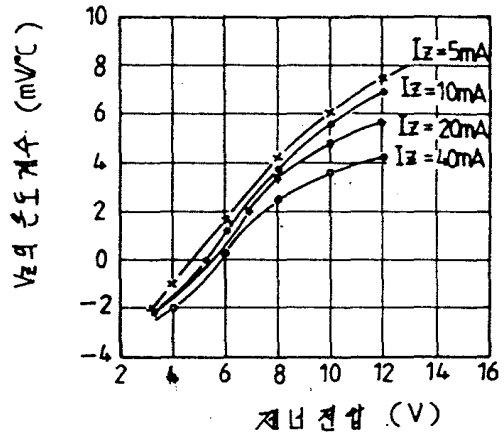
도면13



도면14



도면15



도면16

