



Patent dodatkowy
do patentu nr _____

Zgłoszono: 13.09.76 (P. 192375)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 28.03.78

Opis patentowy opublikowano: 31.03.1981

Int. Cl.² G11C 19/00

Twórca wynalazku: Piotr Tafel

Uprawniony z patentu: Instytut Tele i Radiomechaniczny, Warszawa
(Polska)

Układ przetwornika struktury sygnału

1

Przedmiotem wynalazku jest układ przetwornika struktury sygnału stosowanego zwłaszcza w urządzeniach współpracujących z taśmowymi pamięciami magnetycznymi.

Obecnie stosowane są rozbudowane układy elektroniczne przy których realizacji potrzeba dużej ilości elementów. W dotychczasowych urządzeniach informacja o postaci fazowo-kodowej wstępnie jest dekodowana w specjalnym układzie zanim zostaje doprowadzona do rejestru przesuwanego. Wadą tych urządzeń jest duża ilość elementów potrzebna do realizacji układu.

Celem wynalazku jest uzyskanie układu odpornego na dużą nierównomierność wprowadzania informacji przy zminimalizowaniu ilości elementów potrzebnych do realizacji układu. Cel ten osiągnięto dzięki układowi według wynalazku, którego istotą polega na zastosowaniu dwóch multiwibratorów monostabilnych posiadających wejście pobudzające oraz wejście blokujące, pracujących w konfiguracji zapewniającej blokowanie jednego multiwibratora jeżeli drugi jest w stanie aktywnym. Impulsy wyjściowe z multiwibratorów po przejściu przez układ sumujący i opóźniający sterują wpisywaniem informacji do rejestru przesuwanego.

Zaletą wynalazku jest zminimalizowanie ilości elementów potrzebnych do realizacji układu, duża odporność na nierównomierność wprowadzania

2

danych dzięki zdolności samosynchronizacji oraz możliwość przekształcania różnej długości bloków informacji zależna tylko od zastosowanego rejestru przesuwanego.

Wynalazek zostanie bliżej objaśniony na przykładzie wykonania przedstawionym na rysunku, który jest schematem ideowym układu elektronicznego.

W układzie według wynalazku do wejścia 1 rejestru przesuwanego 15 oraz wejść 2 i 4 multiwibratorów monostabilnych 12 i 13 doprowadzony jest jednocześnie szeregowy sygnał informacyjny o postaci fazowo-kodowej, który ma zostać przekształcony na równoległy sygnał o postaci binarnej. Pierwszy multiwibrator 12 pobudzany jest na wejściu pobudzającym 2 zwozem narastającym, natomiast drugi multiwibrator 13 pobudzany jest na wejściu pobudzającym 4 zwozem opadającym sygnału informacyjnego. Wejścia blokujące 3 multiwibratora 13 oraz 5 multiwibratora 12 są wejściami blokującymi działanie 1 są one dołączone do wyjść, przy czym wejście 5 do wyjścia 7 a wejście 3 do wyjścia 6. Wprowadzenie w stan aktywny jednego z multiwibratorów powoduje zaablokowanie działania drugiego multiwibratora na czas stanu aktywnego pierwszego. Impulsy z wyjść 6 i 7 doprowadzone są do wejść 9 i 8 układu sumującego 16 z którego wyjścia 10 po przejściu przez układ opóźniający 14 doprowadzone są do

wejścia zegarowego 11 rejestru przesunętego 15. Po zakończeniu wprowadzania informacji na wejściach równoległych $12 \div N$ rejestru przesunętego 15 gotowa jest informacja w postaci binarnej. Długość bloku informacyjnego, jaki może przyjąć układ, uzależniona jest tylko od wielkości zastosowanego rejestru przesunętego 15.

Zastrzeżenie patentowe

Układ przetwornika struktury sygnału, **znamienny tym**, że składa się z dwóch multiwibratorów monostabilnych (13 i 12), z których każdy posiada po jednym wejściu pobudzającym i jednym wejściu blokującym zadziałanie, przy czym pobudzanie drugiego multiwibratora (13) odbywa się zboczem opadającym na wejściu pobudzającym (4),

a pierwszego multiwibratora (12) zboczem narastającym na wejściu pobudzającym (2), natomiast wejście blokujące (3) pierwszego multiwibratora (12) połączone jest z wejściem (6) drugiego multiwibratora (13) a wejście blokujące (5) drugiego multiwibratora (13) połączone jest z wyjściem (7) pierwszego multiwibratora (12), przy czym wyjścia multiwibratorów (13 i 12) dołączone są do wejść (8 i 9) układu sumującego (16) z którego wyjścia (10) otrzymywane są impulsy, które po przejściu przez układ opóźniający (14) doprowadzone są do wejścia (11) rejestru przesunętego (15) sterując wpiśnięciem informacji szeregowo podanej na wejście (1) rejestru (15) a informacja binarna otrzymywana jest na wyjściach równoległych $12 \div N$ rejestru (15) po skończeniu podawania informacji na wejście (1).

