

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-142015
(P2007-142015A)

(43) 公開日 平成19年6月7日(2007.6.7)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 L 29/80 (2006.01)

HO 1 L 29/80 (2006.01)

HO 1 L 21/337 (2006.01)

HO 1 L 29/80 V

HO 1 L 29/80 C

5 F 1 O 2

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号	特願2005-331367 (P2005-331367)	(71) 出願人	000005108
(22) 出願日	平成17年11月16日 (2005.11.16)		株式会社日立製作所
			東京都千代田区丸の内一丁目6番6号
(出願人による申告) 平成15年度独立行政法人新エネルギー・産業技術総合開発機構 エネルギー使用合理化技術戦略的開発 エネルギー使用合理化技術実用化開発次世代クリーン自動車対応省エネルギーパワーモジュールの研究開発委託研究、産業活力再生特別措置法第30条の適用を受ける特許出願		(74) 代理人	110000350
			ポレール特許業務法人
		(72) 発明者	小野瀬 秀勝
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		Fターム(参考)	5F102 FA01 FA02 FB01 GA01 GB04
			GC09 GD04 GD05 GJ02 GL02
			GM08 GR07 GR09 GS03 GT02
			GT03

(54) 【発明の名称】 半導体装置

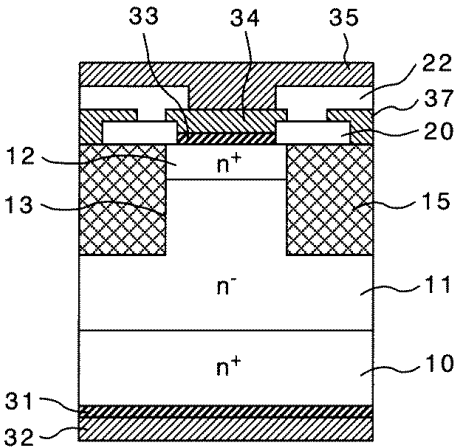
(57) 【要約】

【課題】多結晶Si埋め込みゲートSiC接合FETで、高耐圧と低オン抵抗の両立を図る。

【解決手段】 n^+ -SiCをドレイン層とし、 n^+ ドレイン層に接する n^- -SiCをドリフト層とする。 n^- ドリフト層上に形成された n^+ -SiCをソース層とし、 n^+ ソース層から n^- ドリフト層の所定深さまでトレンチ溝を形成することで n^- ドリフト層の一部をチャンネル領域とする。こうして、前記トレンチ溝を充填するp型多結晶Siをゲート領域とする接合FETにおいて、少なくとも前記チャンネル領域の側壁部分がp型多結晶Siゲート領域と酸化膜を介さずに接する。

【選択図】図1

図 1



【特許請求の範囲】

【請求項 1】

第一導電型の S i C なるドレイン層と、

前記ドレイン層に接する第一導電型且つ前記ドレイン層より低不純物濃度の S i C なるドリフト層と、

前記ドリフト層の前記ドレイン層が接する面と対抗する面に形成された第一導電型且つ前記ドリフト層より高不純物濃度の S i C なるソース層と、

前記ソース層から前記ドリフト層に到る半導体積層体の所定深さまでに形成した凹部と、

前記凹部を充填し、且つ前記ソース層から前記ドリフト層に到る半導体積層体の両側壁の各々接する第二導電型の S i 層と、を有し、

前記第二導電型の S i 層がゲート領域であり、

前記ドリフト層内にチャネル領域が構成されることを特徴とする接合型 F E T。

【請求項 2】

前記ゲート領域を構成する第二導電型の S i 層が、多結晶 S i 層であることを特徴とする請求項 1 に記載の接合型 F E T。

【請求項 3】

前記 S i ゲート領域は、積層方向に不純物濃度を異にする少なくとも 2 つの領域を有し、

前記ソース領域の側壁部に接する前記 S i ゲート領域は、これ以外の領域に比較して低濃度であり、且つ

前記低濃度の S i ゲート領域は、その半導体積層体の積層方向の上部に高濃度の S i 領域を有することを特徴とする請求項 1 に記載の接合型 F E T。

【請求項 4】

前記ソース層から前記ドリフト層に到る半導体積層体に接する第二導電型 S i 層の前記ドリフト層側に、第二導電型の S i C 領域を有することを特徴とする請求項 1 に記載の接合型 F E T。

【請求項 5】

前記ソース層から前記ドリフト層に到る半導体積層体に接する第二導電型 S i 層の前記ドリフト層側に、第二導電型の S i C 領域を有することを特徴とする請求項 2 に記載の接合型 F E T。

【請求項 6】

前記ソース層から前記ドリフト層に到る半導体積層体に接する第二導電型 S i 層における、前記ドリフト層側及び前記ドリフト層側に S i C の第二導電型領域を有することを特徴とする請求項 1 に記載の接合型 F E T。

【請求項 7】

前記ソース領域の側壁及び前記 S i ゲート領域との間に、絶縁膜を有することを特徴とする請求項 1 に記載の接合型 F E T。

【請求項 8】

所定基板上に、少なくとも第 1 及び第 2 の接合型 F E T を有し、

前記接合型 F E T は、

第一導電型の S i C なるドレイン層と、

前記ドレイン層に接する第一導電型且つ前記ドレイン層より低不純物濃度の S i C なるドリフト層と、

前記ドリフト層の前記ドレイン層が接する面と対抗する面に形成された第一導電型の高濃度 S i C なるソース層と、

前記ソース層から前記ドリフト層に到る半導体積層体の所定深さまでに形成した凹部と、

前記凹部を充填し、且つ前記ソース層から前記ドリフト層に到る半導体積層体の両側壁に各々接する第二導電型の S i 層と、を有し、

10

20

30

40

50

前記第二導電型のSi層がゲート領域であり、

前記ドリフト層内にチャネル領域が構成された接合型FETであり、

且つ、前記第1の接合型FETと前記第2の接合型FETとは、各接合型FETの前記第二導電型のSi層がゲート領域を電氣的に接続する金属層を有することを特徴とする接合型FET。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、接合FET（JFET）及び静電誘導トランジスタ（SIT）の構造、並びに製造方法に関するものである。

【背景技術】

【0002】

シリコンカーバイド（SiC）は絶縁破壊電界がSiに比べ約10倍大きいため、耐圧を維持するドリフト層を薄く、且つ高濃度にすることができ、損失を低減できる材料である。SiCを用いたパワー半導体素子の一つであるJFETあるいはSITの例として、特開2002-314096号公報記載の構造がある（特許文献1）。その主要部を図2に示す。図において10はドレイン層である n^+ 基板、11は n^- ドリフト層、12は n^+ ソース領域、14はpゲート領域、20、21、22はソース/ゲート間を電氣的に絶縁するための絶縁膜である。

【0003】

一般に、pゲート領域13は n^- ドリフト層11へAlなどの原子をイオン注入することで形成されるが、SiCでは不純物の拡散係数が小さく、Siにおけるような熱拡散の手法を適用できない。このため、深いボックス形状のpn接合を形成するには、注入エネルギーを変える多段注入が必要であり、工程が煩雑であるという難点があった。

【0004】

この改善策として、図2の例では、 n^- ドリフト層11にトレンチ溝を形成し、そこにp型多結晶Siを埋め込むことでpゲート領域14を形成している。これにより多段のイオン注入を用いることなく深いボックス形状を形成できるため、工程の簡略化が可能になっている。

【0005】

図2の構造のもう一つの特徴は、トレンチ側壁13に酸化膜が形成されていることであり、pゲート領域14とのpn接合はトレンチ底部においてのみ形成されていることである。JFETでノーマリオフを実現するには、ゲート電圧が0Vの状態、 n^+ ドレイン10と n^+ ソース12の間が空乏層の拡がりによって遮断されている必要がある。そのため、図2では n^- ドリフト層11と n^+ ソース12の間に、濃度が、 n^- ドリフト層11より低いチャネル層14を設け、空乏層を拡がりやすくしている。しかしながら、トレンチ側壁13には酸化膜21があるため、上記空乏層の拡がりにはトレンチ底部からのみであるため、例えば600Vの耐圧を実現するには、チャネル層14の濃度を 10^{15} cm^{-3} 台前半或いはより低濃度に設定する必要がある、オン抵抗が増大する。

【0006】

【特許文献1】特開2002-314096号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

解決しようとする問題点の骨子は、多結晶Si埋め込みゲートを有するSiC接合FETにおいて、高耐圧と低オン抵抗の両立が図れないことである。

【課題を解決するための手段】

【0008】

本発明は、接合型FETにおいて、少なくともチャネル領域のトレンチ側壁と多結晶Siが酸化膜を介さずに接する構造を採用することを最も主要な特徴とする。

10

20

30

40

50

【0009】

その代表的な構成は、次の通りである。

即ち、第一導電型のSiCなるドレイン層と、前記ドレイン層に接する第一導電型且つ前記ドレイン層より低不純物濃度のSiCなるドリフト層と、前記ドリフト層の前記ドレイン層が接する面と対抗する面に形成された第一導電型且つ前記ドリフト層より高不純物濃度のSiCなるソース層と、前記ソース層から前記ドリフト層に到る半導体積層体の所定深さまでに形成した凹部と、前記凹部を充填し、且つ前記ソース層から前記ドリフト層に到る半導体積層体の両側壁の各々接する第二導電型のSi層と、を有し、前記第二導電型のSi層がゲート領域であり、前記ドリフト層内にチャンネル領域が構成されることを特徴とする接合型FETである。

10

【0010】

実際の形態では、前記ゲート領域を構成する第二導電型のSi層が、多結晶Si層である。

【0011】

又、前記Siゲート領域は、積層方向に不純物濃度を異にする少なくとも2つの領域を有し、前記ソース領域の側壁部に接する前記Siゲート領域は、これ以外の領域に比較して低濃度であり、且つ前記低濃度のSiゲート領域は、その半導体積層体の積層方向の上部に高濃度のSi領域を有する形態を採用するが出来る。この形態は、ソース/ゲート耐圧を確保すると共に、ノーマリーオフ性能の向上を図ることが出来る。

【0012】

高耐圧を確保するに、次の形態も有用である。前記ソース層から前記ドリフト層に到る半導体積層体に接する第二導電型Si層の前記ドリフト層側に、第二導電型のSiC領域を有するものである。

20

【0013】

前記ソース層から前記ドリフト層に到る半導体積層体に接する第二導電型Si層の前記ドリフト層側に、第二導電型のSiC領域を有する形態も有用である。更に、前記ソース層から前記ドリフト層に到る半導体積層体に接する第二導電型Si層における、前記ドリフト層側及び前記ドリフト層側にSiCの第二導電型領域を有する形態も有用である。又、ソース/ゲート耐圧向上の為、前記ソース領域の側壁及び前記Siゲート領域との間に、絶縁膜を有する構造は有用である。

30

【0014】

本発明のFETを、一つの基板に複数搭載する際、所定基板上に、第1の接合型FETと第2の接合型FETとは、各接合型FETの前記第二導電型のSi層がゲート領域を金属層で電氣的に接続する形態が实际的である。例えば、インバータ回路への適用である。

【発明の効果】

【0015】

本発明のJFETは、チャンネル領域の側壁部にpn接合を形成したため、チャンネル領域のほぼ全体にわたって空乏層が広がるようになるので、ノーマリーオフ・高耐圧を、チャンネル層の濃度をドリフト層より低濃度にすることなく実現できるという利点がある。

【発明を実施するための最良の形態】

40

【0016】

高耐圧と低オン抵抗の両立という目的を、トレンチ側壁酸化膜形成ならびにトレンチ底部での選択的酸化膜除去という工程を導入することなく実現した。

【0017】

<実施例1>

図1は、本発明JFETの第1の実施例を示す断面図である。本例の主要構成は次の通りである。 n^+ -SiC基板10上に n^- ドリフト層11、 n^+ ソース層12が積層される。これらの n^- ドリフト層11及び n^+ ソース層12の側壁にp型多結晶Si層が配置され、又 n^- ドリフト層11の上部には低抵抗コンタクトを形成するためのオーミックシリサイド層であるシリサイド電極33とさらに、ソース電極34が形成され、これよりソースパッド35に接続さ

50

れる。一方、 n^+ -SiC基板10下面には、低抵抗コンタクトを形成するためのオーミックシリサイド層であるシリサイド電極31を介してドレイン電極32が形成される。又、37はゲート電極である。尚、シリサイド電極33、ソース電極34とゲート電極37は絶縁物層20で絶縁されている。

【0018】

本実施例の構造の特徴は、p型多結晶Si15がトレンチ底部だけでなくトレンチ側壁13の全面においてSiCと接していることである。ドリフト層11の濃度は $2.0 \times 10^{16} \text{ cm}^{-3}$ 、多結晶Si15の濃度は 10^{18} cm^{-3} - 10^{19} cm^{-3} 、多結晶Siに挟まれたチャネルの幅は $0.45 \mu\text{m}$ である。チャネル側壁全面にもpn接合を形成したことにより、チャネル全体に空乏層が拡がり、ノーマリオフで600Vを達成できた。

10

【0019】

図3Aより図3Fは実施例1のJFETを形成するための概略プロセスである。 n^- 層11に酸化膜40上のイオン注入マスク材41をパターニングし、 n^+ ソース12を形成するために窒素42をイオン注入する(工程a:図3A)。酸化膜40とマスク材41を除去後、注入された窒素を活性化するために1700℃で熱処理する。熱処理後、 n^+ ソース12上に酸化膜などのエッチングマスク材43を形成し、パターニング後、ドライエッチによりトレンチ44を形成する(工程b:図3B)。トレンチ44をp型多結晶Si15で埋め込み、平坦化する(工程c:図3C)。 n^+ ソース12表面に絶縁分離用の酸化膜20を形成し、ドレインである n^+ 基板10の表面にドレイン電極となるNi層31を形成する。この後、 n^+ ソース12表面にコンタクト窓46を形成し、ソース電極となるNi層33を形成する。そして、Ni層31、33をシリサイド化するため、1000℃で熱処理する(工程d:図3D)。多結晶Si15の酸化膜20にゲートコンタクト窓を形成後、Al電極を形成し、エッチングにより分離領域47を除去し、ソースAl電極34とゲートAl電極37を形成する(工程e:図3E)。更に、ソース/ゲート絶縁分離用の絶縁膜22を形成し、引き出し用のソース電極とコンタクトするための窓48を形成する(工程f:図3F)。最後に図示していないが、引き出し用のソース電極を形成することにより、図1に示した実施例1のJFETが完成する。

20

【0020】

図4は本発明JFETの第2の実施例を示す断面構造である。実施例1ではトレンチ全体を同一濃度p型多結晶Siで埋め込んだ。ノーマリオフ性能を向上させるには、埋め込み多結晶Siは高濃度ある方が望ましい。一方、スイッチング時の誤作動を防ぐには、ノーマリオフであってもゲートに負の電圧を印加できることが望ましく、ソース/ゲート間で数V以上の耐圧を保証する必要がある。そこで本実施例では、埋め込み多結晶Siの n^+ ソース12に触れる側壁部分を低濃度部分16とし、高濃度部分15はチャネル領域側とした。これによりソース/ゲート耐圧を確保でき、且つノーマリオフ性能の向上も可能となった。但し、低濃度多結晶Si16に直接電極をコンタクトさせるとコンタクト抵抗が大きくなるため、本実施例では低濃度多結晶Si16内に部分的に高濃度のコンタクト領域17を設ける構造とした。尚、図1と同一部位は同一符号で示した。

30

【0021】

図5Aより図5Fは、実施例2のJFETを形成するための概略プロセスである。前述の図3Cの高濃度埋め込み多結晶Si15の平坦化時に、オーバーエッチングにより、 n^+ ソース12が露出するまで多結晶Si15を除去する(工程a:図5A)。引き続き低濃度多結晶Si16を形成し、平坦化する(工程b:図5B)。表面に酸化膜50とイオン注入マスク51を形成し、パターニングし、低濃度多結晶Si16内部にボロンをイオン注入してコンタクト領域17を形成する(工程c:図5C)。酸化膜50とマスク材51を除去後、絶縁分離用の酸化膜20を形成する。その後の工程e(図5E)、工程f(図5F)は図3と同一であり、図4に示した実施例2のJFETが完成する。

40

【0022】

図6は本発明JFETの第3の実施例を示す断面構造である。p型多結晶Siとn型SiCのpn接合で高耐圧を実現するには、多結晶Siの濃度として 10^{19} cm^{-3} 後半から 10^{20} cm^{-3} 台が必要である。これに対し本実施例では、 10^{18} cm^{-3} 台の多結晶Si濃度で高耐圧を

50

実現するための構造であり、トレンチ底部に p 型 SiC 層 18 を設けた。p 型 SiC 層 18 の濃度は $2 \times 10^{18} \text{cm}^{-3}$ 、厚さは $0.3 \mu\text{m}$ である。これにより n^+ ドリフト層 11 のドレイン側から空乏層は p 型 SiC 層 18 の内部に留まるため、多結晶 Si 16 には高電界が発生することなく、高耐圧を実現できた。

【0023】

図 7 A より図 7 F は、実施例 3 の J F E T を形成するための概略プロセスである。図 3 B のトレンチ形成後、Al をイオン注入し、p 型 SiC 層 18 を形成する(工程 a : 図 7 A)。但し本プロセスでは実施例 1 のプロセスとは異なり、 n^+ ソース 12 形成用の窒素イオン注入直後における活性化熱処理は実施せず、工程 a の後とした。引き続き p 型多結晶 Si 16 を形成後、平坦化処理を実施する(工程 b : 図 7 B)。その後の工程 c (図 7 C) から工程 f (図 7 F) は、実施例 2 のプロセスにおける工程 c (図 5 C) から工程 f (図 5 f) と同一であり、図 6 に示した実施例 3 の J F E T が完成する。

【0024】

図 8 は、本発明 J F E T の第 4 の実施例を示す断面構造である。多結晶 Si は SiC よりバンドギャップが狭いため、SiC と pn 接合を形成するとビルトイン電圧が SiC 単体の pn 接合におけるビルトイン電圧である約 2.5V より低下する。ノーマリオフ型デバイスではオン・オフ動作を 0V からビルトイン電圧の間で制御する。このため、多結晶 Si ゲートを用いた SiC 接合 F E T の場合、ゲート電圧振幅の許容範囲が狭くなるという問題がある。そのため、本実施例では、トレンチ側壁 13 とトレンチ底部に p 型 SiC 領域 19 を設け、トレンチ内部を p 型多結晶 Si 16 で埋め込む構造とした。これにより SiC 単体 J F E T と同一のビルトイン電圧となるため、ゲート電圧振幅の低下を防ぐことができた。

図 9 は、実施例 4 の J F E T を形成するための概略プロセスの一部である。実施例 3 の J F E T プロセスの一部である図 7 A では、垂直イオン注入であったのに対し、本プロセスでは斜めイオン注入 52 とした。これによりトレンチ側壁及びトレンチ底部に p 型 SiC 領域 19 を形成できる。その他の工程は、図 7 B から図 7 F に示されるものと同一である。

【0025】

図 10 は、本発明 J F E T の第 5 の実施例を示す断面構造である。ソース/ゲート間の耐圧を確保するため、本実施例ではトレンチ側壁 13 と n^+ ソース 12 の間に n^+ 領域 11 が存在する構造とし、且つ p 型多結晶 Si 15 の濃度を 10^{20}cm^{-3} とした。これにより、ソース/ゲート間の耐圧として 20V 以上が確保でき、且つ高耐圧・低オン抵抗を実現できた。

【0026】

図 11 は、本発明 J F E T の第 6 の実施例を示す断面構造である。本実施例は実施例 4 の J F E T において、トレンチ側壁の p 型 SiC 領域 19 と n^+ ソース 12 の間に n^+ 領域 11 が存在する構造とした。これによりソース/ゲート間の耐圧として 20V 以上が確保でき、かつ高耐圧・低オン抵抗を実現でき、更に、ゲート電圧振幅の低下を防ぐことができた。

【0027】

図 12 は、本発明 J F E T の第 7 の実施例を示す断面構造である。本実施例では n^+ ソース 12 のトレンチ側壁 13 に酸化膜 23 を設けた構造とした。一方、c チャネル領域におけるトレンチ側壁 13 の大部分には酸化膜を設けず、直接 p 型多結晶に接する構造とした。これによりこれによりソース/ゲート間の耐圧として 20V 以上が確保でき、且つ高耐圧・低オン抵抗を実現できた。

【0028】

図 13 と図 14 とは、本発明の J F E T 構造の例を説明するための概略の斜視図である。一例として、実施例 1 の J F E T で説明するが、他の実施例の J F E T でも同様である。複数の n^+ ソース 12 は個別のソース Al 電極 34 を介し、Al 等の金属膜で形成された共通のソースパッド 35 に接している。図 15 は、図 13 及び図 14 において、符号 A で示した深さにおけるレイアウト図である。符号 61 で示した長方形が図 13 および図 14 における個別ソース Al 電極 34 とソースパッド 35 のコンタクト部分を示す。図 16 は図 13 および図 14 において、符号 B で示した深さにおけるレイアウト図であり、ゲート Al 電極 37 は互いにつながってお

り、符号62で示した四角形の領域で、共通のゲートパッド38に接している。図15及び図16において、一点鎖線示した長方形60が各実施例で示した個別JFETであり、同一間隔で配置されている。但し、ゲートの配線抵抗を小さくするため、ユニットJFET 60は必ずしも全面に配置されてはならず、ゲート配線幅の広い領域が設けられている。このようなレイアウト構造とすることにより、多数の個別JFETが同時かつ均一に動作することが可能である。

【0029】

図17は、本発明のJFETを用いたインバータ回路の例である。図において、符号70は直流電源であるコンデンサー、符号71はモーターなどの負荷、符号81から符号86は本発明のJFET、符号91から符号96は還流用のフリーホイールダイオードである。本発明のJFETは高耐圧かつ低オン抵抗であるため、図17の回路構成を有するインバータの体積を小さくすることが可能である。又、電源電圧200V用に耐圧600VのJFETを用いてインバータを作製した結果、インバータ体積はSiデバイスをを用いた場合の1/2にすることができた。

10

【0030】

本願発明は、チャンネル層とドレイン層の濃度が同一であるため、工程が簡略になるという効果がある。加えてノーマリオフ性能が高く、ゲート抵抗が小さく且つゲート耐圧を高く出来るため、使い勝手に優れるという効果がある。

【0031】

以上、本願発明を詳細に説明した。以下にその主な形態を列挙する。

20

【0032】

(1) 第一導電型の高濃度SiCをドレイン層とし、前記ドレイン層に接する第一導電型の低濃度SiCをドリフト層とし、前記ドリフト層上に形成された第一導電型の高濃度SiCをソース層とし、前記ソース層から前記ドリフト層の所定深さまでトレンチ溝を形成することで前記ドリフト層の一部をチャンネル領域とし、前記トレンチ溝を充填する第二導電型のSiをゲート領域とする接合FETにおいて、少なくとも前記チャンネル領域の側壁部分が前記Siゲート領域と酸化膜を介さずに接することを特徴とする接合FET。

【0033】

(2) 第一導電型の高濃度SiCをドレイン層とし、前記ドレイン層に接する第一導電型の低濃度SiCをドリフト層とし、前記ドリフト層上に形成された第一導電型の高濃度SiCをソース層とし、前記ソース層から前記ドリフト層の所定深さまでトレンチ溝を形成することで前記ドリフト層の一部をチャンネル領域とし、前記トレンチ溝を充填する第二導電型のSiをゲート領域とする接合FETにおいて、前記チャンネル領域の側壁部分の略全体が酸化膜を介さずに接する前記Siゲート領域を高濃度とし、前記ソース領域の側壁部分が酸化膜を介さずに接する前記Siゲート領域を低濃度とし、かつ前記低濃度Siゲート領域の表面には高濃度Si領域が形成されていることを特徴とする接合FET。

30

【0034】

(3) 第一導電型の高濃度SiCをドレイン層とし、前記ドレイン層に接する第一導電型の低濃度SiCをドリフト層とし、前記ドリフト層上に形成された第一導電型の高濃度SiCをソース層とし、前記ソース層から前記ドリフト層の所定深さまでトレンチ溝を形成することで前記ドリフト層の一部をチャンネル領域とし、前記トレンチ溝を充填する第二導電型のSiをゲート領域とする接合FETにおいて、少なくとも前記チャンネル領域の側壁部分が前記Siゲート領域と酸化膜を介さずに接しており、かつ前記トレンチ底部のSiCには第二導電型領域が形成されていることを特徴とする接合FET。

40

【0035】

(4) 第一導電型の高濃度SiCをドレイン層とし、前記ドレイン層に接する第一導電型の低濃度SiCをドリフト層とし、前記ドリフト層上に形成された第一導電型の高濃度SiCをソース層とし、前記ソース層から前記ドリフト層の所定深さまでトレンチ溝を形成することで前記ドリフト層の一部をチャンネル領域とし、前記トレンチ溝を充填する第二導電型のSiをゲート領域とする接合FETにおいて、少なくとも前記チャンネル領域の側

50

壁部分が前記Ｓｉゲート領域と酸化膜を介さずに接しており、かつ前記トレンチ底部ならびに前記チャネル領域の前記トレンチ側壁のＳｉＣには第二導電型領域が形成されていることを特徴とする接合ＦＥＴ。

【００３６】

（５）前項（１）において、前記ソース領域の側壁と前期Ｓｉゲート領域の間には酸化膜が形成されていることを特徴とする接合ＦＥＴ。

【００３７】

（６）前項（１）から前項（５）に記載の接合ＦＥＴが用いられている電気回路。

【図面の簡単な説明】

【００３８】

10

【図１】図１は、本発明の実施例１に係わるＪＦＥＴの概略を示した断面図である。

【図２】図２は、従来ＪＦＥＴの概略を示した断面図である。

【図３Ａ】図３Ａは、本発明の実施例１に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図３Ｂ】図３Ｂは、本発明の実施例１に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図３Ｃ】図３Ｃは、本発明の実施例１に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図３Ｄ】図３Ｄは、本発明の実施例１に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

20

【図３Ｅ】図３Ｅは、本発明の実施例１に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図３Ｆ】図３Ｆは、本発明の実施例１に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図４】図４は、本発明の実施例２に係わるＪＦＥＴの概略を示した断面図である。

【図５Ａ】図５Ａは、本発明の実施例２に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図５Ｂ】図５Ｂは、本発明の実施例２に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図５Ｃ】図５Ｃは、本発明の実施例２に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

30

【図５Ｄ】図５Ｄは、本発明の実施例２に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図５Ｅ】図５Ｅは、本発明の実施例２に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図５Ｆ】図５Ｆは、本発明の実施例２に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図６】図６は、本発明の実施例３に係わるＪＦＥＴを示した断面図である。

【図７Ａ】図７Ａは、本発明の実施例３に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

40

【図７Ｂ】図７Ｂは、本発明の実施例３に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図７Ｃ】図７Ｃは、本発明の実施例３に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図７Ｄ】図７Ｄは、本発明の実施例３に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図７Ｅ】図７Ｅは、本発明の実施例３に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

【図７Ｆ】図７Ｆは、本発明の実施例３に係わるＪＦＥＴを製造工程順に示した装置の断面図である。

50

【図 8】図 8 は、本発明の実施例 4 に係わる J F E T を示した断面図である。

【図 9】図 9 は、本発明の実施例 4 に係わる J F E T の一つの製造工程を示した断面図である。

【図 10】図 10 は、本発明の実施例 5 に係わる J F E T を示した断面図である。

【図 11】図 11 は、本発明の実施例 6 に係わる J F E T を示した断面図である。

【図 12】図 12 は、本発明の実施例 7 に係わる J F E T を示した断面図である。

【図 13】図 13 は、本発明の実施例 8 に係わる複数の個別 J F E T を示した斜視図である。

【図 14】図 14 は、本発明の実施例 8 に係わる別な複数の個別 J F E T を示した斜視図である。

【図 15】図 15 は、実施例 8 に係わる J F E T のレイアウト方法を示した平面図である。

【図 16】図 16 は、実施例 8 に係わる J F E T の、別な水準でのレイアウト方法を示した平面図である。

【図 17】図 17 は、本発明の実施例 8 に係わる J F E T を用いたインバータを示した説明図である。

【符号の説明】

【0039】

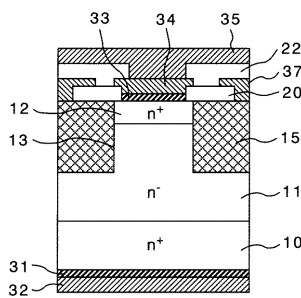
10: n^+ -SiC 基板、11: n^- ドリフト層、12: n^+ ソース層、13: トレンチ側壁、15、16: p 型多結晶 Si、17: コンタクト用高濃度 p 型多結晶 Si、18、19: p 型 SiC 領域、20、22: 酸化膜、23: トレンチ側壁酸化膜、31、33: シリサイド電極、32: ドレイン電極、34: ソース Al 電極、35: ソースパッド、37: ゲート Al 電極、38: ゲートパッド、60: 個別 J F E T、61: ソース Al 電極 34 とソースパッド 35 のコンタクト部、62: ゲート Al 電極 37 とゲートパッド 38 のコンタクト部

10

20

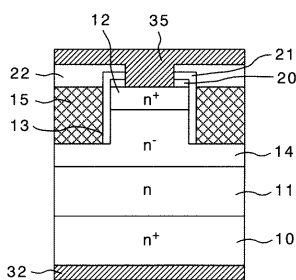
【図 1】

図 1



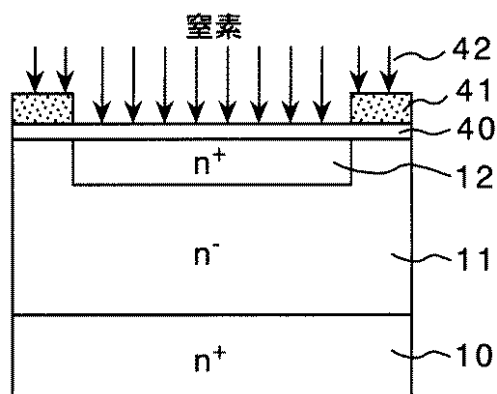
【図 2】

図 2



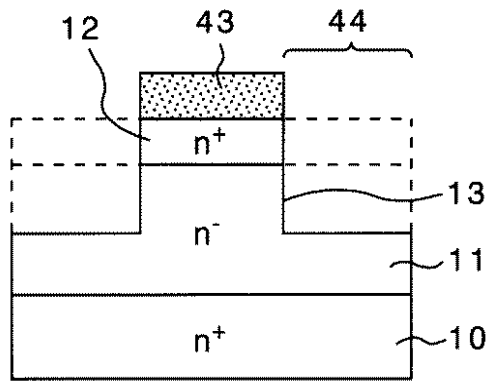
【図 3 A】

図 3 A



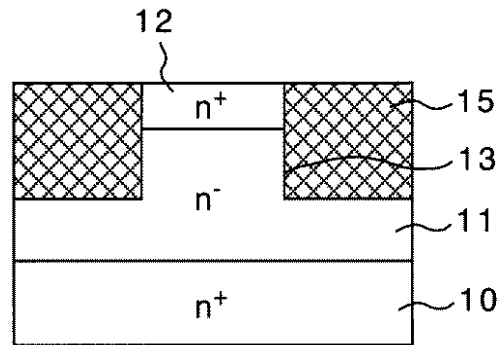
【図 3 B】

図 3 B



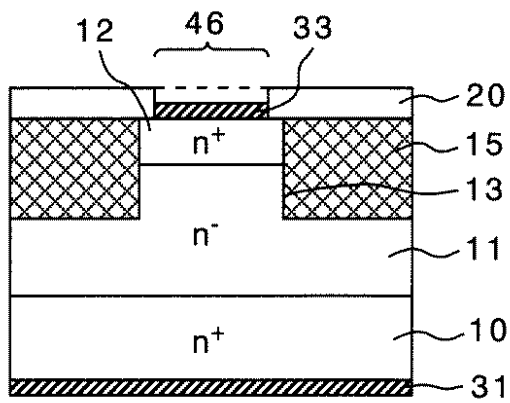
【図 3 C】

図 3 C



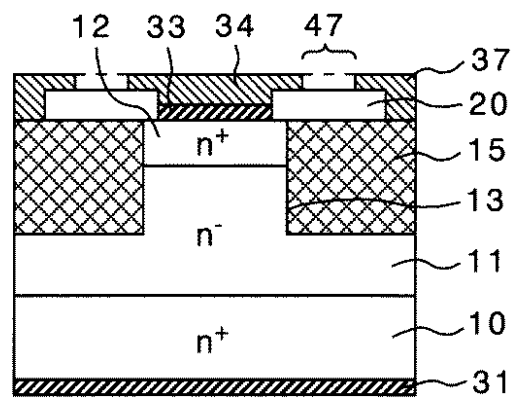
【図 3 D】

図 3 D



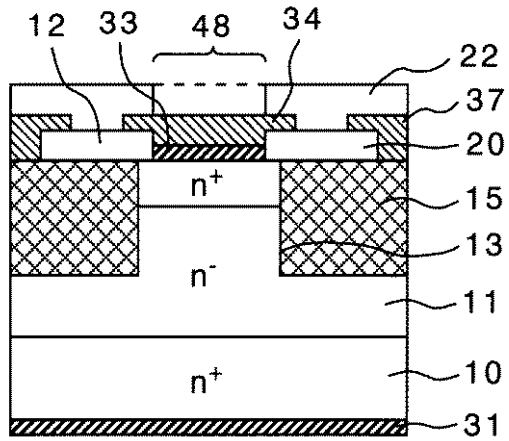
【図 3 E】

図 3 E



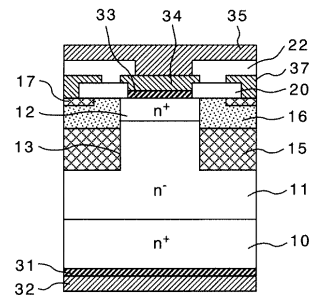
【図 3 F】

図 3 F



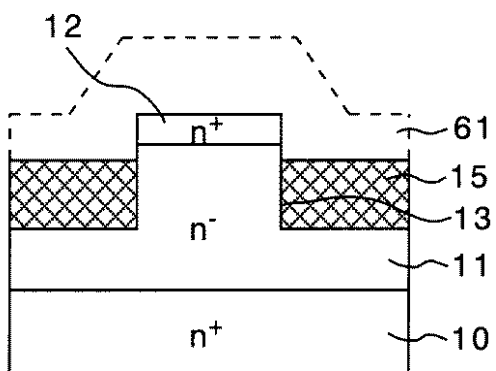
【図 4】

図 4



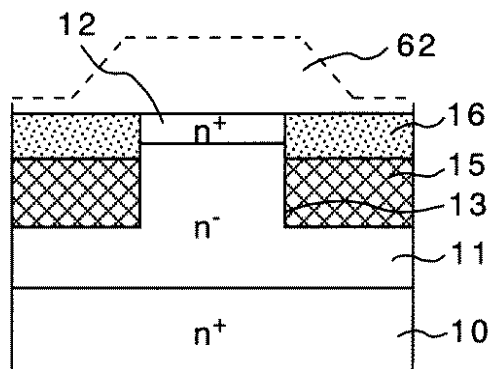
【図 5 A】

図 5 A



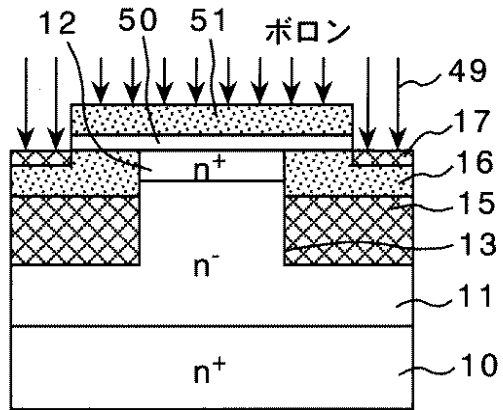
【図 5 B】

図 5 B



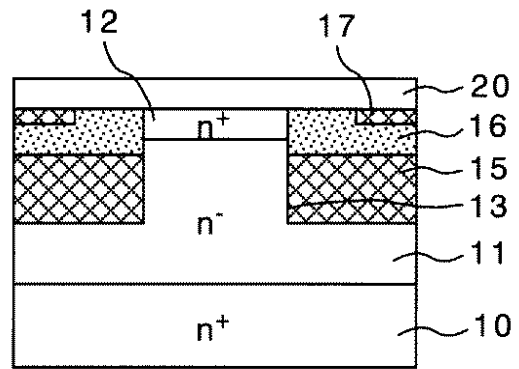
【図 5 C】

図 5 C



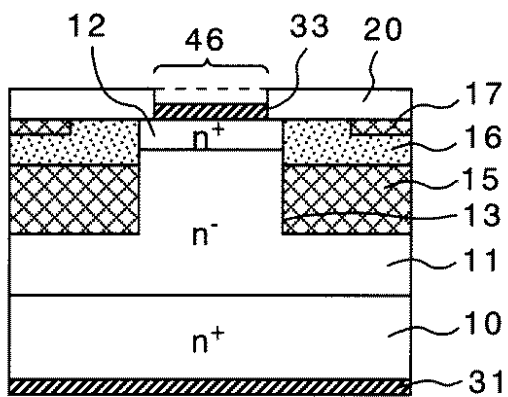
【図 5 D】

図 5 D



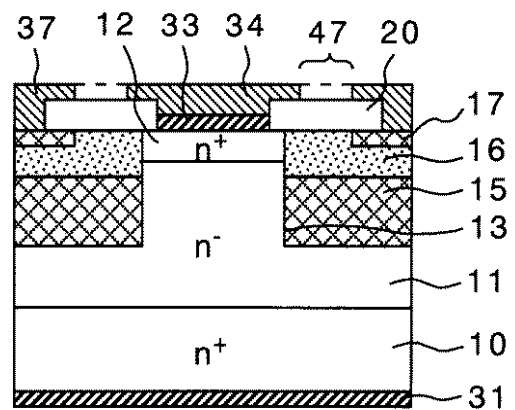
【図 5 E】

図 5 E

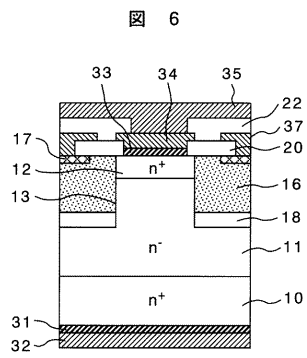


【図 5 F】

図 5 F

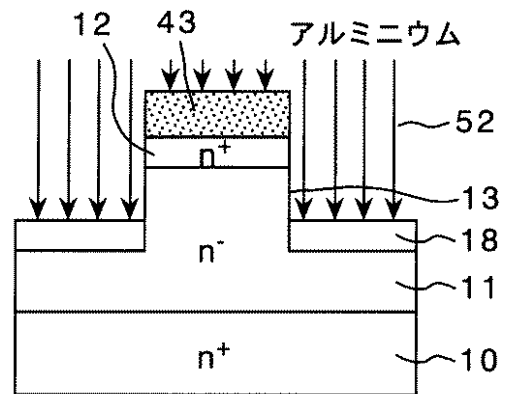


【図 6】



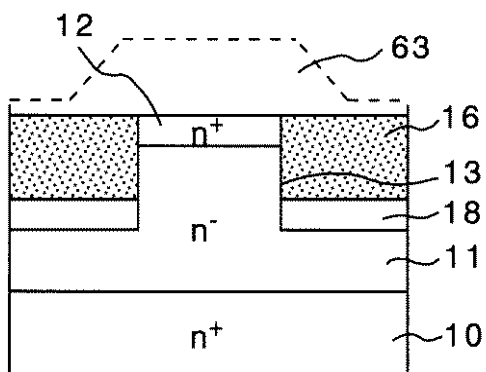
【図 7 A】

図 7 A



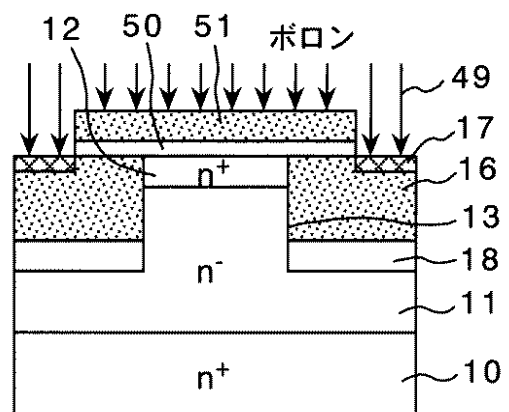
【図 7 B】

図 7 B



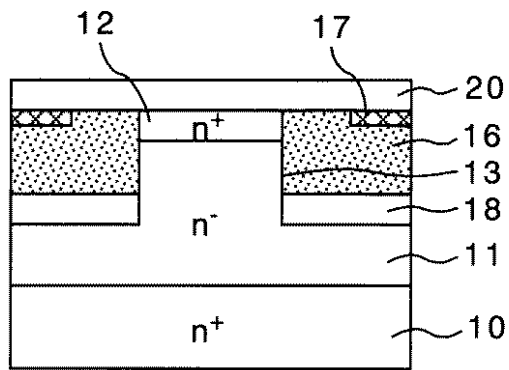
【図 7 C】

図 7 C



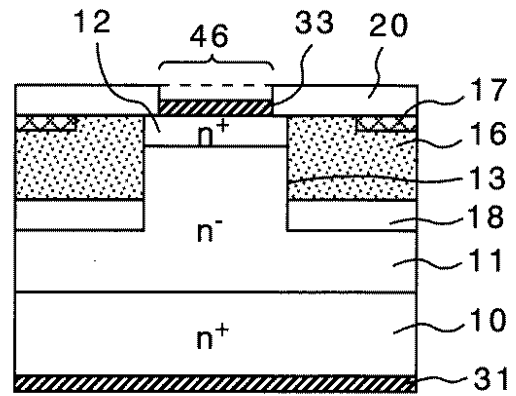
【図 7 D】

図 7 D



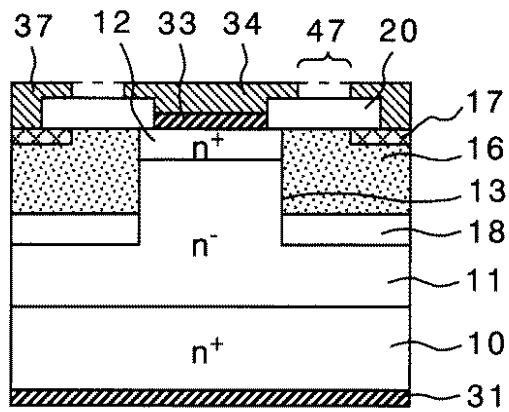
【図 7 E】

図 7 E



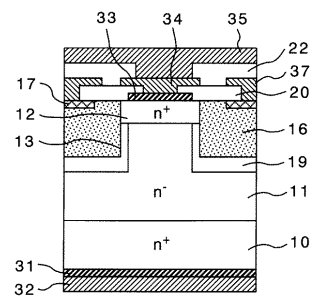
【図 7 F】

図 7 F



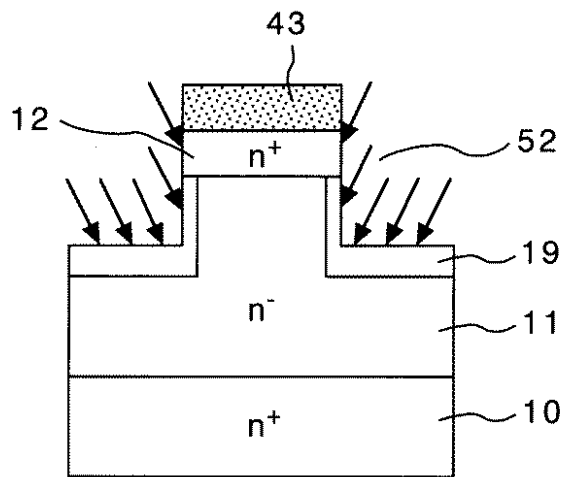
【図 8】

図 8



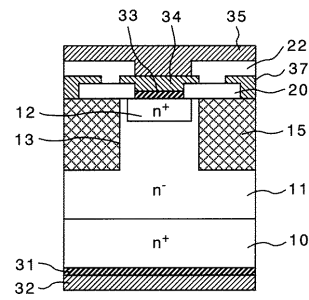
【図 9】

図 9



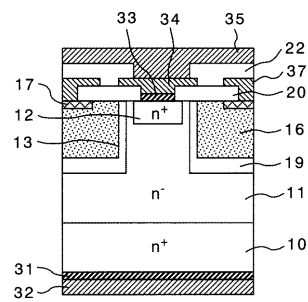
【図 10】

図 10



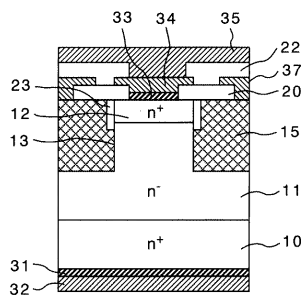
【図 11】

図 11



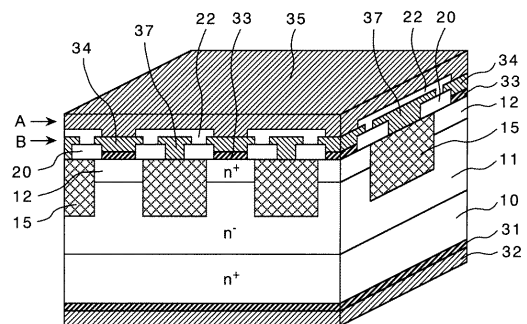
【図 12】

図 12



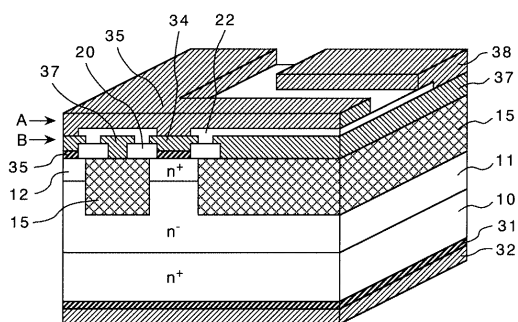
【図 14】

図 14



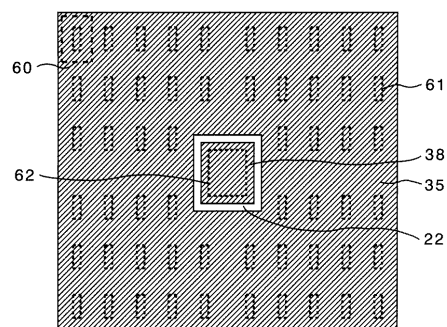
【図 13】

図 13



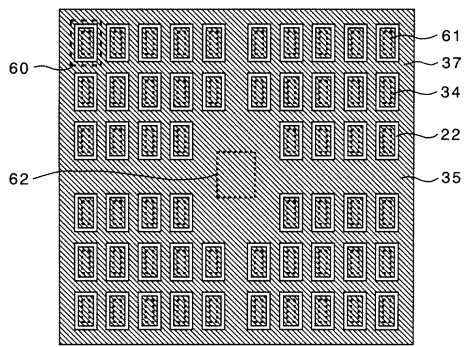
【図 15】

図 15



【図 16】

図 16



【図 17】

図 17

