

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成20年6月19日(2008.6.19)

【公開番号】特開2006-202485(P2006-202485A)

【公開日】平成18年8月3日(2006.8.3)

【年通号数】公開・登録公報2006-030

【出願番号】特願2006-65451(P2006-65451)

【国際特許分類】

G 11 C 11/401 (2006.01)

H 01 L 23/50 (2006.01)

【F I】

G 11 C 11/34 3 7 1 K

H 01 L 23/50 K

【手続補正書】

【提出日】平成20年5月2日(2008.5.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリであって、

複数の独立アレイを形成するように並べられており、それら独立アレイは行と列に配置されて複数のアレイブロックを形成している複数のメモリセルと、

複数のアレイブロックの中央に位置している複数のパッドと、

複数のメモリセルと複数のパッドの間でデータを送信するための複数の周辺装置と、

複数の供給電圧を生成する複数の電圧源と、

複数の供給電圧を送給する電力分配バスと、

電力分配バスの一部を形成するリードフレームを有し、メモリを密閉するパッケージと

、

を具えており、

電力分配バスは、各々のウェブが複数のアレイブロックの1つを完全に囲むように複数のウェブを形成する複数の第1伝導体と、複数のアレイブロックの各々について、ウェブの第1の側から延びて、そのアレイブロックを通って、第1の側の反対の側にてウェブに接続する複数の第2伝導体と、ウェブの第2の側から延びて、そのアレイブロックを通って、第2の側の反対の側にてウェブに接続する複数の第3伝導体とを具えており、複数のアレイブロックの各々の中に十分にグリッドされた電力分配バスが形成されるメモリ。

【請求項2】

電力分配バスの一部を形成するリードフレームは、接地用バスを形成する、請求項1に記載のメモリ。

【請求項3】

一連の指示を実行するための制御ユニットと、制御ユニットに応答する請求項1又は請求項2に記載のメモリとを具えるシステム。

【請求項4】

複数の電圧源は、複数のアレイブロックの中央に位置している、請求項1に記載のメモリ。

【請求項5】

複数のスイッチを更に具えており、複数のスイッチの各々は、複数の供給電圧の1つの分配を制御する、請求項1に記載のメモリ。

【請求項6】

複数の第1伝導体は、複数のアレイブロックの中央にある領域を起点としている、請求項1に記載のメモリ。

【請求項7】

複数のパッドと平行に延びており、複数のパッドから外部電力を受け取り、複数の電圧源に外部電力を供給する複数の第4伝導体を更に具えている、請求項1に記載のメモリ。

【請求項8】

複数の周辺装置は、アレイブロック内の独立アレイの隣接する行と行の間に配置された複数のセンス増幅器と、アレイブロック内の独立アレイの隣接する列と列の間に配置された複数の行デコーダとを有している、請求項1に記載のメモリ。

【請求項9】

複数の独立アレイの各々は、その独立アレイを通じて、センス増幅器へ延びるディジット線を具えており、アレイブロックは、独立アレイの隣接する行と行の間及びセンス増幅器を通じて延びるI/Oラインを有しており、センス増幅器は、ディジット線上の信号をI/Oラインへ送信するための回路を有している、請求項8に記載のメモリ。

【請求項10】

アレイブロックは、独立アレイの隣接する列と列の間及び行デコーダを通じて延びて、I/Oラインと交差部を形成するデータ線を含んでおり、複数の周辺装置は、I/Oライン上の信号をデータ線へ送信するために、I/Oラインとデータ線との幾つかの交差部に配置された複数のマルチプレクサを有している、請求項9に記載のメモリ。

【請求項11】

マルチプレクサは、第2の独立アレイ毎に配置されている、請求項10に記載のメモリ。

【請求項12】

複数のアレイブロックは、複数のアレイクアドラントに形成されており、複数の周辺装置は、複数のアレイクアドラントの各々にサービス提供するアレイI/Oブロックと、アレイI/Oブロックに応答する複数のデータ読出しマルチプレクサと、複数のデータ読出しマルチプレクサに応答する複数のデータ出力バッファと、複数のデータ出力バッファに応答して、読み出されたデータを複数のパッドで利用できるようにする複数のデータパッドドライバとを有している、請求項1に記載のメモリ。

【請求項13】

複数の周辺装置は、複数のパッドで利用されるデータに応答する複数のデータ入力バッファと、複数のデータ入力バッファに応答する複数のデータ書込みマルチプレクサとを有しており、アレイI/Oブロックは、複数のデータ書込みマルチプレクサに応答する、請求項12に記載のメモリ。

【請求項14】

アレイI/Oブロックと複数のデータ読出しマルチプレクサとの間に介在するデータテストパス回路を更に有している、請求項12に記載のメモリ。

【請求項15】

メモリセルの独立アレイは、メモリセルが行と列に配置されて構成されており、メモリは更に、全行ハイテスト要求に応答して、セルの複数組の行を巡回するロジックを有している、請求項1に記載のメモリ。

【請求項16】

複数の電圧源は、複数の電力増幅器を具える電圧レギュレータを有しており、複数の電力増幅器の少なくとも1つは、複数のアレイブロックの各々と連繋している、請求項1に記載のメモリ。

【請求項17】

電力増幅器の少なくとも1つと接続されたアレイブロックが、動作禁止状態になったと

き、その少なくとも1つの電力増幅器を動作禁止状態にする回路を更に有している、請求項16に記載のメモリ。

【請求項18】

複数の電力増幅器は、設定された出力電力レベルを達成するために、別個又は同時のどちらかの操作を行なうための複数のグループに分割される、請求項16に記載のメモリ。

【請求項19】

複数の電圧源の幾つかのパワーアップの制御を行うパワーアップシーケンス回路を更に具えている、請求項1に記載のメモリ。

【請求項20】

256meg以上の記憶容量を提供するように、複数のアレイブロックが組み合わせられており、メモリは、256megの記憶容量を提供できるようにするために、欠陥のあるメモリセルを、動作可能なメモリセルに論理的に置換する修復ロジックを更に具えている、請求項1に記載のメモリ。