

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 7 月 15 日 (15.07.2021)



(10) 国际公布号
WO 2021/138965 A1

(51) 国际专利分类号:
G09G 3/3225 (2016.01)

深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(21) 国际申请号: PCT/CN2020/075594

(22) 国际申请日: 2020 年 2 月 17 日 (17.02.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010012085.0 2020 年 1 月 7 日 (07.01.2020) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 肖翔 (XIAO, Xiang); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。 薛炎 (XUE, Yan); 中国广东省

(74) 代理人: 深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道高新区社区高新南一道 006 号 TCL 工业研究院大厦 A802, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) **Title:** PIXEL CIRCUIT, DISPLAY PANEL, AND COMPENSATION METHOD FOR REFERENCE VOLTAGE OF PIXEL CIRCUIT

(54) 发明名称: 像素电路、显示面板及像素电路基准电压的补偿方法

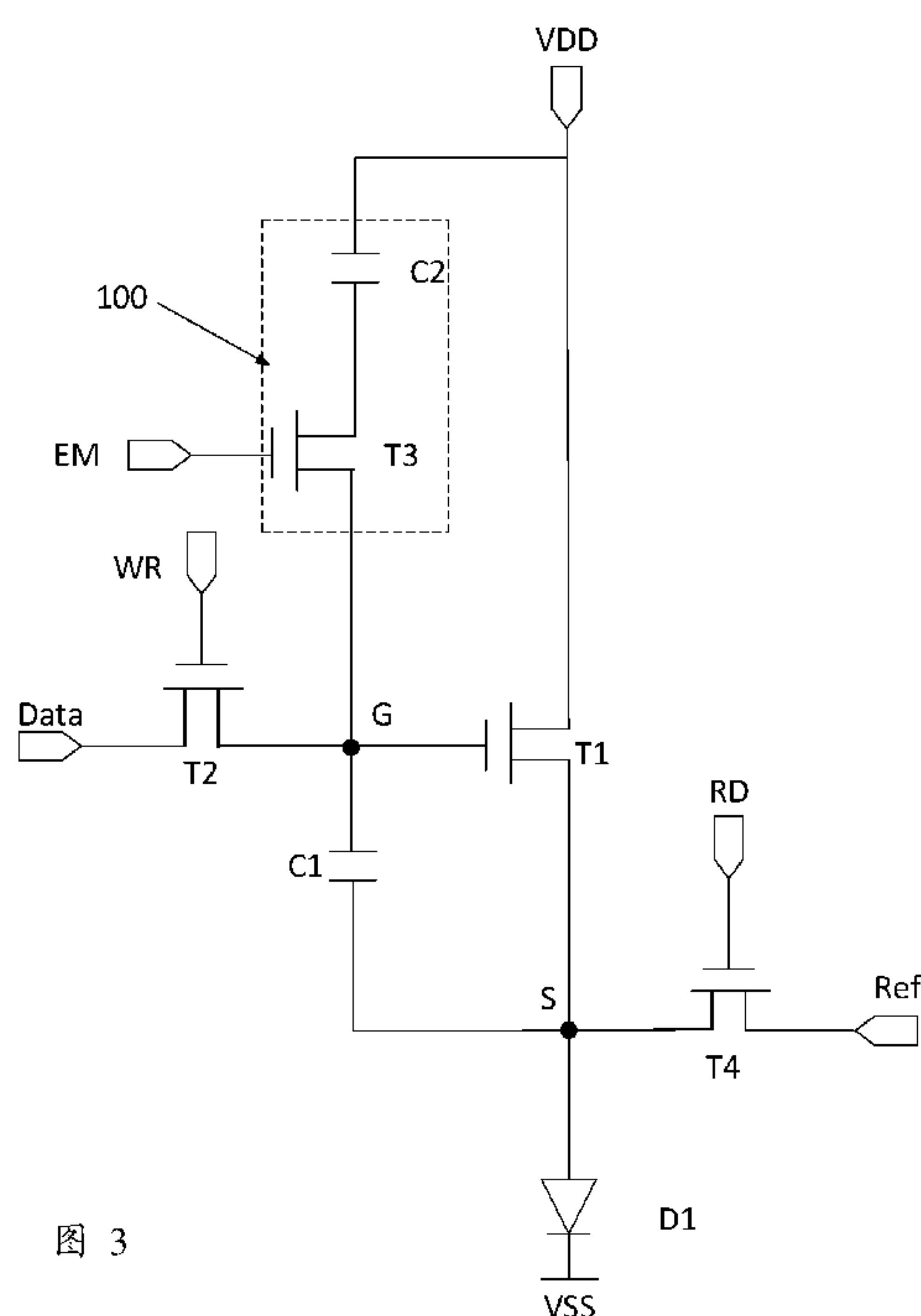


图 3

(57) **Abstract:** A pixel circuit, a display panel, and a compensation method for a reference voltage of a pixel circuit. The pixel circuit comprises a plurality of pixel internal driving circuits arranged in an array. Each pixel internal driving circuit comprises: a first thin film transistor (T1), a second thin film transistor (T2), a fourth thin film transistor (T4), a first capacitor (C1), an organic light-emitting diode (D1) and a compensation module, wherein a scanning signal (EM) accesses the compensation module, and one end of the compensation module is connected to a first node (G), and the other end thereof is connected to a power supply voltage (VDD) so as to compensate for the potential drop of the first node (G) caused by the coupling of the first capacitor (C1), so that a reference voltage V_{gs} is kept unchanged, and a current flowing through the first thin film transistor (T1) does not change, and thus the panel emits light uniformly.

(57) **摘要:** 一种像素电路、显示面板及像素电路基准电压的补偿方法, 包括呈阵列式排布的多个像素内部驱动电路。每一像素内部驱动电路均包括: 第一薄膜晶体管 (T1)、第二薄膜晶体管 (T2)、第四薄膜晶体管 (T4)、第一电容 (C1)、有机发光二极管 (D1) 以及补偿模块。补偿模块接入一扫描信号 (EM), 补偿模块一端连接第一节点 (G), 另一端连接电源电压 (VDD), 用以补偿因第一电容 (C1) 耦合导致第一节点 (G) 的电位下降, 进而保持基准电压 V_{gs} 保持不变, 流经第一薄膜晶体管 (T1) 的电流不发生变化, 实现面板发光均匀。



(84) 指定国 (除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：
— 包括国际检索报告 (条约第21条(3))。

像素电路、显示面板及像素电路基准电压的补偿方法

技术领域

[0001] 本发明涉及显示技术领域，特别是一种像素电路、显示面板及像素电路基准电压的补偿方法。

背景技术

[0002] 有机电致发光二极管 (organic light emitting diode, OLED) 是一种自发光的显示技术，具有视角宽、对比度高、功耗低、色彩鲜艳等优点。由于这些优势，在显示行业所占的比重正在逐年增加。氧化物薄膜晶体管由于迁移率高，均匀性好等优点而在大尺寸AMOLED中广泛使用。但随着面板使用时间延长，薄膜晶体管以及OLED的电性会发生漂移，最终因显示不均匀等问题而失效。

发明概述

技术问题

[0003] 如图1所示，传统的有源有机电致发光二极管 (active matrix organic light emitting diode, AMOLED) 的像素电路为3T1C，Data信号写入节点G点阶段时，在T2的栅极关闭时，由于电容C1的耦合效应导致G点的电压下降，引起流经T1的电流发生变化（如图2中的标记10处，电流曲线爬升有一波动），且面板不同位置的耦合效应不同，导致面板发光不均匀。

[0004] 因此，急需提供一种新的像素电路、显示面板及像素电路基准电压的补偿方法，用以对因第一电容 (C1) 耦合导致所述第一节点 (G) 的电位下降进行补偿，提升面板显示的均匀性。

问题的解决方案

技术解决方案

[0005] 本发明的目的是，提供一种光阻剥离装置以及光阻剥离方法，通过在过滤装置的滤芯中添加MOF材料，该材料在可见光下可以捕捉溶液中的氧气，降低溶液中的溶解氧，进而降低缝隙内外的氧浓度差，缓解因基板剥离光阻所产生铜的掏空现象；进一步的，当达到饱和时，可对其进行加热或者紫外光照，将其吸附

的氧气释放出去，进而可循环使用滤芯材料。

[0006] 本发明的目的是，提供一种像素电路、显示面板及像素电路基准电压的补偿方法，用以对因第一电容（C1）耦合导致所述第一节点（G）的电位下降进行补偿，提升面板显示的均匀性。

[0007] 为达到上述目的，提供一种像素电路，包括呈阵列式排布的多个像素内部驱动电路；每一像素内部驱动电路均包括：第一薄膜晶体管（T1），所述第一薄膜晶体管的栅极电性连接第一节点（G），所述第一薄膜晶体管的源极电性连接第二节点（S），所述第一薄膜晶体管的漏极接入电源电压（VDD）；第二薄膜晶体管（T2），所述第二薄膜晶体管的栅极接入写入信号（WR），所述第二薄膜晶体管的源极接入数据信号（Data），所述第二薄膜晶体管的漏极电性连接第一节点（G）；第一电容（C1），一端连接所述第一节点（G），另一端连接所述第二节点（S）；第四薄膜晶体管（T4），所述第四薄膜晶体管的栅极接入读取信号（RD），所述第四薄膜晶体管的源极电性连接第二节点（S），所述第四薄膜晶体管的漏极电性连接所述参考电压信号（Ref）；有机发光二极管（D1），所述有机发光二极管（D1）的阳极电性连接所述第二节点（S），所述有机发光二极管（D1）的阴极接地；补偿模块，接入一扫描信号（EM），所述补偿模块一端连接所述第一节点（G），另一端连接所述电源电压（VDD），用以补偿因第一电容（C1）耦合导致所述第一节点（G）的电位下降。

[0008] 进一步地，所述补偿模块包括第三薄膜晶体管（T3）以及第二电容（Cp）；第三薄膜晶体管（T3），所述第三薄膜晶体管的栅极接入扫描信号（EM），所述第三薄膜晶体管的源极电性连接第一节点（G），所述第三薄膜晶体管的漏极电性连接第二电容（C2）的一端；所述第二电容（Cp）的另一端电性连接所述电源电压（VDD）。

[0009] 进一步地，第三薄膜晶体管（T3）与所述第二薄膜晶体管（T2）的宽长比相同。

[0010] 进一步地，所述第一薄膜晶体管（T1）、所述第二薄膜晶体管（T2）、所述第三薄膜晶体管（T3）、及所述第四薄膜晶体管（T4）均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管、或非晶硅薄膜晶体管。

[0011] 进一步地，所述写入信号（WR）以及所述扫描信号（EM）通过外部时序控制器提供

；和/或，所述扫描信号(EM)与所述写入信号(WR)的延迟负载一致。

[0012] 进一步地，所述写入信号(WR)、所述扫描信号(EM)、及所述数据信号(Data)相组合，先后对应于写入阶段以及发光阶段；在所述写入阶段，所述写入信号(WR)提供高电位，所述扫描信号(EM)提供低电位，所述数据信号(Data)提供高电位；在所述发光阶段，所述写入信号(WR)提供低电位，所述扫描信号(EM)提供高电位，所述数据信号(Data)提供低电位。

[0013] 进一步地，在所述写入阶段，所述扫描信号(EM)提供低电位与所述第一薄膜晶体管的阈值电压之差大于最高灰阶的数据信号的电压。

[0014] 进一步地，所述像素电路包括：NMOS电路、PMOS电路或CMOS电路。

[0015] 本发明提供一种显示面板，包括前文所述的像素电路，所述显示面板为AMOLED显示面板。

[0016] 本发明还提供一种像素电路基准电压的补偿方法，包括如下步骤：提供前文所述的补偿电路；进入写入阶段，在所述写入阶段，所述写入信号(WR)提供高电位，所述扫描信号(EM)提供低电位，所述数据信号(Data)经过一延迟后提供高电位，所述第二薄膜晶体管(T2)、所述第三薄膜晶体管(T3)、及所述第四薄膜晶体管(T4)均打开，所述数据信号(Data)和所述参考电压(Vref)分别对第一节点(G)和第二节点(S)点写入初始电位；进入发光阶段，在所述发光阶段，所述写入信号(WR)提供低电位，所述扫描信号(EM)提供高电位，所述数据信号(Data)经过一延迟后提供低电位，所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)关闭，且所述电源电压(VDD)开始对第二节点(S)充电，第一节点(G)的电位由于第一电容(C)的耦合而下降，所述扫描信号(EM)通过所述补偿模块将所述第一节点(G)的电位拉高，使所述基准电压Vgs保持不变。

发明的有益效果

有益效果

[0017] 本发明提供像素电路、显示面板及像素电路基准电压的补偿方法，通过设置了一补偿模块，该补偿模块接入一扫描信号(EM)，所述补偿模块一端连接所述第一节点(G)，另一端连接所述电源电压(VDD)，用以补偿因第一电容(C1)耦合导致所述第一节点(G)的电位下降，进而保持基准电压Vgs保持不变，流经

驱动薄膜晶体管（即第一薄膜晶体管）的电流不发生变化，进而面板发光均匀。

对附图的简要说明

附图说明

[0018] 图1为现有技术的像素混合补偿电路的电路图。

[0019] 图2为现有技术的像素混合补偿电路的时序图。

[0020] 图3为本发明提供的像素混合补偿电路的电路图。

[0021] 图4为本发明提供的像素混合补偿电路的时序图。

[0022] 像素混合补偿电路100；外部补偿电路200；

[0023] 模数转换器201；电压比较器202；控制模块203；

[0024] 存储器204；数模转换器205。

发明实施例

本发明的实施方式

[0025] 本申请提供一种实体键盘输入系统、键盘输入方法及存储介质，为使本申请的目的、技术方案及效果更加清楚、明确，以下参照附图并举实施例对本申请进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本申请，并不用于限定本申请。

[0026] 如图3所示，本发明提供一种像素电路，包括呈阵列式排布的多个像素内部驱动电路。

[0027] 每一像素内部驱动电路均包括：第一薄膜晶体管(T1)、第二薄膜晶体管(T2)、第四薄膜晶体管(T4)、第一电容(C1)、有机发光二极管(D1) 以及补偿模块。

[0028] 所述第一薄膜晶体管(T1)的栅极电性连接第一节点(G)，所述第一薄膜晶体管的源极电性连接第二节点(S)，所述第一薄膜晶体管的漏极接入电源电压(VDD)。

[0029] 所述第二薄膜晶体管的栅极接入写入信号(WR)，所述第二薄膜晶体管的源极接入数据信号(Data)，所述第二薄膜晶体管的漏极电性连接第一节点(G)。

[0030] 所述第一电容(C1)一端连接所述第一节点(G)，另一端连接所述第二节点(S)。

- [0031] 所述第四薄膜晶体管的栅极接入读取信号(RD)，所述第四薄膜晶体管的源极电性连接第二节点(S)，所述第四薄膜晶体管的漏极电性连接所述参考电压信号(Ref)。
- [0032] 所述有机发光二极管(D1)的阳极电性连接所述第二节点(S)，所述有机发光二极管(D1)的阴极接电源电压(VSS)。
- [0033] 所述补偿模块接入一扫描信号(EM)，所述补偿模块一端连接所述第一节点(G)，另一端连接所述电源电压(VDD)，用以补偿因第一电容(C1)耦合导致所述第一节点(G)的电位下降，进而保持基准电压 V_{gs} 保持不变，流经驱动薄膜晶体管(即第一薄膜晶体管)的电流不发生变化，进而面板发光均匀。
- [0034] 所述补偿模块包括第三薄膜晶体管(T3)以及第二电容(Cp)。
- [0035] 第三薄膜晶体管(T3)，所述第三薄膜晶体管的栅极接入扫描信号(EM)，所述第三薄膜晶体管的源极电性连接第一节点(G)，所述第三薄膜晶体管的漏极电性连接第二电容(C2)的一端。第三薄膜晶体管(T3)与所述第二薄膜晶体管(T2)的宽长比相同。
- [0036] 所述第二电容(Cp)的另一端电性连接所述电源电压(VDD)。
- [0037] 所述第一薄膜晶体管(T1)、所述第二薄膜晶体管(T2)、所述第三薄膜晶体管(T3)、及所述第四薄膜晶体管(T4)均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管、或非晶硅薄膜晶体管。
- [0038] 所述写入信号(WR)以及所述扫描信号(EM)通过外部时序控制器提供；和/或，所述扫描信号(EM)与所述写入信号(WR)的延迟负载一致。
- [0039] 如图4所示，所述写入信号(WR)、所述扫描信号(EM)、及所述数据信号(Data)相组合，先后对应于写入阶段以及发光阶段。
- [0040] 在所述写入阶段，所述写入信号(WR)提供高电位，所述扫描信号(EM)提供低电位，所述数据信号(Data)提供高电位。
- [0041] 在所述发光阶段，所述写入信号(WR)提供低电位，所述扫描信号(EM)提供高电位，所述数据信号(Data)提供低电位。
- [0042] 在所述写入阶段，所述扫描信号(EM)提供低电位与所述第一薄膜晶体管的阈值电压之差大于最高灰阶的数据信号的电压。

- [0043] 图4中的电流测试曲线，在爬升的时候，并没有波动，电流并无较大的变化。
- [0044] 所述像素电路包括：NMOS电路、PMOS电路或CMOS电路。
- [0045] 本发明提供一种像素电路，通过设置了一补偿模块，该补偿模块接入一扫描信号（EM），所述补偿模块一端连接所述第一节点（G），另一端连接所述电源电压（VDD），用以补偿因第一电容（C1）耦合导致所述第一节点（G）的电位下降，进而保持基准电压 V_{gs} 保持不变，流经驱动薄膜晶体管（即第一薄膜晶体管）的电流不发生变化，进而面板发光均匀。
- [0046] 本发明还提供一种显示面板，包括所述的像素电路，所述显示面板为AMOLED显示面板。
- [0047] 本发明还提供一种像素电路基准电压的补偿方法，包括如下步骤S1）~S3）。
- [0048] S1）提供所述的像素电路。
- [0049] S2）进入写入阶段，在所述写入阶段，所述写入信号（WR）提供高电位，所述扫描信号（EM）提供低电位，所述数据信号（Data）经过一延迟后提供高电位，所述第二薄膜晶体管（T2）、所述第三薄膜晶体管（T3）、及所述第四薄膜晶体管（T4）均打开，所述数据信号（Data）和所述参考电压（ V_{ref} ）分别对第一节点（G）和第二节点（S）点写入初始电位。
- [0050] S3）进入发光阶段，在所述发光阶段，所述写入信号（WR）提供低电位，所述扫描信号（EM）提供高电位，所述数据信号（Data）经过一延迟后提供低电位，所述第二薄膜晶体管（T2）以及所述第三薄膜晶体管（T3）关闭，且所述电源电压（VDD）开始对第二节点（S）充电，第一节点（G）的电位由于第一电容（C）的耦合而下降，所述扫描信号（EM）通过所述补偿模块将所述第一节点（G）的电位拉高，使所述基准电压 V_{gs} 保持不变。
- [0051] 可以理解的是，对本领域普通技术人员来说，可以根据本申请的技术方案及其发明构思加以等同替换或改变，而所有这些改变或替换都应属于本申请所附的权利要求的保护范围。

权利要求书

- [权利要求 1] 一种像素电路，其中，包括呈阵列式排布的多个像素内部驱动电路；
每一像素内部驱动电路均包括：
第一薄膜晶体管(T1)，所述第一薄膜晶体管(T1)的栅极电性连接第一节点(G)，所述第一薄膜晶体管的源极电性连接第二节点(S)，所述第一薄膜晶体管的漏极接入电源电压(VDD)；
第二薄膜晶体管(T2)，所述第二薄膜晶体管的栅极接入写入信号(WR)，所述第一薄膜晶体管的源极接入数据信号(Data)，所述第二薄膜晶体管的漏极电性连接第一节点(G)；
第一电容(C1)，一端连接所述第一节点(G)，另一端连接所述第二节点(S)；
第四薄膜晶体管(T4)，所述第四薄膜晶体管的栅极接入读取信号(RD)，所述第四薄膜晶体管的源极电性连接第二节点(S)，所述第四薄膜晶体管的漏极电性连接所述参考电压信号(Ref)；
有机发光二极管(D1)，所述有机发光二极管(D1)的阳极电性连接所述第二节点(S)，所述有机发光二极管(D1)的阴极接电源电压(VSS)；
补偿模块，接入一扫描信号(EM)，所述补偿模块的一端连接所述第一节点(G)，另一端连接所述电源电压(VDD)，用以补偿因第一电容(C1)耦合导致所述第一节点(G)的电位下降。
- [权利要求 2] 根据权利要求1所述的像素电路，其中，
所述补偿模块包括第三薄膜晶体管(T3)以及第二电容(Cp)；
第三薄膜晶体管(T3)，所述第三薄膜晶体管的栅极接入扫描信号(EM)，所述第三薄膜晶体管的源极电性连接第一节点(G)，所述第三薄膜晶体管的漏极电性连接第二电容(C2)的一端；
所述第二电容(Cp)的另一端电性连接所述电源电压(VDD)。
- [权利要求 3] 根据权利要求2所述的像素电路，其中，
第三薄膜晶体管(T3)与所述第二薄膜晶体管(T2)的宽长比相同。
- [权利要求 4] 根据权利要求1所述的像素电路，其中，

所述第一薄膜晶体管 (T1)、所述第二薄膜晶体管 (T2)、所述第三薄膜晶体管 (T3)、及所述第四薄膜晶体管 (T4) 均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管、或非晶硅薄膜晶体管。

[权利要求 5] 根据权利要求1所述的像素电路，其中，
所述写入信号 (WR) 以及所述扫描信号 (EM) 通过外部时序控制器提供；
和/或，

所述扫描信号 (EM) 与所述写入信号 (WR) 的延迟负载一致。

[权利要求 6] 根据权利要求2所述的像素电路，其中，
所述写入信号 (WR)、所述扫描信号 (EM)、及所述数据信号 (Data) 相组合，先后对应于写入阶段以及发光阶段；
在所述写入阶段，所述写入信号 (WR) 提供高电位，所述扫描信号 (EM) 提供低电位，所述数据信号 (Data) 提供高电位；
在所述发光阶段，所述写入信号 (WR) 提供低电位，所述扫描信号 (EM) 提供高电位，所述数据信号 (Data) 提供低电位。

[权利要求 7] 根据权利要求6所述的像素电路，其中，
在所述写入阶段，所述扫描信号 (EM) 提供低电位与所述第一薄膜晶体管的阈值电压之差大于最高灰阶的数据信号的电压。

[权利要求 8] 根据权利要求1所述的像素电路，其中，
所述像素电路包括：NMOS电路、PMOS电路或CMOS电路。

[权利要求 9] 一种显示面板，其中，包括一像素电路，所述显示面板为AMOLED显示面板；

所述像素电路包括呈阵列式排布的多个像素内部驱动电路；

每一像素内部驱动电路均包括：第一薄膜晶体管 (T1)，所述第一薄膜晶体管 (T1) 的栅极电性连接第一节点 (G)，所述第一薄膜晶体管的源极电性连接第二节点 (S)，所述第一薄膜晶体管的漏极接入电源电压 (VDD)；第二薄膜晶体管 (T2)，所述第二薄膜晶体管的栅极接入写入信号 (WR)，所述第二薄膜晶体管的源极接入数据信号 (Data)，所述第二薄膜晶体管的漏极电性连接第一节点 (G)；第一电容 (C1)，一端连

接所述第一节点(G)，另一端连接所述第二节点(S)；第四薄膜晶体管(T4)，所述第四薄膜晶体管的栅极接入读取信号(RD)，所述第四薄膜晶体管的源极电性连接第二节点(S)，所述第四薄膜晶体管的漏极电性连接所述参考电压信号(Ref)；有机发光二极管(D1)，所述有机发光二极管(D1)的阳极电性连接所述第二节点(S)，所述有机发光二极管(D1)的阴极接电源电压(VSS)；补偿模块，接入一扫描信号(EM)，所述补偿模块的一端连接所述第一节点(G)，另一端连接所述电源电压(VDD)，用以补偿因第一电容(C1)耦合导致所述第一节点(G)的电位下降。

[权利要求 10]

根据权利要求9所述的显示面板，其中，
所述补偿模块包括第三薄膜晶体管(T3)以及第二电容(Cp)；
第三薄膜晶体管(T3)，所述第三薄膜晶体管的栅极接入扫描信号(EM)，所述第三薄膜晶体管的源极电性连接第一节点(G)，所述第三薄膜晶体管的漏极电性连接第二电容(C2)的一端；
所述第二电容(Cp)的另一端电性连接所述电源电压(VDD)。

[权利要求 11]

根据权利要求10所述的显示面板，其中，
第三薄膜晶体管(T3)与所述第二薄膜晶体管(T2)的宽长比相同。

[权利要求 12]

根据权利要求9所述的显示面板，其中，
所述第一薄膜晶体管(T1)、所述第二薄膜晶体管(T2)、所述第三薄膜晶体管(T3)、及所述第四薄膜晶体管(T4)均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管、或非晶硅薄膜晶体管。

[权利要求 13]

根据权利要求9所述的显示面板，其中，
所述写入信号(WR)以及所述扫描信号(EM)通过外部时序控制器提供；
和/或，
所述扫描信号(EM)与所述写入信号(WR)的延迟负载一致。

[权利要求 14]

根据权利要求10所述的显示面板，其中，
所述写入信号(WR)、所述扫描信号(EM)、及所述数据信号(Data)相组合，先后对应于写入阶段以及发光阶段；

在所述写入阶段，所述写入信号(WR)提供高电位，所述扫描信号(EM)提供低电位，所述数据信号(Data)提供高电位；

在所述发光阶段，所述写入信号(WR)提供低电位，所述扫描信号(EM)提供高电位，所述数据信号(Data)提供低电位。

[权利要求 15]

根据权利要求9所述的显示面板，其中，

在所述写入阶段，所述扫描信号(EM)提供低电位与所述第一薄膜晶体管的阈值电压之差大于最高灰阶的数据信号的电压。

[权利要求 16]

根据权利要求9所述的显示面板，其中，

所述像素电路包括：NMOS电路、PMOS电路或CMOS电路。

[权利要求 17]

一种像素电路基准电压的补偿方法，其特征在于，包括如下步骤：

提供如权利要求1所述的像素电路；

进入写入阶段，在所述写入阶段，所述写入信号(WR)提供高电位，所述扫描信号(EM)提供低电位，所述数据信号(Data)经过一延迟后提供高电位，所述第二薄膜晶体管(T2)、所述第三薄膜晶体管(T3)、及所述第四薄膜晶体管(T4)均打开，所述数据信号(Data)和所述参考电压(Vref)分别对第一节点(G)和第二节点(S)点写入初始电位；

进入发光阶段，在所述发光阶段，所述写入信号(WR)提供低电位，所述扫描信号(EM)提供高电位，所述数据信号(Data)经过一延迟后提供低电位，所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)关闭，且所述电源电压(VDD)开始对第二节点(S)充电，第一节点(G)的电位由于第一电容(C)的耦合而下降，所述扫描信号(EM)通过所述补偿模块将所述第一节点(G)的电位拉高，使所述基准电压V_{gs}保持不变。

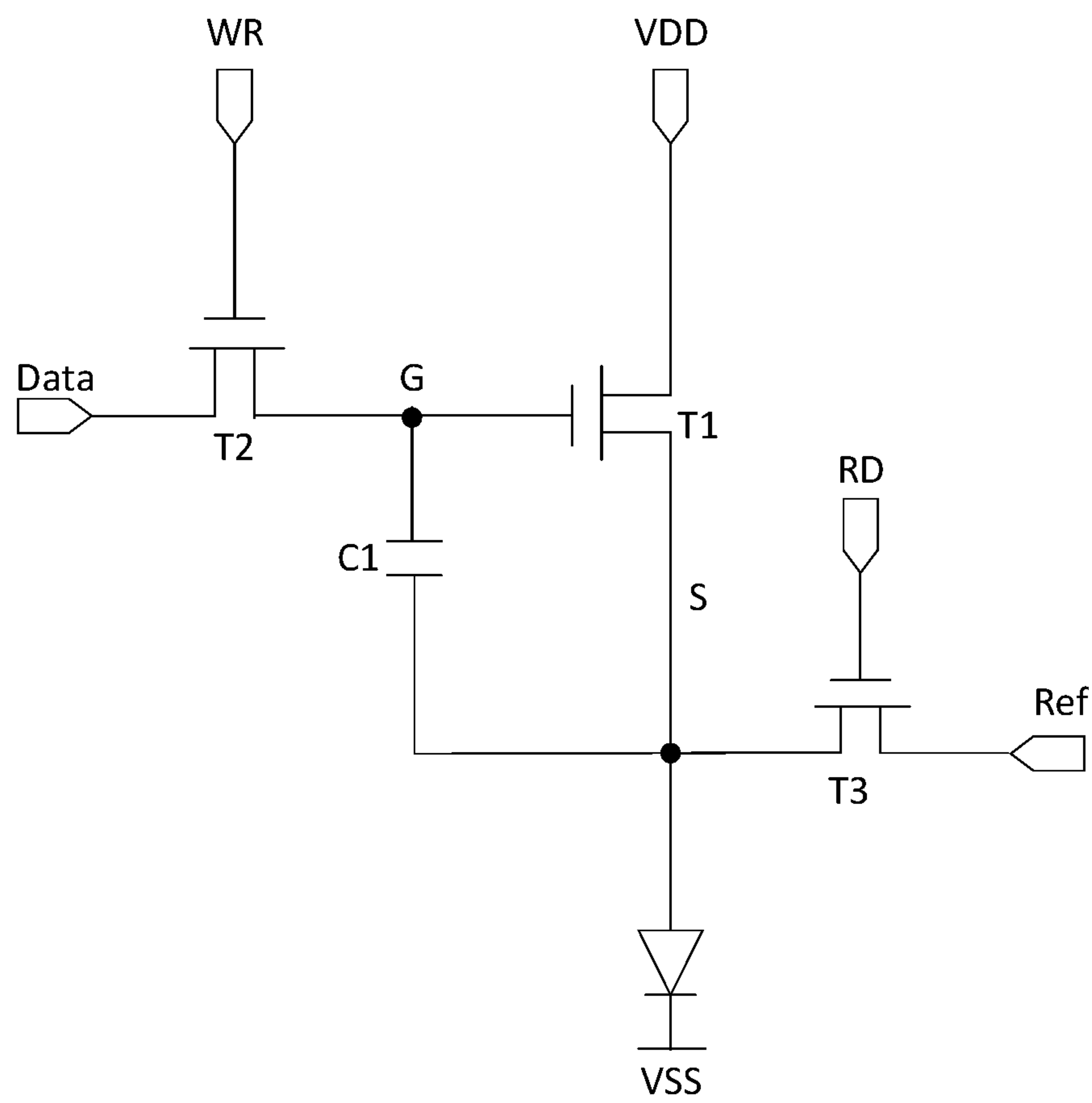


图 1

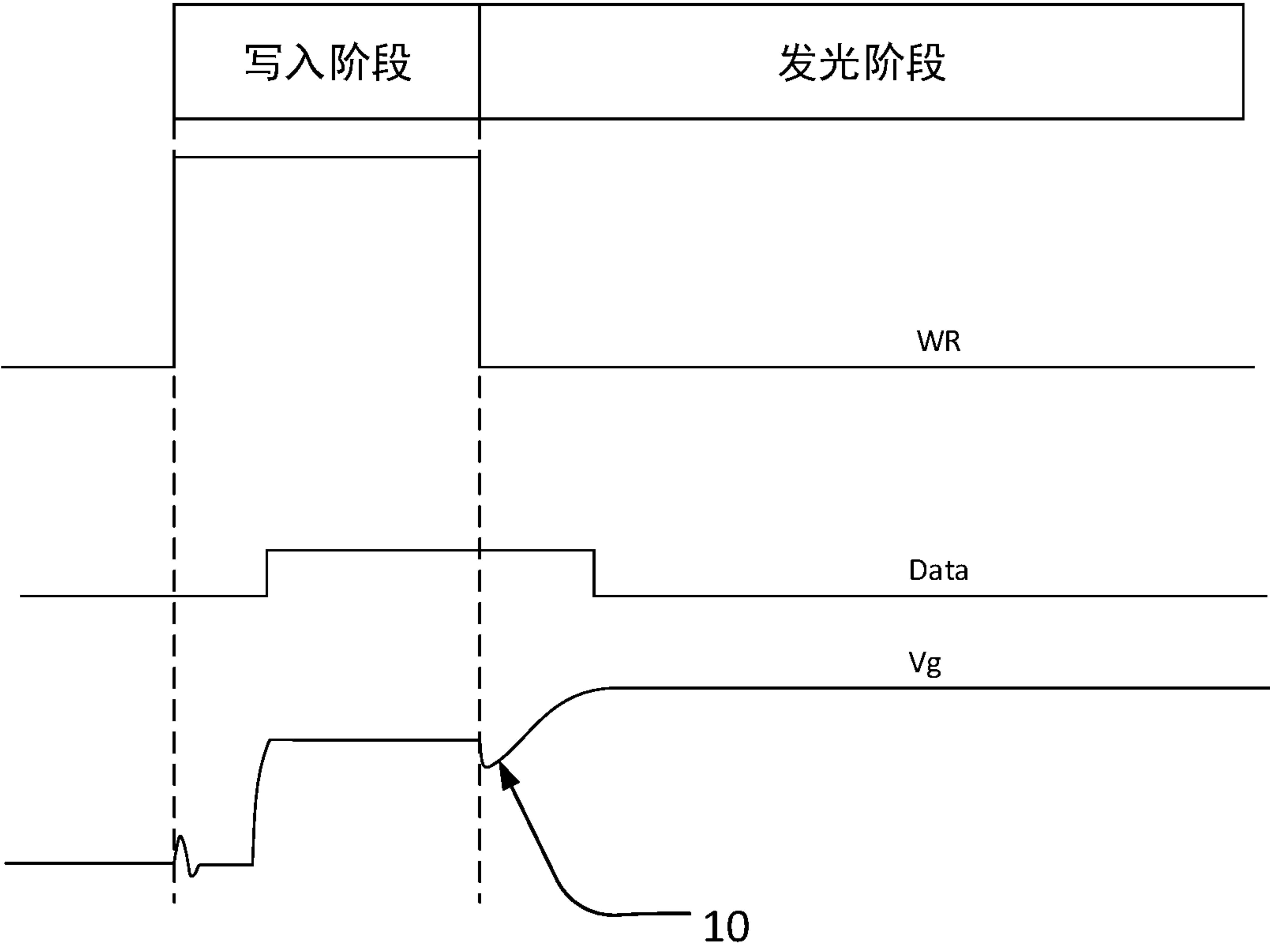


图 2

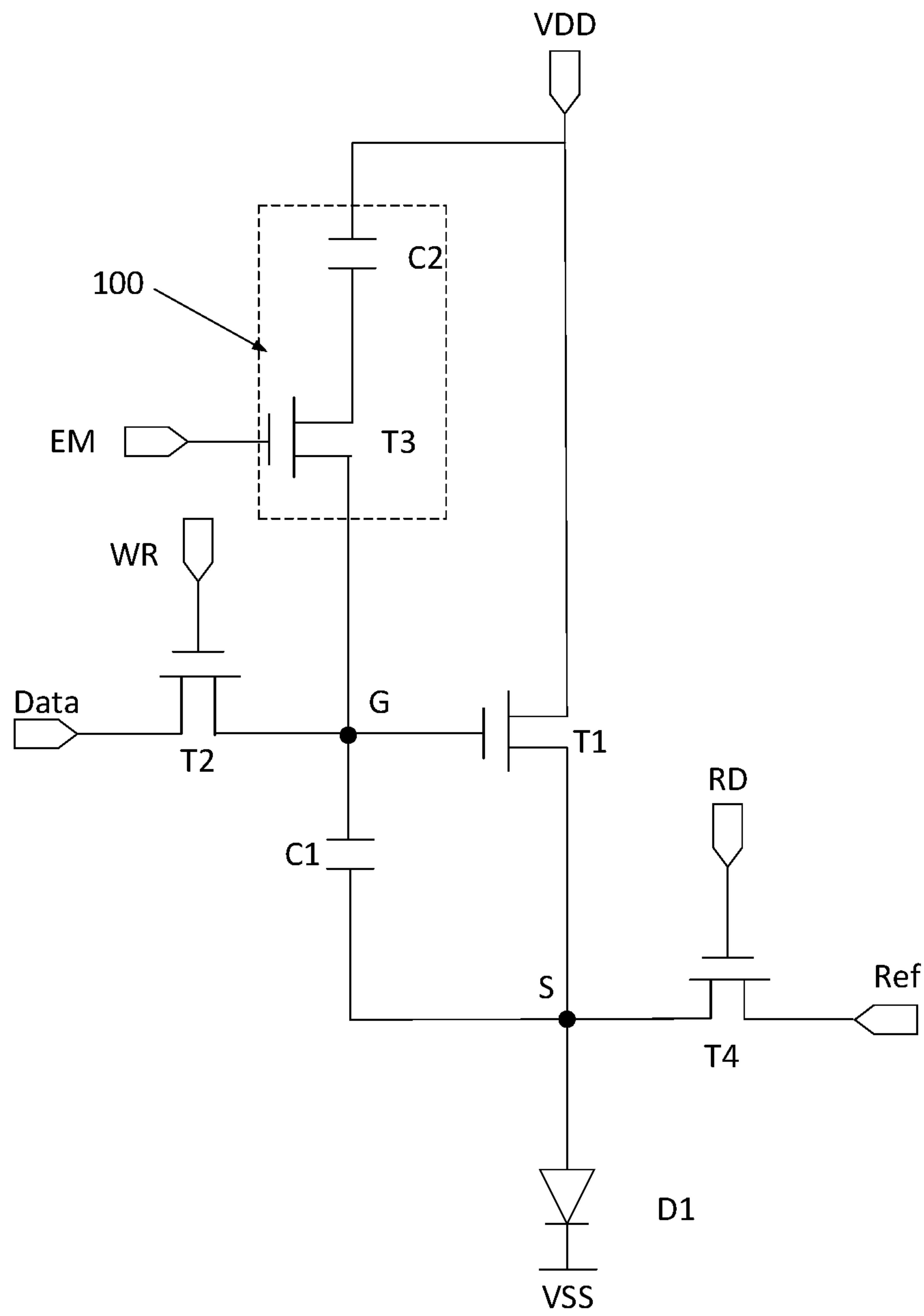


图 3

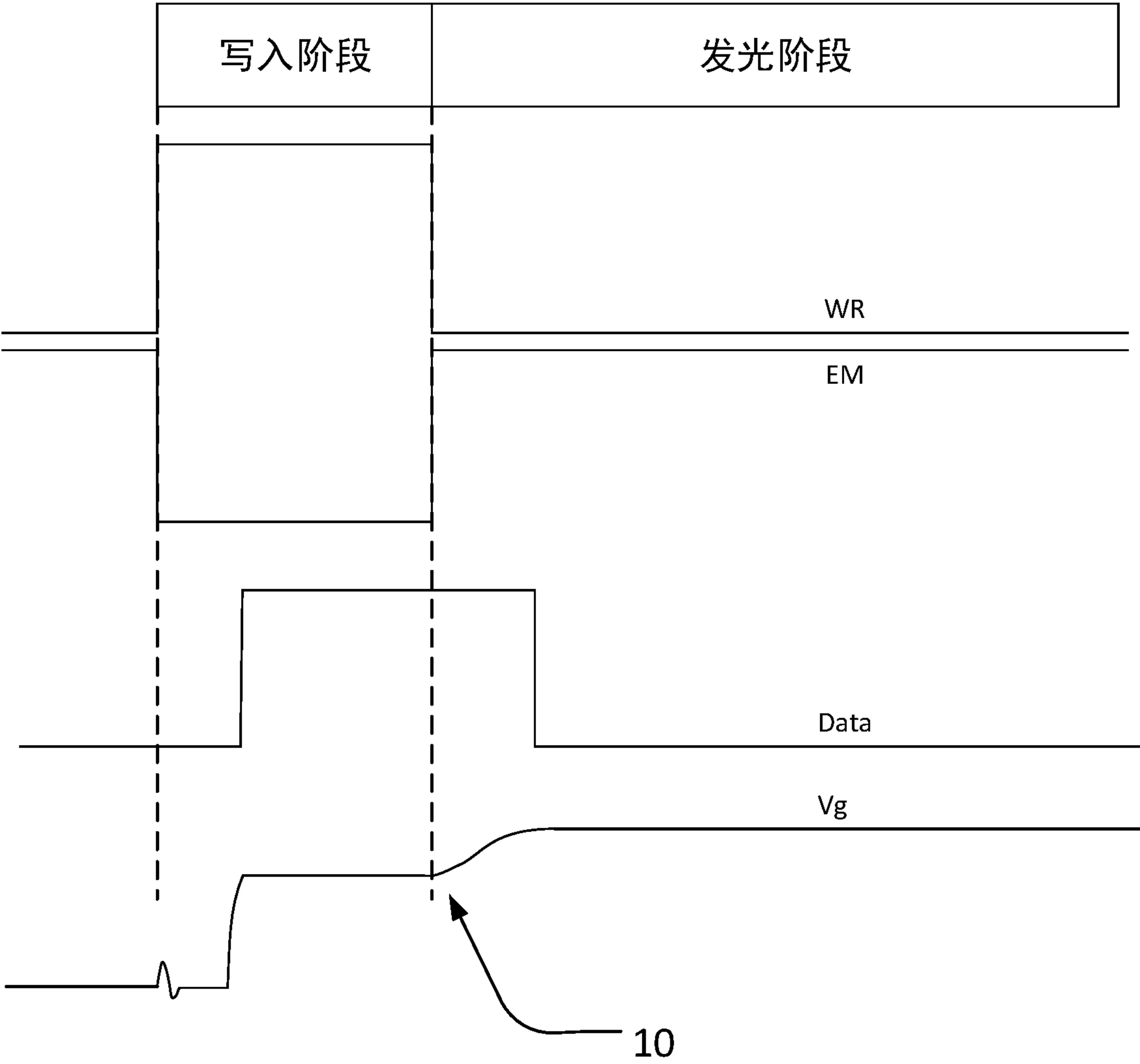


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/075594

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3225(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, WPI, EPODOC, PAJ: 像素, 电路, 均匀, 均一, 不均, 漂移, 补偿, 校正, 修复, 调整, 改善, 晶体管, 场效应管, 寄生电容, 电容, pixel?, circuit?, uniform+, excursion, compensat+, correct+, regulat+, adjust+, transistor, TFT, field effect transistor, parasitic, capacit+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110491326 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 22 November 2019 (2019-11-22) description, paragraphs 37-62, figures 1-5	1-17
A	CN 101533851 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 16 September 2009 (2009-09-16) entire document	1-17
A	CN 106782340 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 31 May 2017 (2017-05-31) entire document	1-17
A	CN 108305587 A (INNOLUX CORPORATION) 20 July 2018 (2018-07-20) entire document	1-17
A	CN 110444168 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 12 November 2019 (2019-11-12) entire document	1-17

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 September 2020	Date of mailing of the international search report 10 October 2020
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 110428779 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 08 November 2019 (2019-11-08) entire document	1-17
A	CN 109785800 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) 21 May 2019 (2019-05-21) entire document	1-17
A	US 2011156611 A1 (AU OPTRONICS CORPORATION) 30 June 2011 (2011-06-30) entire document	1-17
A	JP 2009288590 A (SONY CORP.) 10 December 2009 (2009-12-10) entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2020/075594

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110491326	A	22 November 2019	None			
CN	101533851	A	16 September 2009	KR	100911978	B1	13 August 2009
				EP	2104091	A1	23 September 2009
				CN	101533851	B	29 June 2011
				US	8310417	B2	13 November 2012
				EP	2104091	B1	26 October 2011
				JP	4871936	B2	08 February 2012
				JP	2009217237	A	24 September 2009
				US	2009225012	A1	10 September 2009
CN	106782340	A	31 May 2017	EP	3598427	A1	22 January 2020
				WO	2018166037	A1	20 September 2018
				JP	2020514821	A	21 May 2020
				CN	106782340	B	07 September 2018
				KR	20190129948	A	20 November 2019
CN	108305587	A	20 July 2018	US	2018197469	A1	12 July 2018
				US	10629119	B2	21 April 2020
CN	110444168	A	12 November 2019	None			
CN	110428779	A	08 November 2019	None			
CN	109785800	A	21 May 2019	None			
US	2011156611	A1	30 June 2011	TW	201123140	A	01 July 2011
				US	8274457	B2	25 September 2012
				TW	I397887	B	01 June 2013
JP	2009288590	A	10 December 2009	None			

国际检索报告		国际申请号 PCT/CN2020/075594
A. 主题的分类 G09G 3/3225(2016.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G; H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, WPI, EPDOC, PAJ: 像素, 电路, 均匀, 均一, 不均, 漂移, 补偿, 校正, 修复, 调整, 改善, 晶体管, 场效应管, 寄生电容, 电容, pixel?, circuit?, uniform+, excursion, compensat+, correct+, regulat+, adjust+, transistor, TFT, field effect transistor, parasitic, capacit+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 110491326 A (深圳市华星光电半导体显示技术有限公司) 2019年 11月 22日 (2019 - 11 - 22) 说明书第37-62段, 附图1-5	1-17
A	CN 101533851 A (三星移动显示器株式会社) 2009年 9月 16日 (2009 - 09 - 16) 全文	1-17
A	CN 106782340 A (深圳市华星光电技术有限公司) 2017年 5月 31日 (2017 - 05 - 31) 全文	1-17
A	CN 108305587 A (群创光电股份有限公司) 2018年 7月 20日 (2018 - 07 - 20) 全文	1-17
A	CN 110444168 A (京东方科技集团股份有限公司等) 2019年 11月 12日 (2019 - 11 - 12) 全文	1-17
A	CN 110428779 A (京东方科技集团股份有限公司等) 2019年 11月 8日 (2019 - 11 - 08) 全文	1-17
A	CN 109785800 A (北京大学深圳研究生院) 2019年 5月 21日 (2019 - 05 - 21) 全文	1-17
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2020年 9月 8日		国际检索报告邮寄日期 2020年 10月 10日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 贺晓锋 电话号码 (86-10) 62085127

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2011156611 A1 (AU OPTRONICS CORP) 2011年 6月 30日 (2011 - 06 - 30) 全文	1-17
A	JP 2009288590 A (SONY CORP) 2009年 12月 10日 (2009 - 12 - 10) 全文	1-17

国际检索报告 关于同族专利的信息				国际申请号 PCT/CN2020/075594			
检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110491326	A	2019年 11月 22日	无			
CN	101533851	A	2009年 9月 16日	KR	100911978	B1	2009年 8月 13日
				EP	2104091	A1	2009年 9月 23日
				CN	101533851	B	2011年 6月 29日
				US	8310417	B2	2012年 11月 13日
				EP	2104091	B1	2011年 10月 26日
				JP	4871936	B2	2012年 2月 8日
				JP	2009217237	A	2009年 9月 24日
				US	2009225012	A1	2009年 9月 10日
CN	106782340	A	2017年 5月 31日	EP	3598427	A1	2020年 1月 22日
				WO	2018166037	A1	2018年 9月 20日
				JP	2020514821	A	2020年 5月 21日
				CN	106782340	B	2018年 9月 7日
				KR	20190129948	A	2019年 11月 20日
CN	108305587	A	2018年 7月 20日	US	2018197469	A1	2018年 7月 12日
				US	10629119	B2	2020年 4月 21日
CN	110444168	A	2019年 11月 12日	无			
CN	110428779	A	2019年 11月 8日	无			
CN	109785800	A	2019年 5月 21日	无			
US	2011156611	A1	2011年 6月 30日	TW	201123140	A	2011年 7月 1日
				US	8274457	B2	2012年 9月 25日
				TW	I397887	B	2013年 6月 1日
JP	2009288590	A	2009年 12月 10日	无			