

(43) 国際公開日
2014 年 7 月 3 日(03.07.2014)



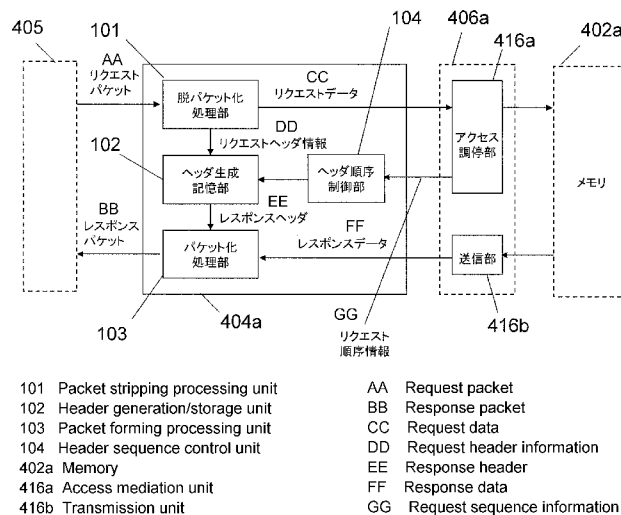
(10) 国際公開番号

WO 2014/103144 A1

- | | |
|---|---|
| <p>(51) 国際特許分類:
 G06F 12/00 (2006.01) G06F 13/36 (2006.01)
 G06F 13/16 (2006.01)</p> <p>(21) 国際出願番号: PCT/JP2013/006786</p> <p>(22) 国際出願日: 2013 年 11 月 19 日(19.11.2013)</p> <p>(25) 国際出願の言語: 日本語</p> <p>(26) 国際公開の言語: 日本語</p> <p>(30) 優先権データ:
 特願 2012-287016 2012 年 12 月 28 日(28.12.2012) JP</p> <p>(71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).</p> <p>(72) 発明者: 石井 友規 (ISHII, Tomoki). 山口 孝雄 (YAMAGUCHI, Takao). 吉田 篤 (YOSHIDA, Atsushi). 得津 寛 (TOKUTSU, Satoru). 曽我 祐紀 (SOGA, Yuuki).</p> <p>(74) 代理人: 奥田 誠司 (OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目 8 番 1 6 号 大阪証券取引所ビル 1 0 階 奥田国際特許事務所 Osaka (JP).</p> | <p>(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.</p> <p>(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).</p> <p>添付公開書類:
 — 国際調査報告 (条約第 21 条(3))</p> |
|---|---|

(54) Title: INTERFACE DEVICE AND MEMORY BUS SYSTEM

(54) 発明の名称：インタフェース装置、およびメモリバスシステム



(S7) Abstract: Provided is a technology, in a memory access system which is full-duplex connected with a network-on-chip (NoC), whereby a response packet is correctly generated even if a memory access request sequence is changed. An interface device connects a memory controller which is connected to a memory upon an NoC, and a bus network which is formed upon the integrated circuit. A memory controller mediates a processing sequence of a plurality of instances of request data. The interface device comprises: a header generation/storage unit which receives in a first sequence a plurality of request headers which are extracted from a plurality of request packets, and stores same such that each response header corresponding to each request header is read out according to the first sequence; and a header sequence control unit which controls the header generation/storage unit such that, when a plurality of instances of request data is transmitted to the memory in a second sequence, each response header is read out according to the second sequence.

(57) 要約:

[続葉有]

WO 2014/103144 A1



ネットワーク・オン・チップ（N o C）で相互接続されたメモリアクセスシステムにおいて、メモリアクセス要求の順序が変更された場合でも、応答パケットを正しく生成する技術を提供する。インタフェース装置は、N o C上のメモリに接続されたメモリコントローラと、集積回路上に形成されたバスネットワークとを接続する。メモリコントローラは、複数のリクエストデータの処理順序を調停する。インタフェース装置は、複数のリクエストパケットから抽出された複数のリクエストヘッダを第1の順序で受け取り、各リクエストヘッダに対応する各レスポンスヘッダが第1の順序に従って読み出されるよう記憶するヘッダ生成記憶部と、複数のリクエストデータが第2の順序でメモリに送信されたとき、各レスポンスヘッダが第2の順序に従って読み出されるよう、ヘッダ生成記憶部を制御するヘッダ順序制御部とを備えている。

明 細 書

発明の名称： インタフェース装置、およびメモリバスシステム 技術分野

[0001] 本願は、ネットワーク化された通信バスを備える半導体チップにおいて、通信バスの制御を行うための装置、方法及びプログラムに関する。

背景技術

[0002] 近年、SoC (System on Chip) が利用される組込機器分野や汎用プロセッサ分野において、半導体チップの高機能化への要求が高まっている。半導体チップの高機能化に伴い、チップ上の通信バスを介して転送されるデータの要求帯域が増加し、通信バスの広帯域化が必要となってきた。低いバス動作周波数で通信バスを広帯域化するため、バス配線をプロセッサ間で共用し、資源利用効率の向上が可能なネットワーク・オン・チップ (Network-on-Chip; NoC) が注目されている。

[0003] 特許文献1は、NoCを介して複数のイニシエータやメモリコントローラが相互接続された一般的なSoCの構成に於いて、所定期間内に一定レートのアクセスを保証する必要があるレート保証型のイニシエータと、メモリへのアクセス要求の頻度が不定期で予測困難なレート非保証型のイニシエータが混在する場合に、メモリアクセスの即応性を向上させる方法を開示する。

[0004] 図1は、特許文献1に記載されたSoCの構成を示す。レート保証型イニシエータ201からのアクセス要求を検出した、メモリコントローラ206のアクセス管理部203は、アクセス回数をチェックすることで、所定レート以内のアクセスか否かを判断し、その結果を記録し、管理する。アクセス調停部205は、他のイニシエータ202からのアクセス要求が無い場合にのみ、所定レート以上のレート保証型イニシエータ201からのアクセス要求を許可する。レート保証型イニシエータ201からのアクセス要求の調停前に、レート非保証型イニシエータ202からのアクセス要求を検出した場合には、アクセス調停部205は、レート保証型イニシエータ201からの

アクセス要求に関する調停順序を後回しにして、イニシエータ 202 からのアクセス要求を先に調停する。調停順序を後回しにする理由は、イニシエータ 201 は既に所定レート以上のアクセスを行っているためである。上述の処理により、イニシエータ 202 のアクセス要求に対して即応性を高めることを実現している。

先行技術文献

特許文献

[0005] 特許文献1：特許第4485574号明細書

発明の概要

発明が解決しようとする課題

[0006] メモリコントローラ内でのアクセス順序変更によるメモリアクセス効率のさらなる向上が求められている。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明の一態様は、集積回路上のメモリと接続されたメモリコントローラと、前記集積回路上に形成されたバスネットワークとを接続するためのインタフェース装置を含む。前記メモリコントローラは、複数のリクエストデータの処理順序を調停する調停部、および各リクエストデータに応答して前記メモリから出力された各レスポンスデータを前記インタフェース装置に送信する送信部を有している。前記インタフェース装置は、前記バスネットワークから受信した複数のリクエストパケットの各々に脱パケット化処理を行い、各リクエストパケットからリクエストヘッダおよびリクエストデータを抽出して出力する脱パケット化処理部と、前記脱パケット化処理部が出力した複数のリクエストヘッダを第1の順序で受け取って、各リクエストヘッダに対応するレスポンスヘッダを順に生成し、各レスポンスヘッダが前記第1の順序に従って読み出されるよう記憶するヘッダ生成記憶部と、前記リクエストデータに응答して前記メモリから出力された前記レスポンスデータ、および前記ヘッダ生成記憶部に記憶されている前記

レスポンスヘッダを利用してレスポンスパケットを生成して前記バスネットワークに送信するパケット化処理部と、前記調停部が、前記複数のリクエストデータを前記第１の順序とは異なる第２の順序で前記メモリに送信したとき、各レスポンスヘッダが前記第２の順序に従って読み出されるよう、前記ヘッダ生成記憶部を制御するヘッダ順序制御部とを備えている。

[0008] 上述の一般的かつ特定の態様は、システム、方法およびコンピュータプログラムを用いて実装され、またはシステム、方法およびコンピュータプログラムの組み合わせを用いて実現され得る。

発明の効果

[0009] 本発明の一態様にかかるインタフェース装置によれば、メモリ内でリクエスト順序の変更があった場合でも、レスポンスヘッダとレスポンスデータの対応関係が正しく保たれ、システムの動作を保証することができる。また動作周波数向上やバス幅の拡張を行わずに、メモリコントローラ内でのアクセス順序変更によるメモリアクセス効率の向上を図ることができる。また、メモリアクセス完了に先立ち、メモリコントローラからリクエスト順序の通知を受けることにより、レスポンスヘッダの検索処理及びレスポンスヘッダのルータでの処理を、メモリへのアクセス処理と並列化することでレスポンスヘッダの検索処理の遅延を隠蔽することが可能となり、イニシエータの応答性が高まる。

図面の簡単な説明

[0010] [図1]従来の技術によるS o Cの構成を示す図である。

[図2]ネットワーク・インタフェース301の内部構成、およびネットワーク・インタフェース301、メモリコントローラ302およびメモリ303との接続関係を示す図である。

[図3]S o C400の構造を示す図である。

[図4](a)～(d)は、N o C上で送受信されるパケットの種類とその構成例を示す図である。

[図5]パケットのヘッダ51の構成例を示す図である。

[図6] (A) ~ (D) は、図3に示すレート保証型のイニシエータ401aとレート非保証型のイニシエータ401bとがメモリ402aにアクセスする場合に行われるデータの処理の流れを示す図である。

[図7] 図3のメモリ側のNIC404aの構成例を示す図である。

[図8] メモリコントローラ406aに与えられる信号の種類を示す図である。

[図9] ヘッダ生成記憶部102が適用する、レスポンスパケットのヘッダの生成規則の例を示す図である。

[図10] 図6に示すタイミング図の時刻T3においてヘッダ生成記憶部102が記憶する順序リストの例を示す図である。

[図11] リクエストパケット401a1に対応するレスポンスパケット送信後の、レスポンスヘッダの順序リストを示す図である。

[図12] (A) ~ (D) は、図3に示すイニシエータ401aおよび401bがメモリ402aにアクセスする場合のメモリの動作を示す図である。

[図13] 時刻T2 (図12) における、メモリコントローラ406aで受信したリクエストパケットの管理構造例を示す図である。

[図14] リクエスト順序情報の例を示す図である。

[図15] (A) および (B) は、パケット401a2に対応するヘッダおよびパケット401b1に対応するヘッダの格納例を示す図である。

[図16] NIC404aによって実行される、リクエストパケット受信時の処理フローを示す図である。

[図17] NIC404aによって実行される、レスポンスデータ受信時の処理フローを示す図である。

[図18] NIC404aによって実行される、メモリアクセス順序の変更に伴う処理の手順を示すフローチャートである。

[図19] ヘッダ生成記憶部102における、レスポンスパケットのヘッダ格納領域のデータ構造を示す図である。

[図20] (a) はメモリアクセス完了後にリクエスト順序情報の通知を受信する例に関する、メモリコントローラ406aおよびNIC404aの動作タ

イミングを示す図であり、（b）はメモリアクセス実行に先立ってリクエスト順序情報の通知を受信する例に関する、メモリコントローラ406aおよびNIC404aの動作タイミングを示す図である。

[図21]NICの出力タイミング、NICに接続されたルータ405の出力タイミング、およびルータ405内での処理の遷移を示す図である。

[図22]レスポンスパケットのヘッダとレスポンスデータとが別個に送受信された場合の処理を示す図である。

[図23]パイプライン構成が、ルーティング処理、仮想チャネルの割当と出力スイッチの割当、スイッチングの3ステージ構成となっている3サイクルルータにおける、最適なレスポンスヘッダの出力タイミングを示す図である。

[図24]実施形態2にかかるNIC414の構成例を示す図である。

[図25]リクエスト順序を記憶するためのデータ構造の例を示す図である。

[図26]アドレスを逆変換するためのデータ構造の例を示す図である。

[図27]記憶領域の状態例を示す図である。

発明を実施するための形態

[0011] 本願発明者らは、上述した従来の構成に存在する課題を検討した。AXI、OCP、AHBなどのオンチップバス・プロトコルでインタフェースされるイニシエータやターゲットを、パケット交換ネットワークであるNoCに相互接続するには、パケット化や脱パケット化処理を行うインタフェース装置が必要である。このようなインタフェース装置は、一般的にはNIC（Network Interface Controller）と呼ばれる。

[0012] 図2は、ネットワーク・インタフェース301の内部構成、およびネットワーク・インタフェース301、メモリコントローラ302およびメモリ303との接続関係を示す。メモリコントローラ302はネットワーク・インタフェース301を介して、パケット交換ネットワークであるNoCに接続されている。またメモリコントローラ302は、メモリ303に接続される。

[0013] NoC上でのデータの送受信は全てパケット単位で行われ、リードデータ

やライトレスポンスのようなメモリからのレスポンスデータ（レスポンス情報とも呼ばれる。）は、NIC 301でパケット化されてNoC上に送出される。またライトデータやリードコマンドのようなメモリへのリクエストデータ（リクエスト情報とも呼ばれる。）はパケット化された状態でNIC 301で受信され、脱パケット化された後、メモリコントローラ302に送信される。

[0014] パケット304a、304bはメモリへのリードやライトのリクエストパケットである。パケット304aは、パケットヘッダH1とリクエストデータR1とから構成される。また、パケット304bは、パケットヘッダH2とリクエストデータR2とから構成される。パケット304a、304bはこの順でNIC 301に到着している。パケットヘッダは、送信元や宛先のNICのIDやパケットの優先度など、NoCルータがパケットの中継を行う際に必要となる情報などが格納される。

[0015] NIC 301は、リクエストパケットの脱パケット化処理を行い、リクエストデータR1を抽出して所定のオンチップバス・プロトコルに変換し、変換後のリクエストデータR1をメモリコントローラ302に送信する。続いてNIC 301は、リクエストデータR2も抽出してプロトコル変換を行い、メモリコントローラ302に送信する。メモリコントローラ302が複数のイニシエータから送信されたリクエストに関するレート制御を行うことにより、メモリ303に対して実行されるリクエストが、リクエストデータ306b、306aの順に逆転されて送信されることがある。その場合、メモリ303は到着したリクエストデータの順序にしたがってデータを読み出す。その結果、リクエストデータ306bに対応するデータ（D2）307bがまず読み出され、その後、リクエストデータ306aに対応するデータ（D1）307aが読み出される。これにより、レスポンスデータ308b、308aはこの順序で、NIC 301に到着する。つまり、リクエストデータの送信順序と、レスポンスデータの受信順序が入れ替わる。

[0016] NIC 301は、レスポンスデータをパケット化してレスポンスパケット

309b、309aを順次完成させ、近接のルータ（図示せず）に送信する。レスポンスパケット309b、309aの生成にあたっては、レスポンスデータ308b、308aにパケットヘッダH1、H2を付加する必要がある。NIC301は、リクエストパケットに付加されていたパケットヘッダH1、H2を、メモリにリクエストデータを発行した順序とともにNIC301内に記憶している。NIC301は、メモリコントローラ302を介してメモリ303から受け取ったレスポンスデータ308b、308aに、記憶していたパケットヘッダH1、H2を順に付加する。これにより、NIC301は、レスポンスパケットを完成させ近接のルータ（図示せず）に送信することができる。図2には、NIC301によって生成され、NIC301から送信されたレスポンスパケット309b、309aが示されている。

[0017] ここで留意すべきは、レスポンスパケット309aおよび309bでは、ヘッダとペイロードとの関係が適切に保たれていないことである。本来は、レスポンスパケット309b中のヘッダH1と、レスポンスパケット309a中のレスポンスデータD1とによってレスポンスパケットが構成される必要がある。同様に、レスポンスパケット309a中のヘッダH2と、レスポンスパケット309b中のレスポンスデータD2とによってレスポンスパケットが構成される必要がある。

[0018] このような不都合が生じる理由は、メモリコントローラ302内部で発生したリクエスト順序の変更に起因して、NIC301内に記憶されたレスポンスヘッダの順序と、メモリから受信するレスポンスデータの対応関係が破壊されたからである。レスポンスデータに適切なレスポンスヘッダが付加されないことにより、ヘッダ内の情報を読み取ることでパケットの中継処理を行うNoCルータの処理は破綻し、性能が保証されないばかりか、場合によってはシステムダウンをももたらす。これは、メモリへのリードの場合でも、ライトの場合でも同様に生じる。

[0019] 本願発明者らは、上述の問題を認識し、その解決を図るために本発明をなすに至った。

[0020] 本発明の一態様の概要は以下のとおりである。

[0021] 本発明の一態様であるインタフェース装置は、集積回路上のメモリに接続されたメモリコントローラと、前記集積回路上に形成されたバスネットワークとを接続するためのインタフェース装置であって、前記メモリコントローラは、複数のリクエストデータの処理順序を調停する調停部、および各リクエストデータに応答して前記メモリから出力された各レスポンスデータを前記インタフェース装置に送信する送信部を有しており、前記インタフェース装置は、前記バスネットワークから受信した複数のリクエストパケットの各々に脱パケット化処理を行い、各リクエストパケットからリクエストヘッダおよびリクエストデータを抽出して出力する脱パケット化処理部と、前記脱パケット化処理部が出力した複数のリクエストヘッダを第1の順序で受け取って、各リクエストヘッダに対応するレスポンスヘッダを順に生成し、各レスポンスヘッダが前記第1の順序に従って読み出されるよう記憶するヘッダ生成記憶部と、前記リクエストデータに応答して前記メモリから出力された前記レスポンスデータ、および前記ヘッダ生成記憶部に記憶されている前記レスポンスヘッダを利用してレスポンスパケットを生成して前記バスネットワークに送信するパケット化処理部と、前記調停部が、前記複数のリクエストデータを前記第1の順序とは異なる第2の順序で前記メモリに送信したとき、各レスポンスヘッダが前記第2の順序に従って読み出されるよう、前記ヘッダ生成記憶部を制御するヘッダ順序制御部とを備えている。

[0022] ある実施形態において、前記ヘッダ順序制御部は、前記複数のリクエストデータが前記第2の順序で送信されたことを示すリクエスト順序情報を、前記調停部から取得する。

[0023] ある実施形態において、前記調停部は、前記複数のリクエストデータが前記第2の順序で送信されたことを示すリクエスト順序情報を出力し、前記ヘッダ生成記憶部は、記憶位置に応じて読み出し順序が決定される記憶領域を有しており、前記ヘッダ順序制御部は、前記リクエスト順序情報にしたがって、前記ヘッダ生成記憶部に記憶された各レスポンスヘッダの記憶位置を変

更する。

[0024] ある実施形態において、前記調停部は、前記複数のリクエストデータが前記第2の順序で送信されたことを示すリクエスト順序情報を出し、前記ヘッダ生成記憶部は、各レスポンスヘッダと、各レスポンスヘッダの読み出し順序とを対応付けて記憶しており、前記ヘッダ順序制御部は、前記リクエスト順序情報にしたがって、前記第2記憶領域に記憶された読み出し順序を変更する。

[0025] ある実施形態において、調停された前記リクエストデータに応答して得られる前記レスポンスデータが前記パケット化処理部に取得される前に、前記ヘッダ順序制御部は前記リクエスト順序情報を取得し、各レスポンスヘッダが前記第2の順序に従って読み出されるよう、前記ヘッダ生成記憶部を制御する。

[0026] ある実施形態において、前記インタフェース装置は、前記バスネットワークに接続されたルータに前記レスポンスパケットを送信することが可能であり、調停された前記リクエストデータに応答して得られる前記レスポンスデータが前記パケット化処理部に取得される前に、前記ヘッダ順序制御部は、各レスポンスヘッダが前記第2の順序に従って読み出されるよう、前記ヘッダ生成記憶部を制御し、前記パケット化処理部は、前記レスポンスヘッダおよび前記レスポンスデータに対して前記ルータが行う処理の遅延量の情報、または、前記ルータのパイプライン処理の構成の情報に関するルータ情報を予め保持しており、前記パケット化処理部は、前記ルータに、前記レスポンスヘッダを先に送信し、その後前記ルータ情報に基づいて決定される時間間隔を開けて、前記レスポンスデータを送信する。

[0027] 本発明の他の一態様であるインタフェース装置は、集積回路上のメモリと接続されたメモリコントローラと、前記集積回路上に形成されたバスネットワークとを接続するためのインタフェース装置であって、前記バスネットワークから受信した複数のリクエストパケットの各々に脱パケット化処理を行い、各リクエストパケットからリクエストヘッダおよびリクエストデータを

抽出して出力する脱パケット化処理部と、前記脱パケット化処理部が出力した複数のリクエストヘッダを前記第1の順序で受け取って、各リクエストヘッダに対応するレスポンスヘッダを順に生成し、各レスポンスヘッダが前記第1の順序に従って読み出されるよう記憶するヘッダ生成記憶部と、前記メモリコントローラから前記メモリに送信される信号の状態を監視して、複数のリクエストデータが前記第1の順序とは異なる第2の順序で送信されたか否かを解析する解析部と、前記リクエストデータに応答して前記メモリから出力された前記レスポンスデータ、および前記ヘッダ生成記憶部に記憶されている前記レスポンスヘッダを利用してレスポンスパケットを生成して前記バスネットワークに送信するパケット化処理部と、前記解析部による解析の結果、前記複数のリクエストデータが、前記第1の順序とは異なる第2の順序で前記メモリに送信されたとき、各レスポンスヘッダが前記第2の順序に従って読み出されるよう、前記ヘッダ生成記憶部を制御するヘッダ順序制御部とを備えている。

[0028] ある実施形態において、前記複数のリクエストデータが前記第2の順序で前記メモリに送信されたことを検出したとき、前記解析部は、前記リクエスト順序情報を取得する。

[0029] 本発明のさらに他の一態様であるメモリバスシステムは、集積回路上に形成されたバスネットワークと、集積回路上に設けられたメモリと、前記集積回路上に設けられ、前記メモリと接続されたメモリコントローラと、上述のいずれかのインタフェース装置であって、前記メモリコントローラ、および前記バスネットワークを接続するインタフェース装置とを備えている。

[0030] ある実施形態において、メモリバスシステムは、前記バスネットワークに接続されたイニシエータをさらに備えており、前記イニシエータは、前記メモリへのアクセスを要求するリクエストデータを送信し、前記メモリにおける前記アクセスの結果であるレスポンスデータを受信する。

[0031] 以下、添付の図面を参照しながら、本開示による伝送装置および伝送方法の実施形態を説明する。

[0032] (実施の形態1)

図3は、SoC400の構造を示す。SoC400は、パケット交換方式のバスネットワーク（分散型バスネットワーク）450を備えた半導体の集積回路（チップ）である。SoC400では、チップ上に構築されたネットワーク450によって、複数のイニシエータ401a～401eと、複数のメモリ402a、402bとが接続されている。メモリ402a、402bに対応して、メモリコントローラ406aおよび406bも設けられている。

[0033] イニシエータ401a～401eは、プロセッサ、DSP（Digital Signal Processor）、GP（Graphic Processor）、IO（Input/Output）デバイスなどである。

[0034] 図示されるNIC、およびメモリコントローラは、それぞれがチップ（SoC400）上に構築された電子的な回路であってもよいし、SoC400の少なくとも一部を構成する所定のチップセットに統合されたチップであってもよい。NICは、特定の物理層および／またはデータリンク層を使用して通信を行うことができる。

[0035] メモリ402a、402bはイニシエータ401a～401eの各々からアクセスされる、記憶装置である。メモリは、たとえばDRAM、SRAM、EEPROM等を含む。複数の機能を系統的に組み上げることで構成されるSoCにおいては、製品機能の差別化のための独自開発のイニシエータや、他のシステムからの流用やカスタマイズにより、組み込まれるイニシエータや、市販の汎用イニシエータなどが混在する。そのため、イニシエータ毎にインタフェースされるバスプロトコルが異なるのが一般的である。メモリコントローラについても同様である。このため、SoC400上では、独自プロトコルをはじめとして、AXI、AHB、APB、OCP、PIFなどの任意のプロトコルの混在が生じる。各イニシエータやメモリは、イニシエータ側のNIC403a～403e、メモリ側のNIC404a、404b、およびメモリコントローラ406aおよび406bを介して、ルータ

で構成されるパケット交換ネットワーク450に接続される。各NICはパケット交換ネットワーク450へのバスプロトコル変換処理を行い、イニシエーターメモリ間で送受信されるメモリアクセスのデータを、パケット化／脱パケット化してNoCバスにインタフェースする。

[0036] また、要求帯域が変動する場合などは、イニシエータの変動により、メモリも用途に依存して変動し得る。つまり、イニシエータ401a～401eを除くSoC400の構成、具体的には、NICを含むパケット交換ネットワーク450と、メモリコントローラ406aおよび406bと、メモリ402a、402bとを有するシステム（メモリバスシステム）を予め用意しておき、用途に応じて適宜イニシエータを接続すればよい。SoC400のためのモジュールを提供することができ、汎用性の高い環境を提供することが可能となる。

[0037] 図4（a）～（d）は、NoC上で送受信されるパケットの種類とその構成例を示す。

[0038] 図4（a）および（b）は、ライトおよびリードの各リクエストパケットの構成例を示す。図4（a）に示すライトのリクエストパケットは、ヘッダ51aおよびリクエストデータ52aを含む。図4（b）に示すリードのリクエストパケットは、ヘッダ51bおよびリクエストデータ（リード・アドレス）52bを含む。なお、リクエストパケットにはヘッダおよびアドレスの一部を含んでもよい。たとえば、図4（a）に示されるヘッダ51aと、リクエストデータ52aに含まれるライト・アドレスとをまとめて、1つのヘッダとして設けてもよい。換言すれば、ライト・アドレスは、図4（a）および（b）に示すヘッダ51aまたは51bに含まれてもよい。

[0039] 図4（c）および（d）は、ライトおよびリードの各レスポンスパケットの構成例を示す。レスポンスパケットは、リクエストパケットに応答して実行された結果を示すデータを格納する。ライトのレスポンスパケットは、ヘッダ51cおよびレスポンスデータ（ライト・ステータス）52cを含む。リードのレスポンスパケットは、ヘッダ51dおよびリクエストデータ52

dを含む。なお、レスポンスパケットのライト・ステータスやリード・ステータスには、リード・アドレスやライト・アドレスが含まれていてもよい。アドレスを含む場合は、アドレスフィールドもレスポンスヘッダの一部として、後述する図15に示す記憶領域に記憶されることになる。

[0040] 図5は、パケットのヘッダ51の構成例を示す。ヘッダ51は、たとえばパケットIDフィールド51-1、パケット種別フィールド51-2、送信元フィールド51-3、宛先フィールド51-4、転送優先度フィールド51-5、データサイズフィールド51-6を有している。

[0041] パケットIDフィールド51-1は、NICで、送信したリクエストパケットと対応するレスポンスパケットの対応関係を管理するための、イニシエータ毎に一意的識別子である。パケット種別フィールド51-2は、該パケットがリードのリクエストかリードのレスポンスかライトのリクエストかライトのレスポンスかを示す情報である。送信元フィールド51-3や宛先フィールド51-4は、NOCルータがパケットの配送経路をルーティングする場合に必要となる、システムで一意的宛先となるイニシエータやメモリのIDである。転送優先度フィールド51-5は、よりアクセス品質が求められるイニシエータのアクセス要求を、他のイニシエータよりも優先的に行うなどの品質保証に用いるための優先度情報である。データサイズフィールド51-6は、リードするデータのサイズやライトするデータのサイズの情報である。これら以外の情報がヘッダに含まれても良い。

[0042] AV機器や携帯端末への組み込みを対象とするような大規模なSOCでは、多様な特性のイニシエータが接続される形態が一般的である。たとえば、リアルタイム系の信号処理を行うイニシエータは、所定期間内に一定レートのアクセスを保証する必要があるレート保証型のイニシエータと呼ばれる。また、たとえばウェブアクセスを行うイニシエータは、メモリへのアクセス要求の頻度が不定期で予測困難なレート非保証型のイニシエータと呼ばれる。

[0043] いま、図3に示すイニシエータ401aがレート保証型のイニシエータで

あるとし、図3に示すイニシエータ401bがレート非保証型のイニシエータであるとする。

[0044] 図6(A)～(D)は、図3に示すレート保証型のイニシエータ401aとレート非保証型のイニシエータ401bとがメモリ402aにアクセスする場合に行われるデータの処理の流れを示す。

[0045] 図6(A)は、レート保証型のイニシエータ401aに所定のレートを保証するために必要なサイクルを示す。図6(A)によれば、イニシエータ401aに所定のレートを保証するためには、メモリコントローラ406aは平均的にRサイクルに1回のメモリアクセスを実行する必要がある。

[0046] 図6(B)は、イニシエータ401aから出力されたメモリアクセスのリクエストパケットが、メモリコントローラ406aと接続されているNIC404a(図3)へ到着するタイミングを示している。リクエストパケット401a1を受信したNIC404aは、リクエストパケットの脱パケット化を行うとともに、リクエストパケットのヘッダから、レスポンスパケットに付与するためのヘッダを生成して記憶し、メモリコントローラ406aにリクエストデータを送信する。これにより、メモリアクセスが開始される。また図6(B)は、イニシエータ401aの次のリクエストパケット401a2がNIC404aに到着していることも示している。

[0047] 図6(C)は、時刻T0(図6(A))に受信されたリクエストパケット401a1に対応するメモリアクセス処理が時刻T3に完了したことを示す。これにより、メモリコントローラ406aは時刻T3には次のメモリアクセスを実行可能な状態となる。図6(B)に示す次のリクエストパケット401a2は、時刻T3より早い時点で、NIC404aに到着している。NIC404aはリクエストパケット401a2の脱パケット化を行うとともに、リクエストパケットのヘッダから、レスポンスパケットに付与するためのヘッダを生成して記憶し、メモリコントローラ406aにリクエストデータを送信する。

[0048] 図6(D)は、時刻T3より早い時点(時刻T2)で、イニシエータ40

1 bからのリクエストパケット4 0 1 b 1がN I C 4 0 4 aに到着していることを示す。N I C 4 0 4 aはリクエストパケット4 0 1 b 1の脱パケット化を行うとともに、リクエストパケットのヘッダから、レスポンスパケットに付与するためのヘッダを生成して記憶し、メモリコントローラ4 0 6 aにリクエストデータを送信する。

[0049] 上述の通り、時刻T 3に次のメモリアクセスが可能となる。しかしながらメモリコントローラ4 0 6 aは、既に2つのリクエストパケット4 0 1 a 2、4 0 1 b 1から抽出されたリクエストデータを受信しているため、どのリクエストデータを次に実行すべきかを決定する処理（調停処理）を行う。

[0050] 時刻T 0 + Rの期間内にイニシエータ4 0 1 aの次のメモリアクセスを実行すれば、イニシエータ4 0 1 aに対する所定レートは保証可能である。つまり、イニシエータ4 0 1 aに関するリクエストデータの処理を優先させなくても、まだ時間的な余裕はある。そのため時刻T 3において、メモリコントローラ4 0 6 aは、イニシエータ4 0 1 bからのリクエストパケット4 0 1 b 1から抽出されたリクエストデータを、次に実行するデータとして選択する。N I C 4 0 4 aが、メモリコントローラ4 0 6 aにリクエストデータを送信した順序は、リクエストパケット4 0 1 a 1、4 0 1 a 2、4 0 1 b 1に対応する順序である。

[0051] しかしながら、図2を参照しながら説明したように、メモリコントローラ4 0 6 aによる調停の結果、アクセス実行順序は変更される。具体的には、リクエストパケット4 0 1 a 1、4 0 1 b 1、4 0 1 a 2の順序で処理が実行される。メモリコントローラ4 0 6 aは、N I C 4 0 4 aに、リクエストパケット4 0 1 a 2によるリクエストデータと、リクエストパケット4 0 1 b 1によるリクエストデータとの間で、アクセス実行順序が変更されたことを通知する。

[0052] この通知を受けて、N I C 4 0 4 aは記憶しているレスポンスヘッダの出力順序を調整する。メモリ4 0 2 aから、メモリコントローラ4 0 6 aを介してN I C 4 0 4 aにレスポンスデータが送信される順序は、リクエストパ

ケット401a1、401b1、401a2の順序に対応する。NIC404aは、各レスポンスデータに、正しい順序でレスポンスヘッダを読み出してレスポンスパケットを完成させる。生成されたレスポンスパケットは、NIC404aに接続されたNoCルータに送信され、NoCバスを介して、イニシエータまで送信される。

[0053] 図7は、図3のメモリ側のNIC404aの構成例を示す。図7はまた、ルータ405、メモリコントローラ406a、メモリ402aの接続関係を示している。なお、NIC404aは図3におけるNIC404aに対応する。しかしながら、NIC404bの構成もまたNIC404aと同じである。本実施形態では、NIC404aを例に挙げ、メモリコントローラ406a等との間で行われる動作を説明する。

[0054] NIC404aは、脱パケット化処理部101と、ヘッダ生成記憶部102と、パケット化処理部103と、ヘッダ順序制御部104とを備えている。

[0055] (脱パケット化処理部101)

脱パケット化処理部101は、ルータ405を介してリクエストパケットを受信する。リクエストパケットは、イニシエータが送信したメモリアクセスのリクエストを含む。たとえばリクエストパケットの構成例は図4(a)または図4(b)に示す通りである。メモリへのデータの書き込み(ライト)の場合を例にとると、脱パケット化処理部101は、受信したリクエストパケットからヘッダを分離する。

[0056] 図8は、メモリコントローラ406aに与えられる信号の種類を示す。脱パケット化処理部101は、メモリコントローラのデータバス信号線にライトデータを提示し、アドレスバス信号線にアドレスを提示する。また脱パケット化処理部101は、ヘッダ内部を解析し、必要な情報を抽出して、制御信号線に提示する。例えば、図5のヘッダ51の構成例では、脱パケット化処理部101は、データサイズフィールド51-6からライトデータのサイズを抽出し、バースト転送時のサイクル数を算出して、制御信号として提示

する。また脱パケット化処理部101は、分離したリクエストパケットのヘッダ51aを、ヘッダ生成記憶部102に送信する。

[0057] (ヘッダ生成記憶部102)

図7に示すヘッダ生成記憶部102は、脱パケット化処理部101から入力されたリクエストパケットのヘッダ51a、51bから、新たなヘッダ51を生成し、記憶する。新たなヘッダ51は、該リクエストのメモリオペレーションに対応するレスポンスパケットに付与するために利用される。

[0058] 図9は、ヘッダ生成記憶部102が適用する、レスポンスパケットのヘッダの生成規則の例を示す。パケットIDフィールドは、リクエストデータとレスポンスデータのペアリングを行うための情報であるため、リクエストパケットのパケットIDがレスポンスパケットのヘッダ（レスポンスヘッダ）51cまたはレスポンスヘッダ51dに複製される。パケット種別フィールドは、リードのリクエストの場合には、リードのレスポンスを示す値に変換され、ライトのリクエストの場合には、ライトのレスポンスを示す値に変換され、それぞれレスポンスヘッダ51cまたはレスポンスヘッダ51dに格納される。

[0059] 送信元フィールドに関しては、リクエストの場合には、メモリアクセスを発行したイニシエータ側のNICのIDが格納されている。一方、レスポンスの場合には、そのイニシエータは宛先となる。そのため、ヘッダ生成記憶部102は、リクエストパケットのヘッダ（リクエストヘッダ）の送信元フィールドの情報を、レスポンスヘッダの宛先フィールドに格納する。一方、リクエストの場合には、リクエストヘッダの宛先フィールドは、メモリ側のNICのIDが格納されているが、レスポンスの場合には、該メモリは送信元となる。そのため、ヘッダ生成記憶部102は、リクエストヘッダの宛先フィールドの情報を、レスポンスヘッダの送信元フィールドに格納する。他のフィールドについても必要に応じて変換処理され、レスポンスヘッダが生成される。

[0060] ヘッダ生成記憶部102は、生成されたレスポンスパケットのヘッダを、

N I Cがリクエストパケットを受信した順に記憶する。記憶方法は、順序付きのリスト構造を用いても良い。

[0061] 図10は、図6に示すタイミング図の時刻T3においてヘッダ生成記憶部102が記憶する順序リストの例を示す。時刻T2においては、リクエストパケット401a1に対応するメモリオペレーションが実行中である。当該リクエストパケット401a1に基づいて行われたメモリ402aへのアクセス結果を、メモリ402aからのレスポンスデータとして受信する。N I C 404aでは、リクエストパケット401a1のアクセスに対応したレスポンスパケットのヘッダが、N I C 404aが次にメモリコントローラ406aから受信したレスポンスデータに付与される状態にある。

[0062] (パケット化処理部103)

再び図7を参照する。

[0063] パケット化処理部103は、メモリ側から受信したレスポンスデータに、ヘッダを付与する処理などを行い、レスポンスパケットを完成させ、N o Cバス側のルータ405に送信する。レスポンスデータに付与されたヘッダは、ヘッダ生成記憶部102から取得する。

[0064] 時刻T3において、リクエストパケット401a1に基づくメモリオペレーションが完了し、レスポンスデータが返されると、パケット化処理部103は、ヘッダ生成記憶部102からレスポンスヘッダを読み出す。上述の通り、時刻T3におけるレスポンスヘッダの記憶状況（順序リスト）は図10に示すとおりである。パケット化処理部103は、リクエストパケット401a1に対応するレスポンスパケットのためのヘッダを取得し、レスポンスパケットを完成させ、ルータ405に送出する。パケット化処理部103は、リクエストパケット401a1に対応するレスポンスパケットを送信した後に更新された、レスポンスヘッダの記憶状況（順序リスト）を更新する。図11は、リクエストパケット401a1に対応するレスポンスパケット送信後の、レスポンスヘッダの順序リストを示す。

[0065] (ヘッダ順序制御部104)

図7に示すヘッダ順序制御部104は、メモリコントローラ406aおよびメモリ402aで実行されたメモリオペレーションの順序に従って、ヘッダ生成記憶部102に記憶されているレスポンスパケットのヘッダの読み出し順序を制御する。

[0066] 図12(A)～(D)は、図3に示すイニシエータ401aおよび401bからのリクエストにしたがってメモリ402aへのアクセスが発生する場合のメモリ402aの動作を示す。特に図12(C)は、時刻T3以降のリクエストパケット401b1および401a2を示している。

[0067] 図12(C)は、メモリ402aが、時刻T3にイニシエータ401bのメモリアクセスのリクエストパケット401b1に基づく処理を実行し、該メモリアクセスを時刻T5に完了したことを示す。さらに図12(C)は、続いてイニシエータ401aのメモリアクセスのリクエストパケット401a2に基づく処理を実行し、該メモリアクセスを時刻T6に完了したことを示す。

[0068] 図7に示されるように、メモリコントローラ406aは、アクセス調停部416aおよび送信部416bを有している。

[0069] アクセス調停部416aは、複数のリクエストデータを対象として調停処理を行う。調停処理の結果、メモリアクセスのリクエストパケット401a2と401b1に基づくリクエストの実行順序が変更される。このときアクセス調停部416aは、どのように実行順序が変更されたかを示すリクエスト順序情報を入力する。ヘッダ順序制御部104は、そのリクエスト順序情報をアクセス調停部416aから取得する。

[0070] 例えば、メモリコントローラ406aのアクセス調停部416aは、NIC404aから受信するリクエストデータの順序を記憶し、調停処理によって何番目に受信したリクエストデータが何番目に実行されたかを示す情報をリクエスト順序情報として、NIC404のヘッダ順序制御部104に提供しても良い。

[0071] 送信部416bは、リクエストデータにしたがってメモリから出力された

データを、NIC 404 a のパケット化処理部 103 に転送する。

[0072] 図 13 は、時刻 T2 における、メモリコントローラ 406 a で受信したリクエストパケットの管理構造の例である。この管理構造では、NIC 404 a より既に受け付けたリクエストパケット 401 a 2、401 b 1 に対応した受付順序の情報が保持されている。

[0073] 時刻 T3 において、リクエストパケット 401 b 1 のメモリオペレーションが、リクエストパケット 401 a 2 に先立って実行されると、メモリ 402 a は、リクエストの実行順序が変更されたことを示すリクエスト順序情報をヘッダ順序制御部 104 に提供する。

[0074] 図 14 は、リクエスト順序情報の例を示す。リクエスト順序情報を取得したヘッダ順序制御部 104 は、リクエスト順序情報を参照して、時刻 T3 におけるヘッダ生成記憶部 102 内のレスポンスヘッダの、パケット化処理部 103 への出力順序を変更する。具体的な処理は以下のとおりである。なお、以下では、ヘッダ生成記憶部 102 は、その記憶位置に応じて読み出し順序が決定される記憶領域を有しているとする。

[0075] まず、図 15 (A) に示すような状態で、パケット 401 a 2 に対応するヘッダおよびパケット 401 b 1 に対応するヘッダが順に格納されている。この状態では、先頭位置に格納されたパケット 401 a 2 に対応するヘッダが先に読み出され、その後、次の位置に格納されたパケット 401 b 1 に対応するヘッダが読み出される。

[0076] ヘッダ順序制御部 104 は、リクエスト順序情報（順序リスト）を図 15 (A) の状態から図 15 (B) の状態に変更する。この処理は、ヘッダ順序制御部 104 が順序リストから、記憶されたレスポンスヘッダの先頭から 2 番目のヘッダを読み出し、先頭の位置に変更することにより、実現される。これにより、先頭位置に格納されたパケット 401 b 1 に対応するヘッダが先に読み出され、その後、次の位置に格納されたパケット 401 a 2 に対応するヘッダが読み出されることになる。

[0077] 図 16 は、NIC 404 a によって実行される、リクエストパケット受信

時の処理フローを示す。脱パケット化処理部 101 がルータからリクエストパケットを受信すると、パケットを解析し、バスを駆動して、アドレス信号、データ信号、および必要な制御信号を含むリクエストデータをメモリコントローラ 406a に送信する。ヘッダ生成記憶部 102 はレスポンスパケットのヘッダを生成し、ヘッダを記憶する。

[0078] 図 17 は、NIC 404a によって実行される、レスポンスデータ受信時の処理フローを示す。パケット化処理部 103 はメモリ 402a からメモリコントローラ 406a を介してレスポンスデータを受信する。するとパケット化処理部 103 は、ヘッダ生成記憶部 102 に記憶されている順序リストの先頭に配置されているヘッダを読み出し、レスポンスデータに付加してレスポンスパケットを生成する。その後、パケット化処理部 103 は、生成したレスポンスパケットをルータ 405 に送信する。

[0079] 図 18 は、NIC 404a によって実行される、メモリアクセス順序の変更に伴う処理フローを示す。パケット化処理部 103 はメモリ 402a からメモリコントローラ 406a を介してレスポンスデータを受信する。ヘッダ順序制御部 104 は、リクエストデータの処理順序が変更されたか否かを判定し、変更されていた場合にはリクエスト順序情報を解析してレスポンスパケットのためのヘッダ順序を調整する。具体的には、ヘッダ順序制御部 104 は、ヘッダ生成記憶部 102 に記憶されている順序リスト内のヘッダの順序を入れ替え、先に処理されたリクエストに対応するレスポンスパケット用のヘッダを順序リストの先頭に配置する。更新後のリストは引き続きヘッダ生成記憶部 102 に記憶される。

[0080] なお、リクエスト順序情報は、メモリコントローラ 406a でのリクエストデータの処理順序の変更時に NIC に通知される。通知は、メモリコントローラ 406a による調停毎に毎回行っても良いし、リクエストの実行順序に変更があった場合にのみ行っても良い。前者は、メモリコントローラ 406a のアクセス調停部 416a による調停処理は行われたが、実際に実行順序が変更されなかった場合も含む。

- [0081] またリクエストの実行順序に変更があった場合には、図 15 (A) に示す、レスポンスパケットのヘッダの順序リストのエントリーの順序を、図 15 (B) に示すように変更しても良い。または、順序リスト構造を用いず、順序情報だけを変更しても良い。図 19 を参照しながら、順序情報を変更する変形例を説明する。
- [0082] 図 19 は、ヘッダ生成記憶部 102 における、レスポンスパケットのヘッダ格納領域のデータ構造を示す。図 19 には、レスポンスヘッダを格納する記憶領域以外に、レスポンスヘッダの読み出し順序を記憶するための記憶領域が設けられている。各レスポンスヘッダとその読み出し順序の情報とが対応付けて記憶されている。なお、記憶領域が分けられていなくてもよく、各レスポンスヘッダとその読み出し順序の情報とがテーブル形式で格納されていてもよい。
- [0083] 図 19 (A) は、レスポンスデータの実行順序の変更前の順序記憶領域の状態を示す。リクエスト順序情報の取得により、実行順序が変更されたことが分かると、ヘッダ順序制御部 104 は図 19 (B) に示すように、記憶された順序の情報を変更する。レスポンスパケットのヘッダの記憶領域自体は変更されない。レスポンスパケットのヘッダの記憶領域を変更する必要がないため、変更時の処理の負荷を軽減できる。パケット化処理部 103 は、最も早い（最も小さい）実行順序が設定されたヘッダを用いて、レスポンスパケットを生成する。
- [0084] ヘッダ順序制御部 104 がレスポンスヘッダの順序を変更する処理に時間を要する場合は、リクエスト順序情報の受取を、該リクエストにかかるメモリアクセス実行の完了に先立って行っても良い。
- [0085] 図 20 (a) は、メモリアクセス完了後にリクエスト順序情報の通知を受信する例に関する、メモリコントローラ 406 a および NIC 404 a の動作タイミングを示す。図 20 (b) は、メモリアクセス実行に先立ってリクエスト順序情報の通知を受信する例に関する、メモリコントローラ 406 a および NIC 404 a の動作タイミングを示す。

- [0086] 図20(a)では、レスポンスパケットの送信開始時刻は、時刻 $T_d + X$ である。一方、図20(b)の例におけるレスポンスパケットの送信開始時刻は、図20(a)の例より X サイクル早い時刻 T_d に送信を開始できる。メモリコントローラ406aのアクセス調停部416aが時刻 T_a にリクエストの実行順序を確定すると、続いてアクセス調停部416aは時刻 T_a から T_c の期間にリクエストを実行する。即ちアクセス調停部416aはメモリ402aへのデータの読み書きのアクセス処理を行う。
- [0087] メモリコントローラ406aは、リクエストの実行の完了を待たずに、レスポンスデータの送信に先立つ時刻 T_a で、NIC404aにリクエスト順序情報を通知する。NIC404aのヘッダ順序制御部104は、時刻 T_b にリクエスト順序情報を受信すると、その時刻 T_b からレスポンスヘッダの順序変更処理を開始する。ヘッダ順序制御部104がレスポンスヘッダの順序変更処理を行うには、 X サイクルの処理時間を有するとする。この処理は、メモリコントローラ406aによるメモリ402aへのリクエストの実行と共に並列して実行することが可能である。
- [0088] リクエストの実行結果としてメモリ402aから得られたレスポンスデータは、時刻 T_d にNIC404aのパケット化処理部103に送信される。レスポンスデータを受信するとパケット化処理部103は、ヘッダ生成記憶部102の先頭の位置に存在していたレスポンスヘッダ、または最も早い実行順序であることを示すレスポンスヘッダを読み出し、レスポンスパケットを生成する。その後、パケット化処理部103は、レスポンスヘッダ、およびレスポンスデータを用いてレスポンスパケットを生成し、レスポンスパケットをルータ405に出力する。
- [0089] レスポンスパケットのルータ405への送信は時刻 T_d に開始される。時刻 T_d は、リクエスト実行の完了に伴うレスポンスデータの取得時刻である。リクエスト順序情報をレスポンスデータと同時に通知する場合と比較して、 X サイクル分の処理遅延が短縮される。
- [0090] NIC404aが、メモリコントローラ406aから、リクエスト実行の

完了のタイミングを事前に取得できる場合は、レスポンスパケットという形態ではなく、レスポンスヘッダとレスポンスデータとを別々にルータ 405 に送信してもよい。レスポンスパケット（より具体的にはレスポンスデータ）を NIC 404 a からルータ 405 に送信するタイミングに先立って、レスポンスヘッダを先にルータ 405 に送信しても良い。レスポンスヘッダを先行してルータ 405 に送信することで、ルータの処理時間によるレスポンスパケットの送信遅延を削減することが可能となる。以下、具体的に説明する。

[0091] 一般的なルータのパケット転送時の処理は、（１）ルーティング処理（RT）、（２）仮想チャネルの割当（VA）、（３）出力スイッチの割当（SA）およびスイッチング（ST）、の順序で実行される。これら３つのステージをそれぞれ１サイクルで実行するとすれば、ルータのパケット転送処理に要する時間は、合計３サイクルとなる。出力スイッチの割当とスイッチングは、レスポンスヘッダおよびレスポンスデータの双方に必要である。またルーティング処理および仮想チャネルの割当処理は、レスポンスヘッダのみで必要である。ルータ 405 はレスポンスパケット用のレスポンスヘッダを受信したタイミングから３サイクル後に、後続のルータや NIC に、ヘッダの出力を開始することが可能となる。

[0092] 図 21 は、NIC の出力タイミング、NIC に接続されたルータ 405 の出力タイミング、およびルータ 405 内での処理の遷移を示す。なお、この図の例における条件は、ヘッダが１サイクルで転送可能なサイズを有し、レスポンスデータが２サイクルで転送可能なサイズを有し、レスポンスパケット全体は３サイクルで転送可能なサイズを有するとしている。

[0093] 図 21 に示すように、まず時刻 t_3 にレスポンスヘッダ H が NIC 404 a から出力される。SoC システム 400（図 3）においては、NIC 404 a からのレスポンスヘッダ H の出力は、レスポンスヘッダ H が時刻 t_3 にルータ 405 に注入されることを意味している。続いて時刻 t_4 および t_5 に、２サイクル分のレスポンスデータ P が注入されている。ここでいう「注

入される」という語は、ルータ405がレスポンスヘッダHを表す信号を内部に取り込んでいることを意味する。NIC404aが、ルータ405に接続される信号線に上記信号を載せたタイミングで、信号はルータ405に到着する。ルータ405がその信号を内部に取り込んでいない場合には、その信号はまだルータ405には注入されていないことになる。図21の時刻t3では、NICがレスポンスヘッダHの信号を信号線に載せ、同じタイミングでルータがその信号を内部に取り込んでいることを示している。その結果、次のサイクルである時刻t4で、ルータ405は取り込んだ信号を用いてRTのステージを実行することができる。

[0094] ルータ405は3サイクルかけてレスポンスヘッダHの処理を行い、続いて2サイクルかけてレスポンスデータPの処理を行う。これがルータ405における処理遅延となる。この処理遅延のため、レスポンスパケットがルータ405から出力されるタイミングは、時刻t6から時刻t8となる。レスポンスヘッダHがNICから出力された時刻t3を起点とすると、3サイクルの転送遅延が発生している。つまり、ルータ405はレスポンスパケット用のレスポンスヘッダを受信したタイミングから3サイクル後の時刻t6から、後続のルータやNICに、レスポンスパケットの出力を開始することが可能となる。

[0095] 次に、上述したように、NICがレスポンスヘッダとレスポンスデータとを別々にルータに送信した例を考える。以下に説明する図22および27の例は、図22の例と同様、時刻t4においてレスポンスデータがNICから出力され、ルータに到着するという点で条件を揃えて説明している。

[0096] 図22は、レスポンスパケットのヘッダとレスポンスデータとが別個に送受信された場合の処理を示す。

[0097] この例では、NIC404aは時刻t0において、レスポンスデータの出力予定時刻（本例では時刻t4）を知らせる通知を出力する。その通知は、同時刻にルータ405に到着する。これにより、ルータ405は、レスポンスデータの受取に先立って、その到着予定時刻を、時刻t0で検出すること

が可能となる。

[0098] N I C 4 0 4 a は、時刻 t_4 にレスポンスデータをルータ 4 0 5 に注入することを踏まえ、レスポンスデータに付与するレスポンスヘッダを、時刻 t_4 の 3 サイクル前である時刻 t_1 の時点でルータ 4 0 5 に注入する。時刻 t_1 においてレスポンスヘッダを受信したルータ 4 0 5 は、該レスポンスパケットに対するルーティング処理、仮想チャネルの割当、出力スイッチの割当とスイッチングによるレスポンスヘッダの転送を 3 サイクルかけて実行する。そしてルータ 4 0 5 は、時刻 t_4 にレスポンスヘッダを後続のルータ 4 0 5 または N I C に転送する。

[0099] 上述の処理を行っている時刻 t_4 になると、ルータ 4 0 5 は N I C 4 0 4 a からレスポンスデータを受け取る。そして時刻 t_5 にもさらにレスポンスデータを受け取る。時刻 t_4 までに既にルータ 4 0 5 はルーティング処理、仮想チャネルの割当、出力スイッチの割当とスイッチングによるレスポンスヘッダの処理が完了している。よって、これらのレスポンスデータは、レスポンスヘッダ H に続いて、時刻 t_5 、 t_6 に出力される。

[0100] 図 2 1 の例では、時刻 t_6 から時刻 t_8 の区間に、ルータ 4 0 5 からレスポンスパケットが出力される。

[0101] しかしながら、図 2 2 に示す例のように、レスポンスヘッダを事前にルータ 4 0 5 に注入しておくことにより、ルータ 4 0 5 はレスポンスパケットの出力を時刻 t_4 から開始することが可能となり、時刻 t_6 において出力が完了する。つまり、図 2 1 の例と比較して、本例の構成によれば、2 サイクルの処理遅延が全てのレスポンスパケットに関して削減され、即応性が高まる効果が得られる。

[0102] N I C 4 0 4 a は、メモリコントローラ 4 0 6 a からリクエスト実行完了のタイミングを事前に取得できない場合がある。その場合には、N I C 4 0 4 a からルータ 4 0 5 へのレスポンスヘッダの出力タイミングは、メモリコントローラからリクエスト順序情報を受けたタイミング、即ち、図 2 0 (b) の時刻 T_b で示されるタイミングで行っても良い。メモリコントローラか

らリクエスト実行完了のタイミングを事前に取得できる場合には、リクエスト実行完了のタイミングと、NIC 404aに接続されたルータ405の処理遅延とパイプライン構成によって最適なタイミングの値を決定してもよい。最適な値は、レスポンスヘッダとレスポンスデータとが連続してルータ405から出力され、レスポンスデータの注入開始が可能となる時刻までにレスポンスデータのルータ405での転送準備が完了しているタイミングとすればよい。図22では2サイクルの間隔に制御すればよい。これにより、後続のルータの仮想チャネル内にレスポンスヘッダだけが滞留し、該レスポンスヘッダに対応するレスポンスデータが到着しない状態を抑制可能となり、帯域利用効率を向上させつつ、レスポンスパケットの転送処理遅延を削減する効果が得られる。

[0103] 図23は、パイプライン構成が、ルーティング処理、仮想チャネルの割当と出力スイッチの割当、スイッチングの3ステージ構成となっている3サイクルルータにおける、最適なレスポンスヘッダの出力タイミングを示す。このような3サイクルルータを用いる場合には、図23に示すように、レスポンスデータの送信に先立ち、レスポンスヘッダを1サイクル前に出力するタイミングが最適となる。

[0104] (実施の形態2)

実施の形態1では、メモリコントローラがリクエスト順序情報を出力し、NICがその情報を取得するとして説明した。しかしながら、リクエスト順序情報を提供するための仕組みを持たないメモリコントローラを用いる場合、NICはリクエスト順序情報を取得することができない。

[0105] 本実施の形態2では、そのようなメモリコントローラを使用した場合であっても、NICがリクエストデータの順序変更を検出することが可能な構成に関する。具体的には、メモリコントローラからメモリモジュールに提示される信号の状態を検出し、メモリコントローラを介さずに、リクエストデータの順序変更を検出する。

[0106] 図24は、本実施形態にかかるNIC 414の構成例を示す。NIC 41

4は、リクエスト順序情報を生成するためのリクエスト順序解析部2001を有している点において、実施の形態1のNIC404a、404bと相違している。実施の形態1のNIC404a等と同じ機能および構成を有する構成要素には、と同じ番号を付している。そして、以下では、異なる動作を中心に説明する。

[0107] なお、以下ではNIC414は図7のNIC404aに対応するとして説明しているが、実施形態1と同様、NIC404bとして利用することも可能である。

[0108] (リクエスト順序解析部)

リクエスト順序解析部2001は、メモリコントローラ426からメモリ402aに送信される信号の状態を監視する。具体的には、メモリコントローラ426からメモリ402aに提示されるアドレス情報を監視する。その結果、リクエスト順序解析部2001は、メモリコントローラ426からメモリ402aに発行されたリクエストデータを特定することができる。このリクエストデータとは、たとえば行アドレス、列アドレス、バンク番号、リード／ライトの情報である。これらに基づいて、リクエスト順序解析部2001は、リクエストの順序を示すリクエスト順序情報を構築し、ヘッダ順序制御部104に提供する。NIC414の脱パケット化処理部101で脱パケット化され、メモリコントローラ106に送出されるリクエストデータから、リクエスト順序の特定に要する情報を分離し記憶する。

[0109] 図25は、リクエスト順序を記憶するためのデータ構造の例を示す。NIC414からメモリコントローラ426に、リクエストデータが転送された順序に従ってアドレスやリード／ライトの種別の情報が記憶される。

[0110] リクエスト順序解析部2001は、メモリコントローラ426から、メモリ402aに提示されるアドレスストロブ信号に基づいて、行アドレス、列アドレス、バンク番号、リード／ライトの情報を監視し、アドレス逆変換を行うことにより、リクエストデータに含まれるアドレス情報とリード／ライトの種別を特定する。

[0111] 図26は、アドレスを逆変換するためのデータ構造の例を示す。アドレスの逆変換は、メモリコントローラ内でリクエストデータに含まれるアクセス先のアドレスから、メモリの行アドレス、列アドレスに変換する処理と逆の処理であり、変換ロジックとして実装されてもよい。監視した結果得られた行アドレスが80h、列アドレスが00h、メモリへのライトを示す場合、図26のアドレスの逆変換処理を行うことにより、リクエストデータでのアクセス対象アドレスは、8000hとなる。図25を参照することにより、リクエスト順序2のリクエストデータがメモリ2002に発行されたことが分かり、リクエスト順序解析部2001において、リクエスト順序の変更が検出できる。このとき、リクエスト順序解析部2001は、図14に示すリクエスト順序情報を生成し、ヘッダ順序制御部104に送信する。図27は、記憶領域の状態を示す。図25に示した記憶領域の状態は、図27に示すように変更される。

産業上の利用可能性

[0112] 本発明の一態様にかかるインタフェース装置は、組込機器向けのSOCにおけるオンチップバスや、汎用プロセッサ、DSP上のローカルバスにおける、バスとメモリとのインタフェース装置(NIC)として利用可能である。また、当該インタフェース装置の動作方法、制御方法は、インタフェースの処理方法、インタフェース装置の制御プログラムとして利用可能である。

符号の説明

- [0113]
- 101 脱パケット化処理部
 - 102 ヘッダ生成記憶部
 - 103 パケット化処理部
 - 104 ヘッダ順序制御部
 - 105 ルータ
 - 106 メモリコントローラ
 - 201 レート保証型イニシエータ
 - 202 レート非保証型イニシエータ

- 203 アクセス管理部
- 204 アクセス管理部
- 205 アクセス調停部
- 206 メモリコントローラ
- 207 メモリ
- 301 ネットワーク・インタフェース・コントローラ (NIC)
- 302 メモリコントローラ
- 303 メモリ
- 304-306 リクエストデータ
- 307-309 レスポンスデータ
- 401 イニシエータ
- 402、402a メモリ
- 403 イニシエータ側のネットワーク・インタフェース・コントローラ (NIC)
- 404、414 メモリ側のネットワーク・インタフェース・コントローラ (NIC)
- 405 ルータ
- 450 ネットワーク
- 2001 リクエスト順序解析部

請求の範囲

[請求項1] 集積回路上のメモリに接続されたメモリコントローラと、前記集積回路上に形成されたバスネットワークとを接続するためのインタフェース装置であって、

前記メモリコントローラは、複数のリクエストデータの処理順序を調停する調停部、および各リクエストデータに応答して前記メモリから出力された各レスポンスデータを前記インタフェース装置に送信する送信部を有しており、

前記インタフェース装置は、

前記バスネットワークから受信した複数のリクエストパケットの各々に脱パケット化処理を行い、各リクエストパケットからリクエストヘッダおよびリクエストデータを抽出して出力する脱パケット化処理部と、

前記脱パケット化処理部が出力した複数のリクエストヘッダを第1の順序で受け取って、各リクエストヘッダに対応するレスポンスヘッダを順に生成し、各レスポンスヘッダが前記第1の順序に従って読み出されるよう記憶するヘッダ生成記憶部と、

前記リクエストデータに応答して前記メモリから出力された前記レスポンスデータ、および前記ヘッダ生成記憶部に記憶されている前記レスポンスヘッダを利用してレスポンスパケットを生成して前記バスネットワークに送信するパケット化処理部と、

前記調停部が、前記複数のリクエストデータを前記第1の順序とは異なる第2の順序で前記メモリに送信したとき、各レスポンスヘッダが前記第2の順序に従って読み出されるよう、前記ヘッダ生成記憶部を制御するヘッダ順序制御部と

を備えたインタフェース装置。

[請求項2] 前記ヘッダ順序制御部は、前記複数のリクエストデータが前記第2の順序で送信されたことを示すリクエスト順序情報を、前記調停部か

ら取得する、請求項 1 に記載のインタフェース装置。

[請求項3] 前記調停部は、前記複数のリクエストデータが前記第 2 の順序で送信されたことを示すリクエスト順序情報を出力し、

前記ヘッダ生成記憶部は、記憶位置に応じて読み出し順序が決定される記憶領域を有しており、

前記ヘッダ順序制御部は、前記リクエスト順序情報にしたがって、前記ヘッダ生成記憶部に記憶された各レスポンスヘッダの記憶位置を変更する、請求項 1 に記載のインタフェース装置。

[請求項4] 前記調停部は、前記複数のリクエストデータが前記第 2 の順序で送信されたことを示すリクエスト順序情報を出力し、

前記ヘッダ生成記憶部は、各レスポンスヘッダと、各レスポンスヘッダの読み出し順序とを対応付けて記憶しており、

前記ヘッダ順序制御部は、前記リクエスト順序情報にしたがって、前記第 2 記憶領域に記憶された読み出し順序を変更する、請求項 1 に記載のインタフェース装置。

[請求項5] 調停された前記リクエストデータに応答して得られる前記レスポンスデータが前記パケット化処理部に取得される前に、前記ヘッダ順序制御部は前記リクエスト順序情報を取得し、各レスポンスヘッダが前記第 2 の順序に従って読み出されるよう、前記ヘッダ生成記憶部を制御する、請求項 2 に記載のインタフェース装置。

[請求項6] 前記インタフェース装置は、前記バスネットワークに接続されたルータに前記レスポンスパケットを送信することが可能であり、

調停された前記リクエストデータに応答して得られる前記レスポンスデータが前記パケット化処理部に取得される前に、前記ヘッダ順序制御部は、各レスポンスヘッダが前記第 2 の順序に従って読み出されるよう、前記ヘッダ生成記憶部を制御し、

前記パケット化処理部は、前記レスポンスヘッダおよび前記レスポンスデータに対して前記ルータが行う処理の遅延量の情報、または、

前記ルータのパイプライン処理の構成の情報に関するルータ情報を予め保持しており、

前記パケット化処理部は、前記ルータに、前記レスポンスヘッダを先に送信し、その後前記ルータ情報に基づいて決定される時間間隔を開けて、前記レスポンスデータを送信する、請求項 1 に記載のインタフェース装置。

[請求項 7]

集積回路上のメモリと接続されたメモリコントローラと、前記集積回路上に形成されたバスネットワークとを接続するためのインタフェース装置であって、

前記バスネットワークから受信した複数のリクエストパケットの各々に脱パケット化処理を行い、各リクエストパケットからリクエストヘッダおよびリクエストデータを抽出して出力する脱パケット化処理部と、

前記脱パケット化処理部が出力した複数のリクエストヘッダを前記第 1 の順序で受け取って、各リクエストヘッダに対応するレスポンスヘッダを順に生成し、各レスポンスヘッダが前記第 1 の順序に従って読み出されるよう記憶するヘッダ生成記憶部と、

前記メモリコントローラから前記メモリに送信される信号の状態を監視して、複数のリクエストデータが前記第 1 の順序とは異なる第 2 の順序で送信されたか否かを解析する解析部と、

前記リクエストデータに応答して前記メモリから出力された前記レスポンスデータ、および前記ヘッダ生成記憶部に記憶されている前記レスポンスヘッダを利用してレスポンスパケットを生成して前記バスネットワークに送信するパケット化処理部と、

前記解析部による解析の結果、前記複数のリクエストデータが、前記第 1 の順序とは異なる第 2 の順序で前記メモリに送信されたとき、各レスポンスヘッダが前記第 2 の順序に従って読み出されるよう、前記ヘッダ生成記憶部を制御するヘッダ順序制御部と

を備えたインタフェース装置。

[請求項8] 前記複数のリクエストデータが前記第2の順序で前記メモリに送信されたことを検出したとき、前記解析部は、前記リクエスト順序情報を取得する、請求項7に記載のインタフェース装置。

[請求項9] 集積回路上に形成されたバスネットワークと、
集積回路上に設けられたメモリと、
前記集積回路上に設けられ、前記メモリと接続されたメモリコントローラと、

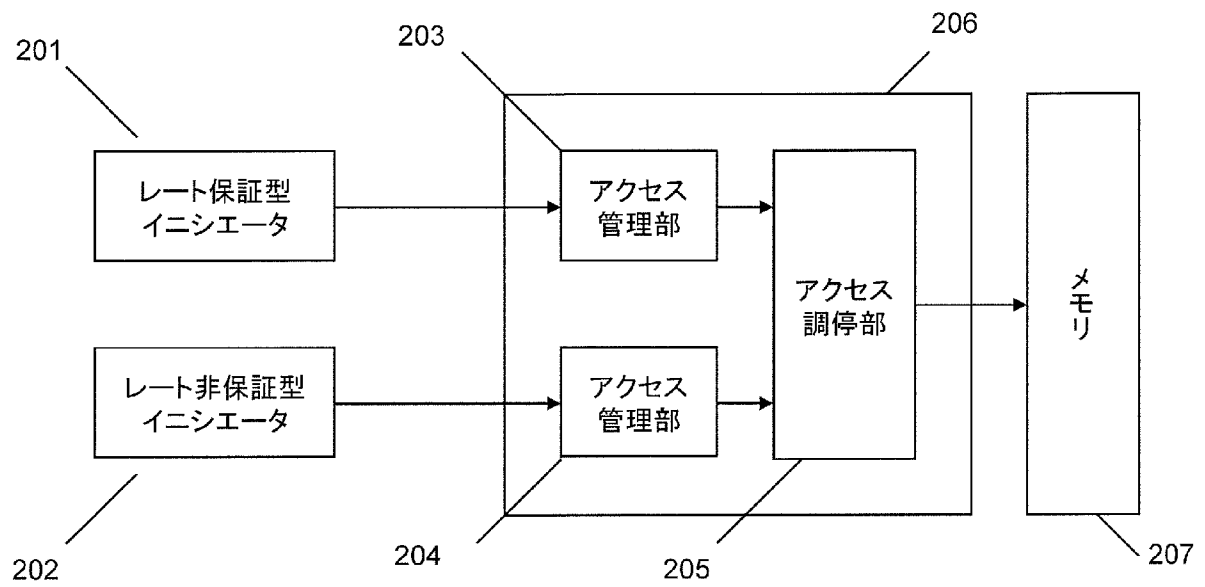
請求項1から8のいずれかに記載のインタフェース装置であって、
前記メモリコントローラ、および前記バスネットワークを接続するインタフェース装置と

を備えた、メモリバスシステム。

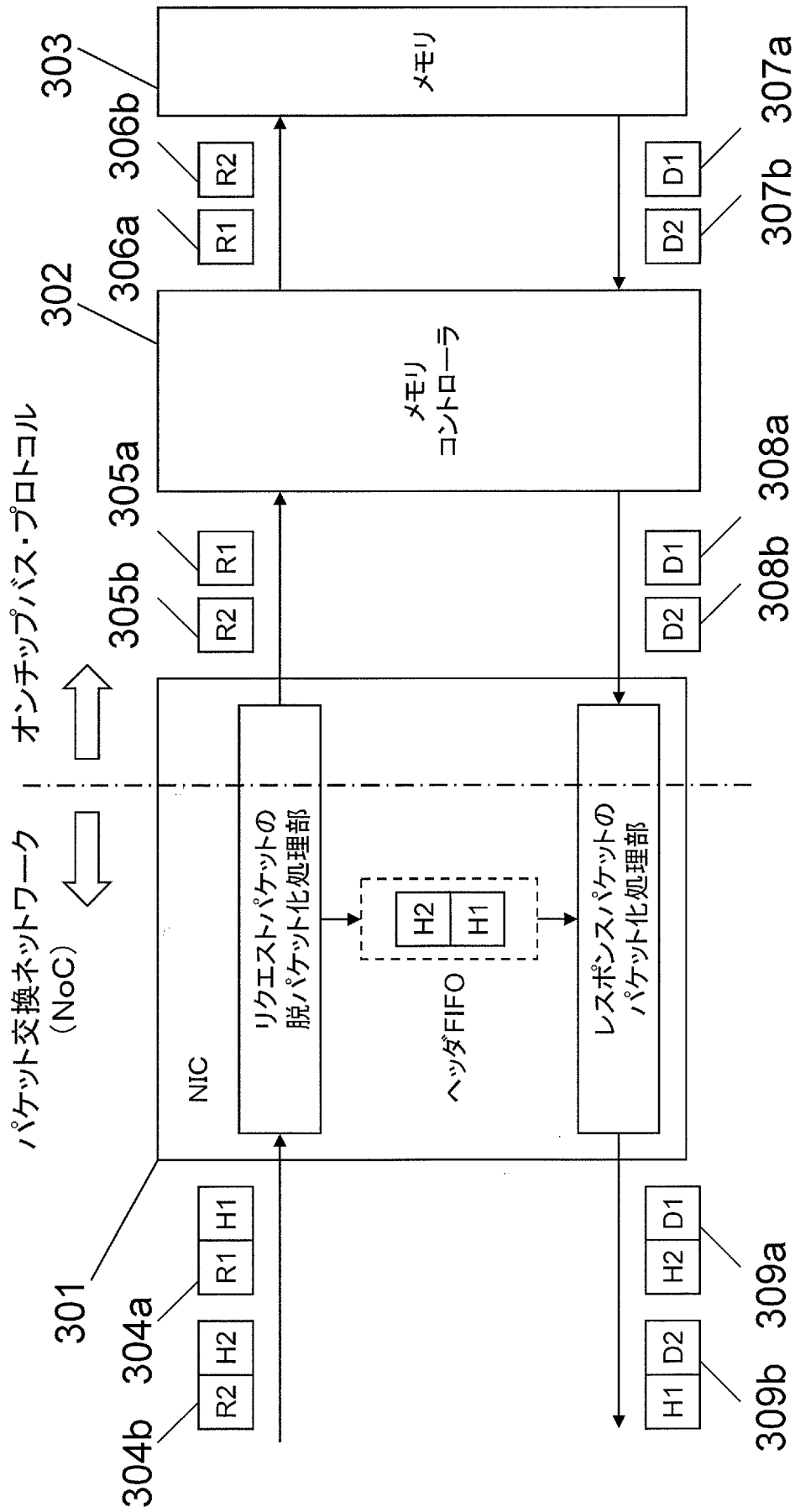
[請求項10] 前記バスネットワークに接続されたイニシエータをさらに備えており、

前記イニシエータは、前記メモリへのアクセスを要求するリクエストデータを送信し、前記メモリにおける前記アクセスの結果であるレスポンスデータを受信する、請求項9に記載のメモリバスシステム。

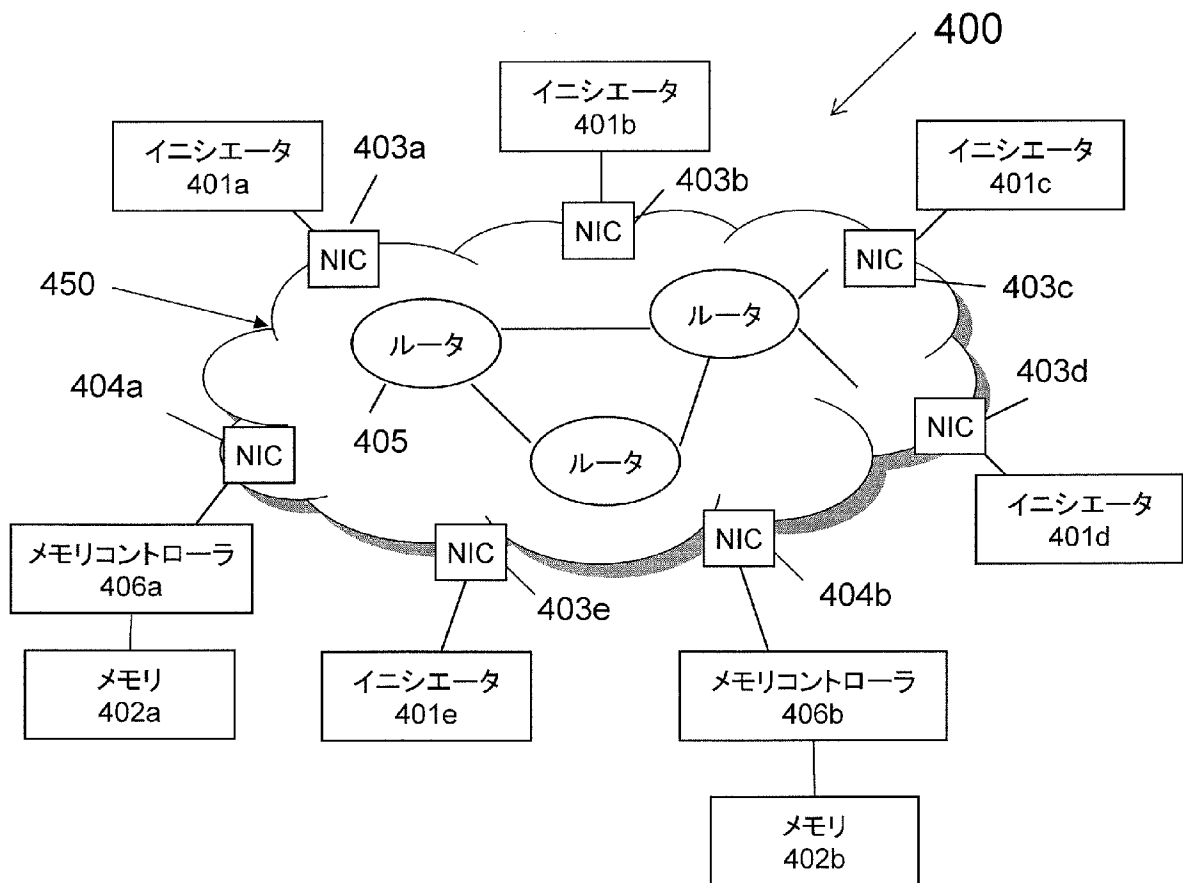
[図1]



[図2]

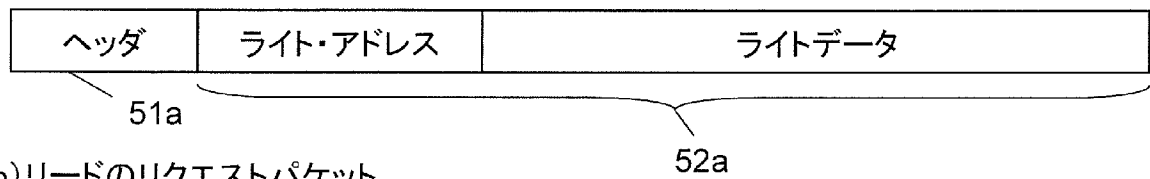


[図3]

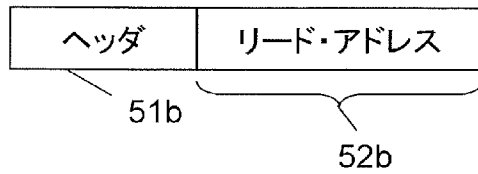


[図4]

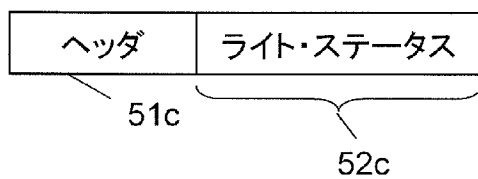
(a)ライトのリクエストパケット



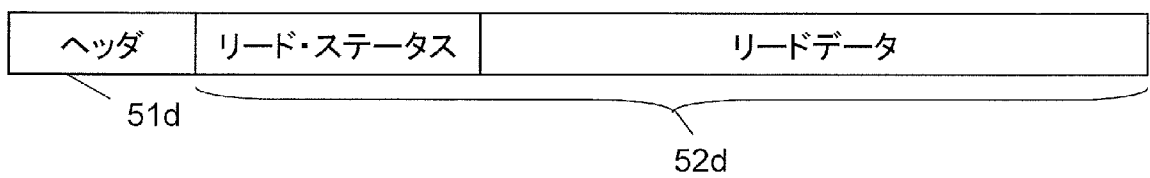
(b)リードのリクエストパケット



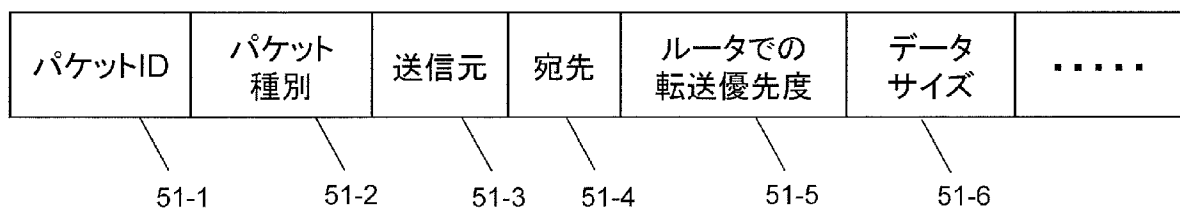
(c)ライトのレスポンスパケット



(d)リードのレスポンスパケット

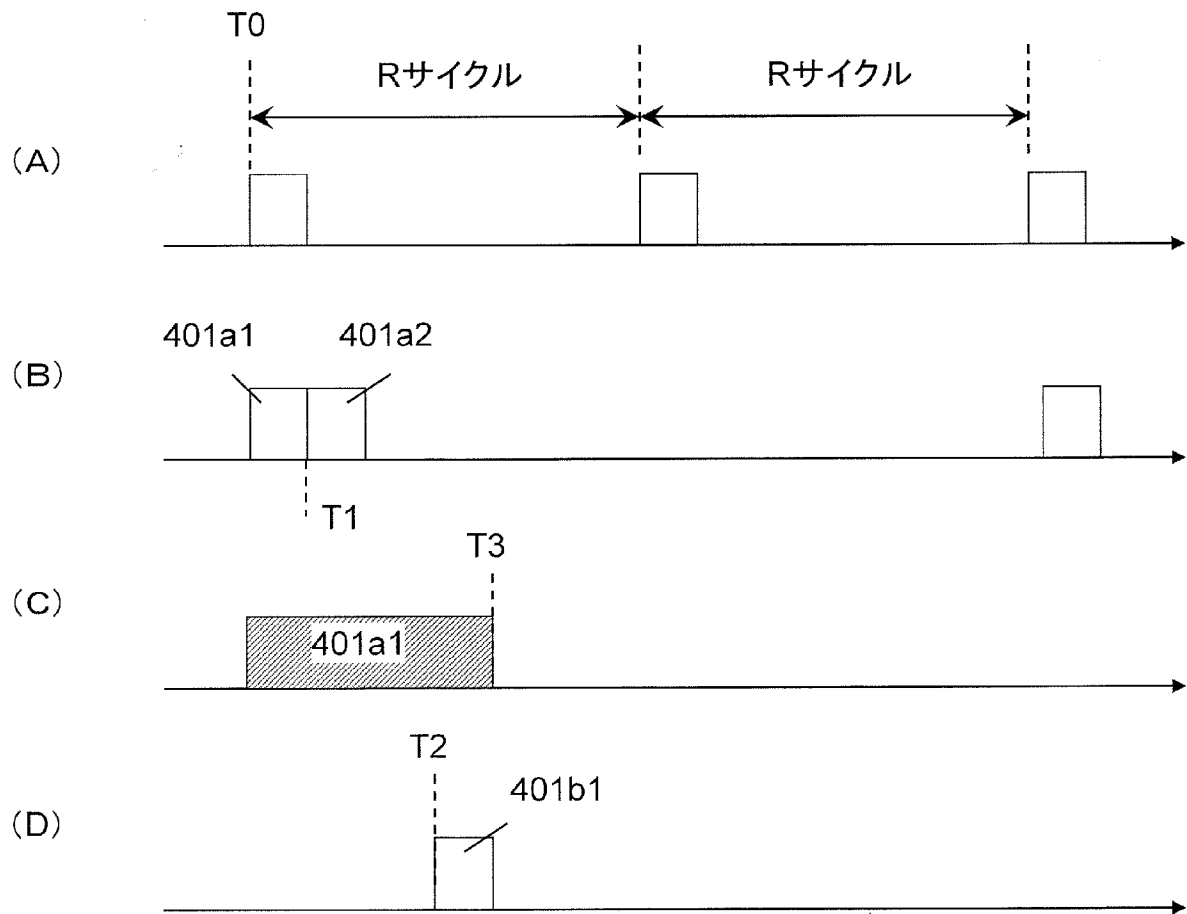


[図5]

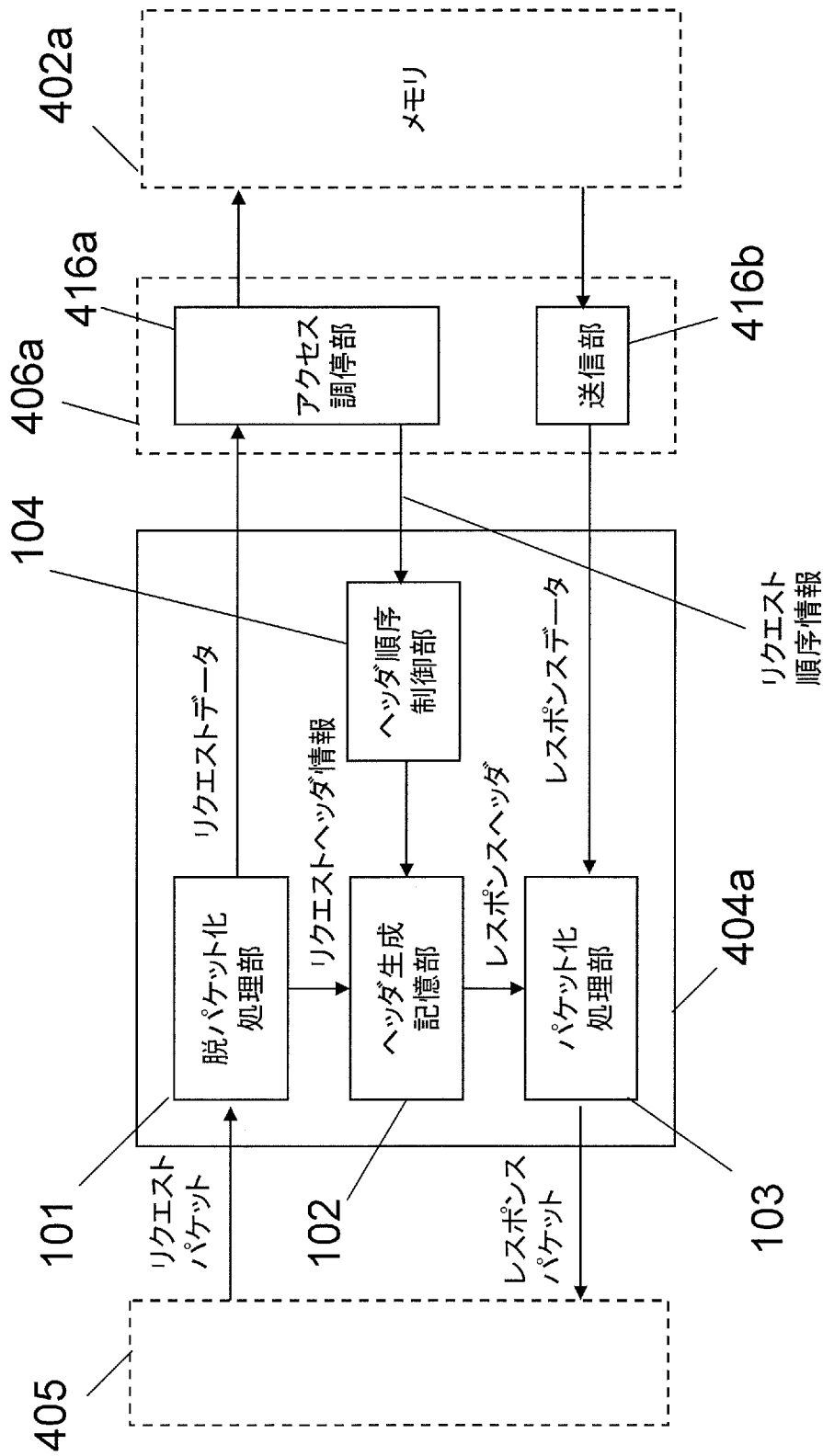


51

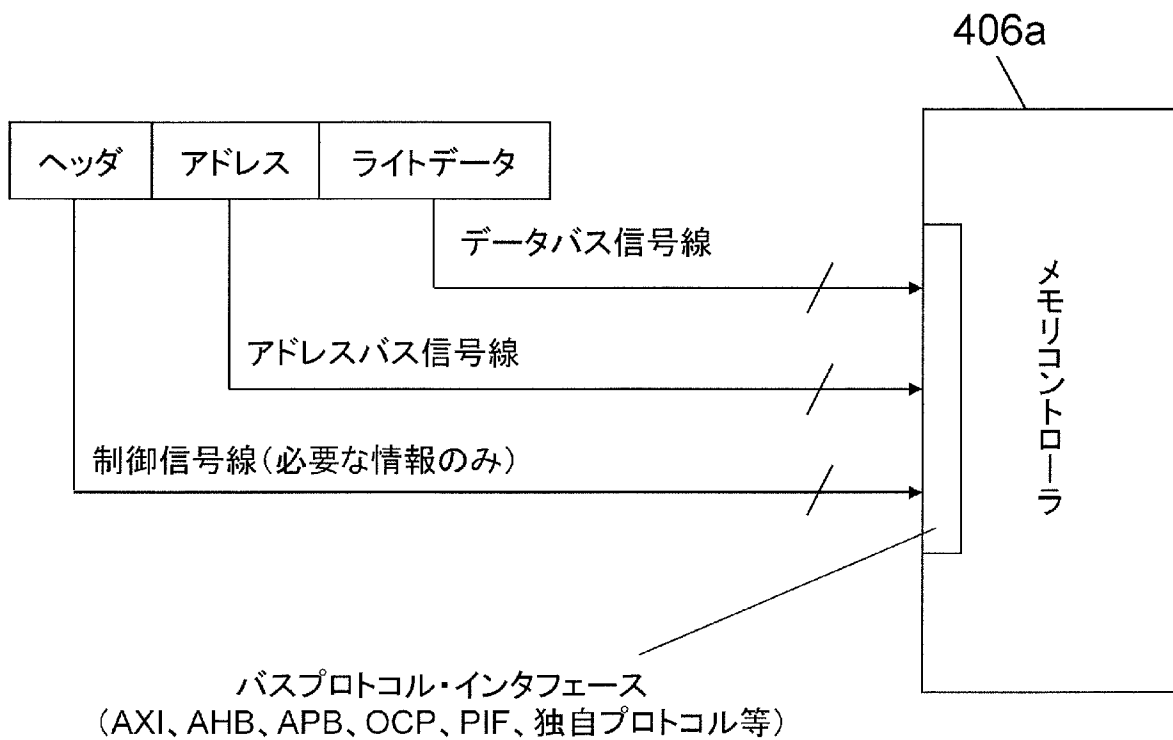
[図6]



[図7]

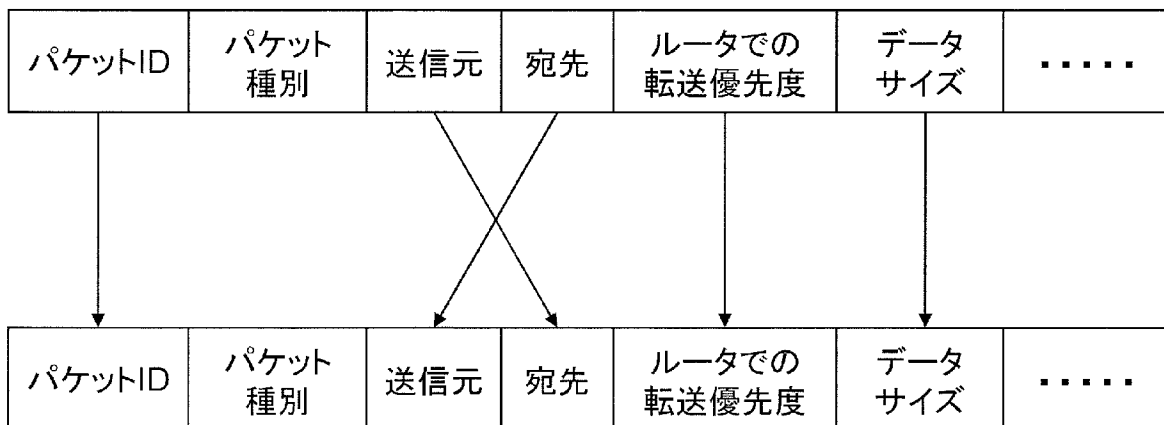


[図8]



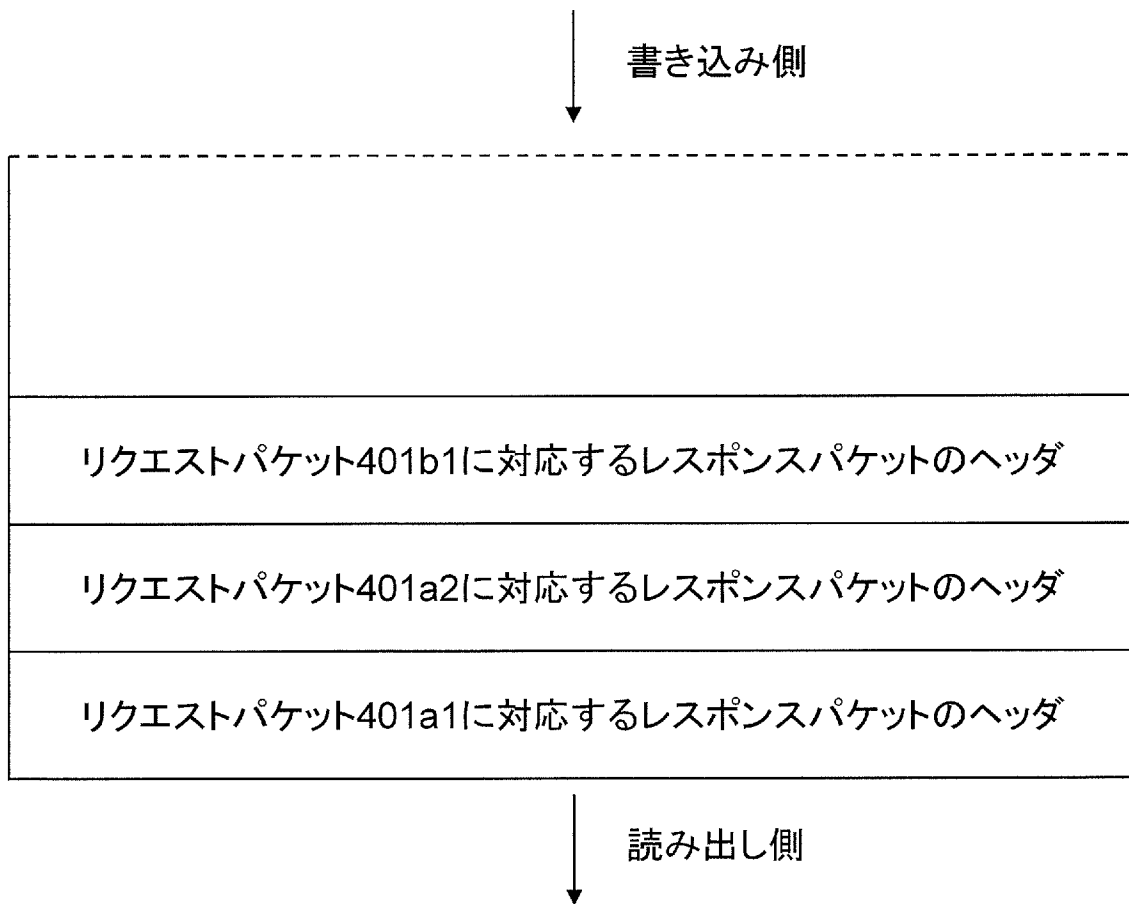
[図9]

リクエストパケットのヘッダ

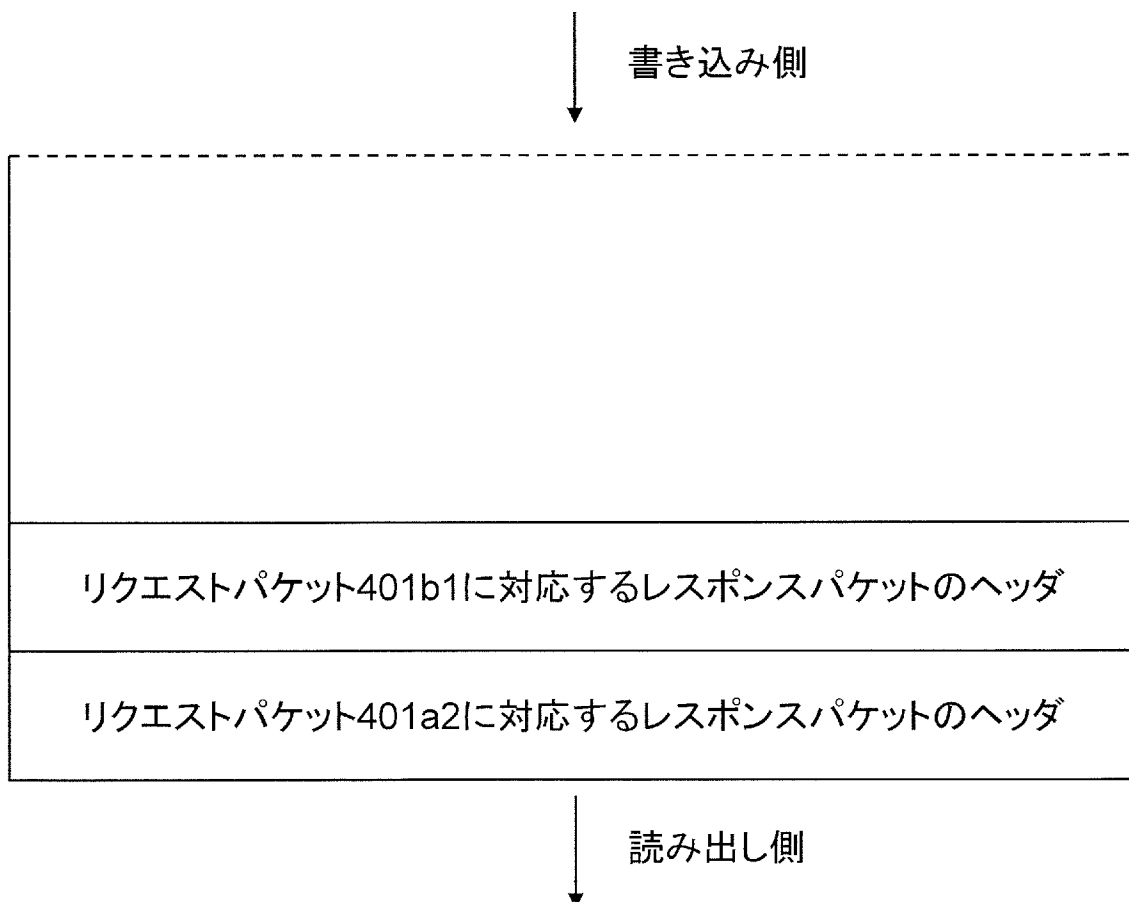


レスポンスパケットのヘッダ

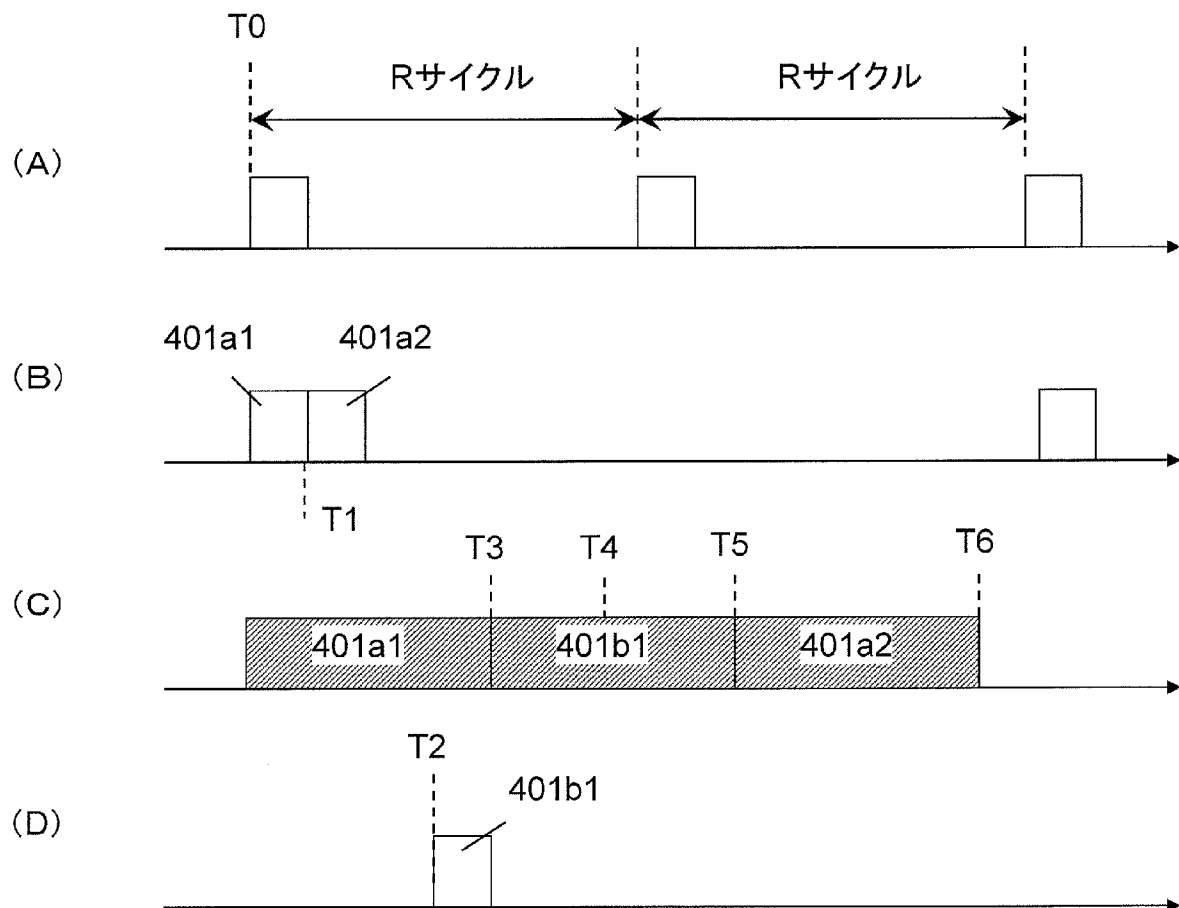
[図10]



[図11]



[図12]



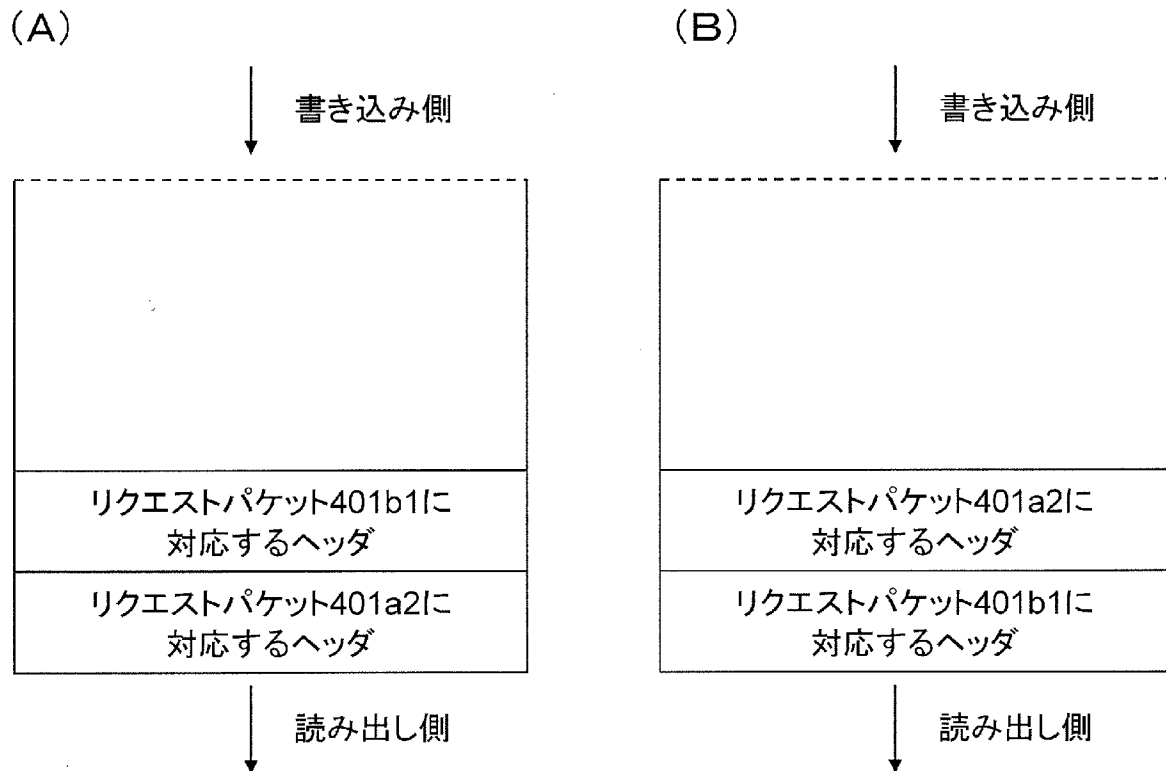
[図13]

リクエストパケット	受付 順序
リクエストパケット401b1	2
リクエストパケット401a2	1

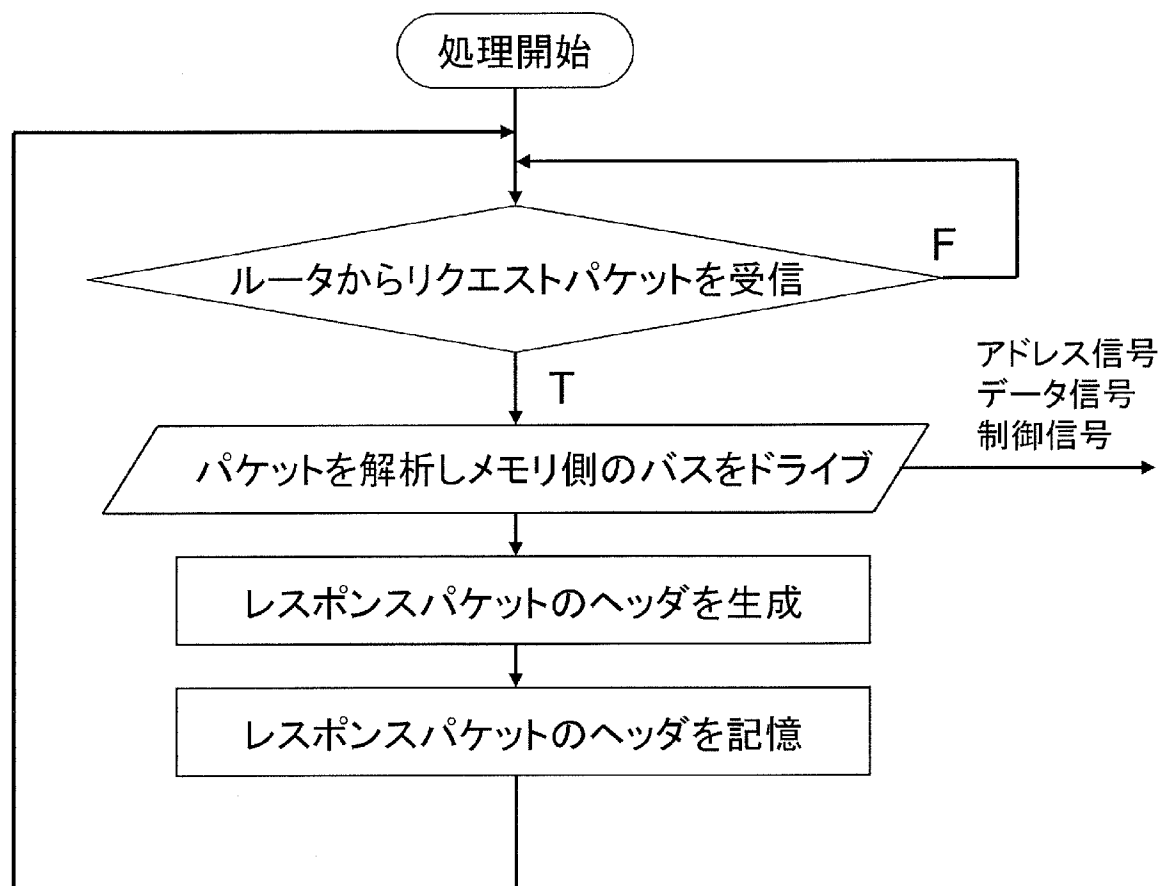
[図14]

変更有	2
-----	---

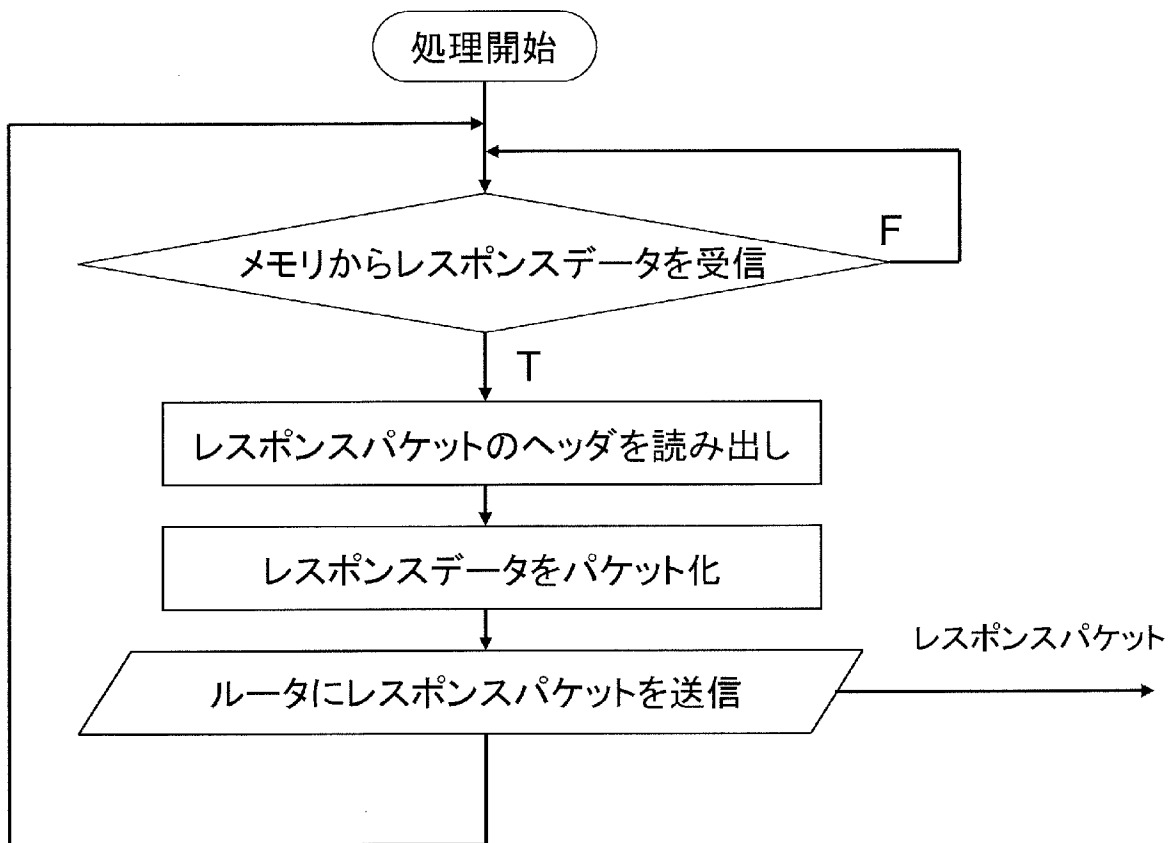
[図15]



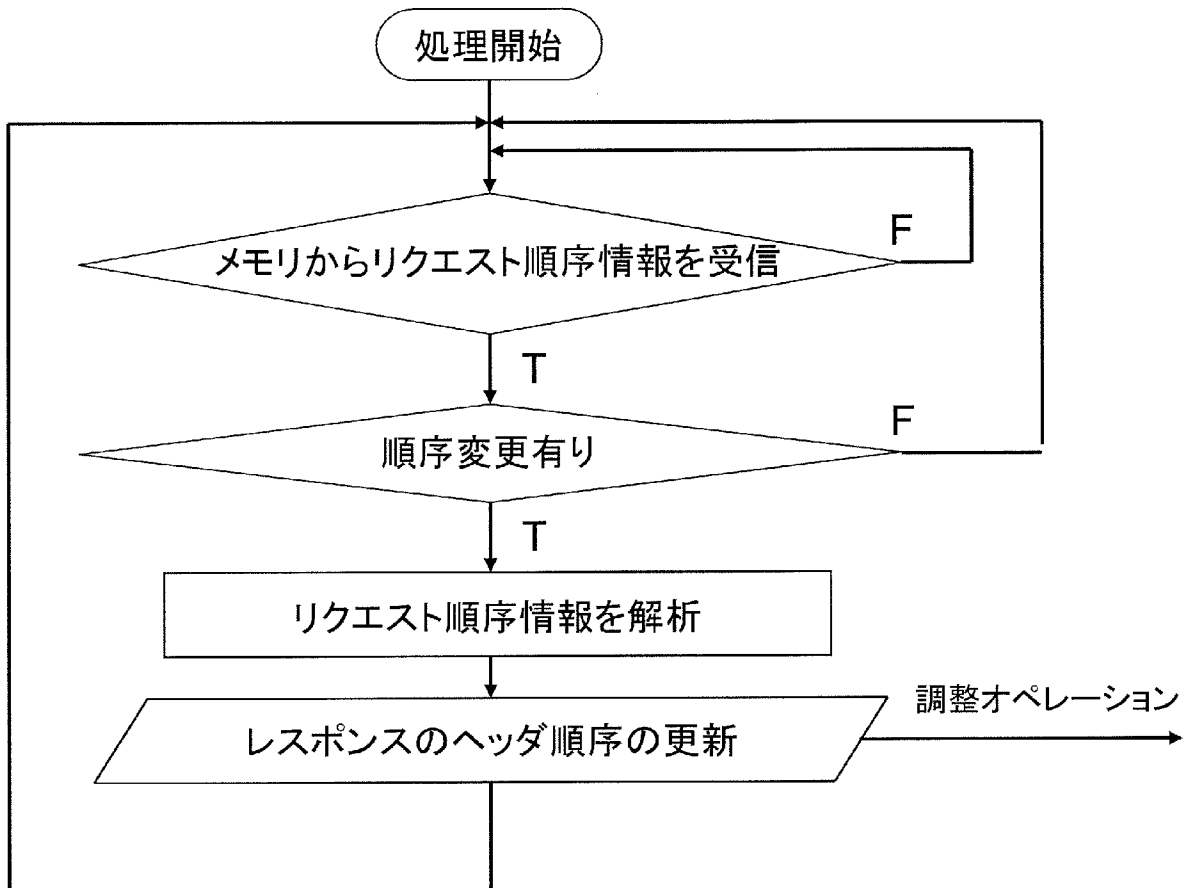
[図16]



[図17]



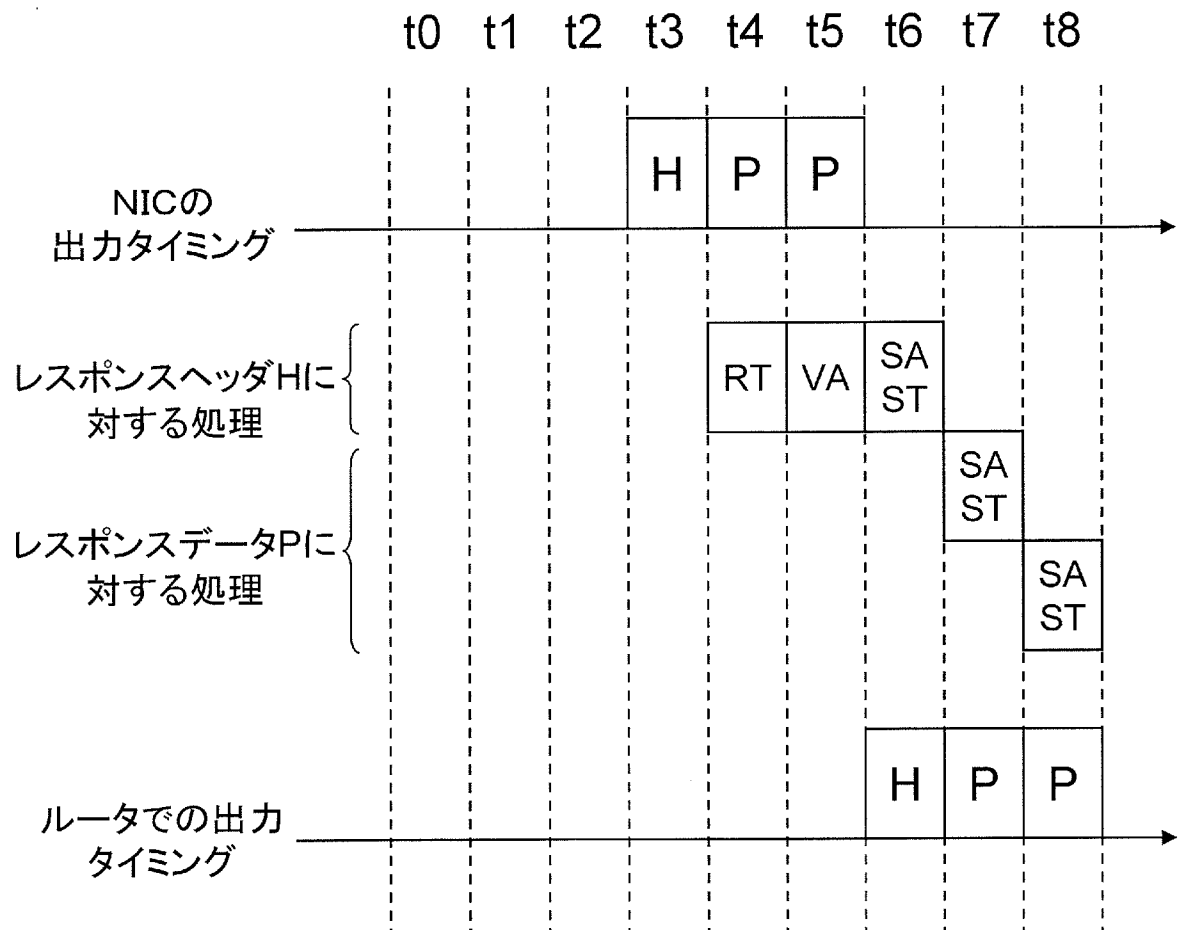
[図18]



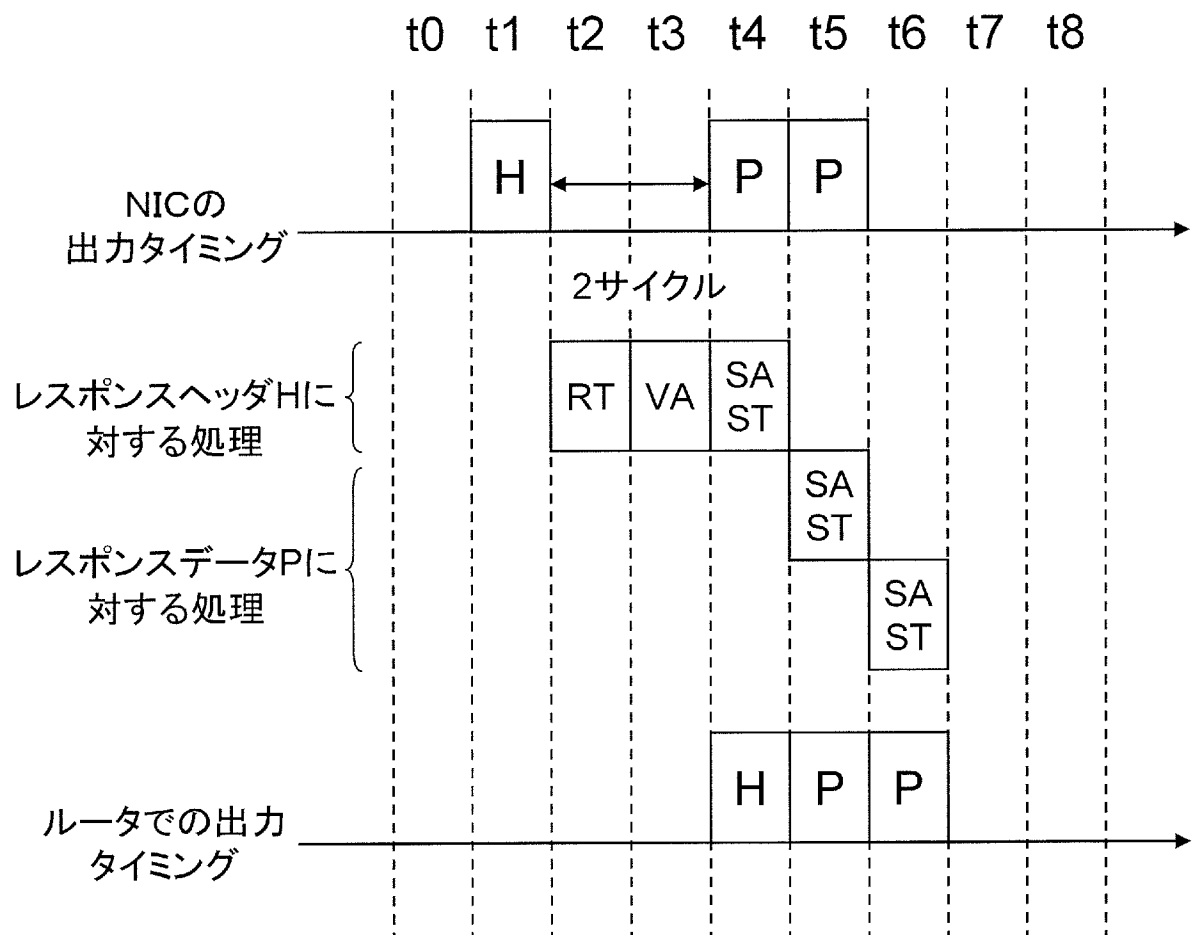
[図19]

	(A)	(B)
リクエストパケット401b1に 対応するヘッダ	2	1
リクエストパケット401a2に 対応するヘッダ	1	2

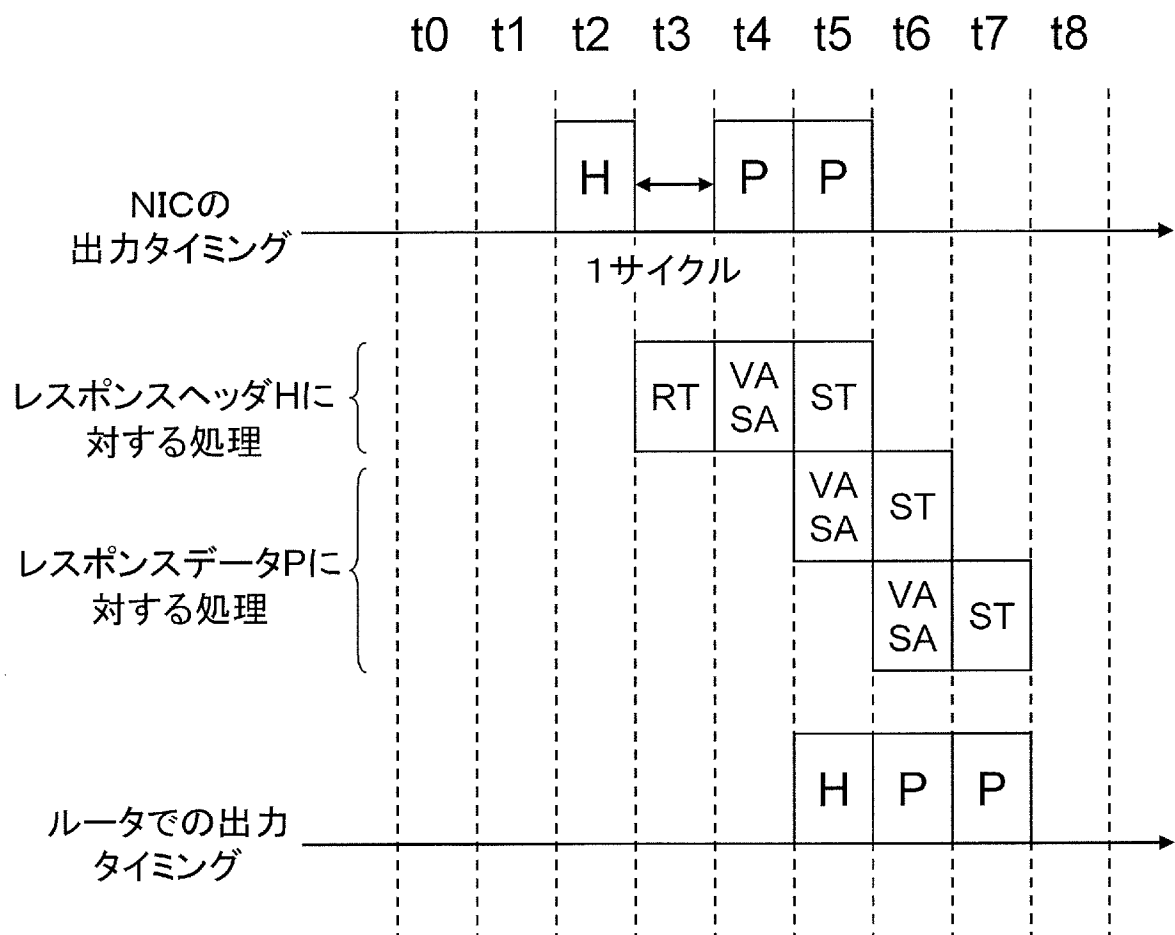
[図21]



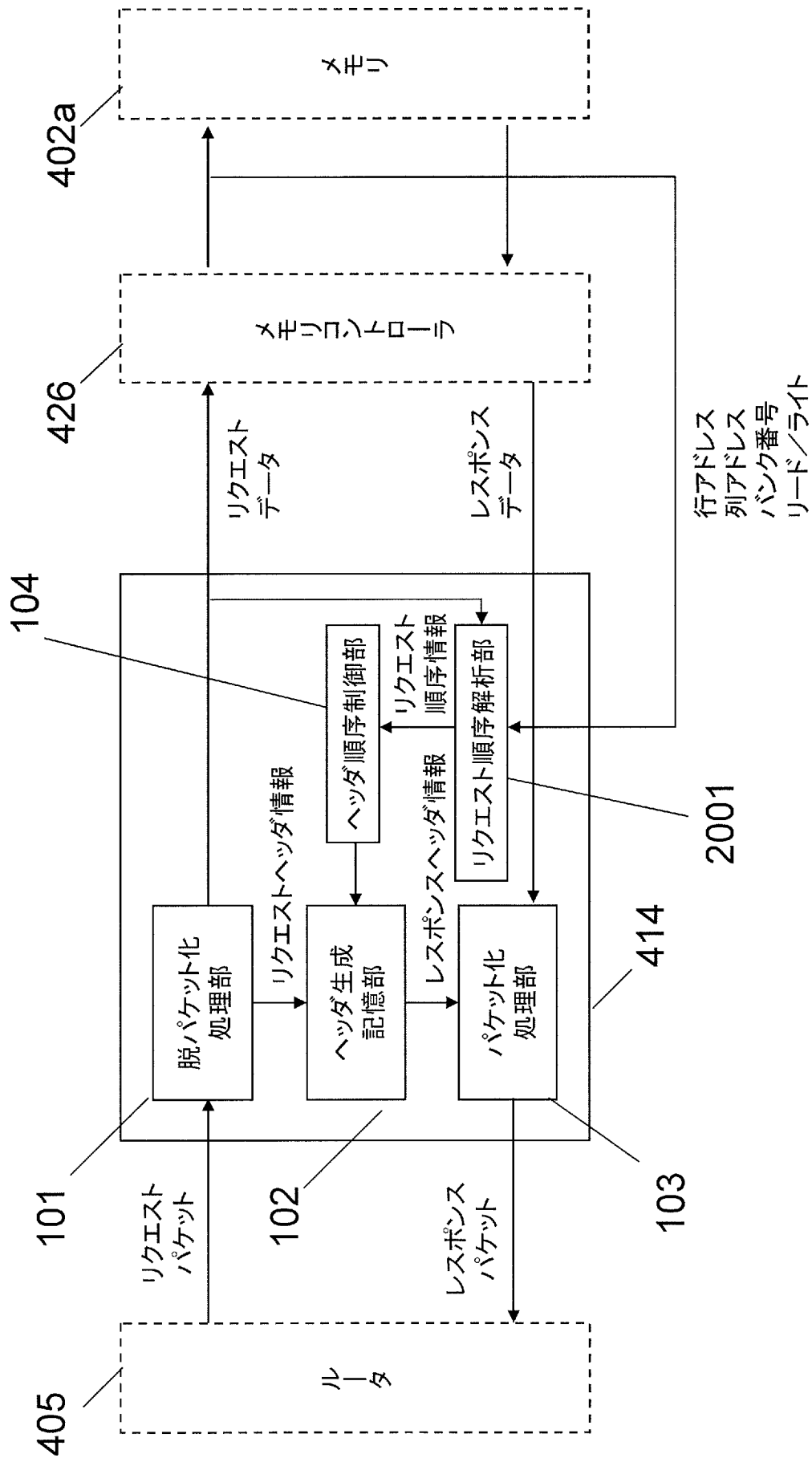
[図22]



[図23]



[図24]



[図25]

リクエスト順序	アクセス先のアドレス	リードまたはライト
1	0000h	リード
2	8000h	ライト
3	8000h	リード

[図26]

バンク番号	行アドレス	列アドレス	アクセス先のアドレス
0	00h	00h	0000h
1	80h	00h	8000h

[図27]

リクエスト順序	アクセス先のアドレス	リードまたはライト
1	0000h	リード
2	8000h	リード

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/006786

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/00(2006.01)i, G06F13/16(2006.01)i, G06F13/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/00, G06F13/16, G06F13/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-526559 A (Micron Technology, Inc.), 13 September 2007 (13.09.2007), abstract; paragraphs [0022] to [0023]; fig. 3 & JP 2007-526559 A & US 2005/0177677 A1 & US 2008/0294862 A1 & EP 1723527 A & WO 2005/076856 A2 & KR 10-0854946 B1 & CN 1938691 A & TWB 00I327273	1-10
A	JP 2012-78895 A (Kyocera Mita Corp.), 19 April 2012 (19.04.2012), abstract; entire text; all drawings (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 January, 2014 (29.01.14)

Date of mailing of the international search report
10 February, 2014 (10.02.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/006786

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-531518 A (Sonics, Inc.), 24 September 2010 (24.09.2010), entire text; all drawings & JP 2011-54184 A & US 2008/0320268 A1 & US 2008/0320254 A1 & US 2008/0320255 A1 & US 2008/0320476 A1 & EP 2160762 A & EP 2216722 A2 & EP 2413355 A1 & WO 2009/002998 A1	1-10
A	JP 2009-237872 A (Fujitsu Ltd.), 15 October 2009 (15.10.2009), entire text; all drawings & US 2009/0248999 A1 & EP 2105840 A2 & CN 101546300 A	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F12/00(2006.01)i, G06F13/16(2006.01)i, G06F13/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F12/00, G06F13/16, G06F13/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-526559 A（マイクロン テクノロジー，インコーポレイテッド） 2007.09.13，要約，【0022】－【0023】段落，図3 & JP 2007-526559 A & US 2005/0177677 A1 & US 2008/0294862 A1 & EP 1723527 A & WO 2005/076856 A2 & KR 10-0854946 B1 & CN 1938691 A & TWB 00I327273	1-10
A	JP 2012-78895 A（京セラミタ株式会社） 2012.04.19，要約，全文，全図（ファミリーなし）	1-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 0 1 . 2 0 1 4

国際調査報告の発送日

1 0 . 0 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

桜井 茂行

電話番号 03-3581-1101 内線 3565

5 U

2 9 4 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-531518 A (ソニックス・インコーポレーテッド) 2010.09.24, 全文, 全図 & JP 2011-54184 A & US 2008/0320268 A1 & US 2008/0320254 A1 & US 2008/0320255 A1 & US 2008/0320476 A1 & EP 2160762 A & EP 2216722 A2 & EP 2413355 A1 & WO 2009/002998 A1	1-10
A	JP 2009-237872 A (富士通株式会社) 2009.10.15, 全文, 全図 & US 2009/0248999 A1 & EP 2105840 A2 & CN 101546300 A	1-10