



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년05월20일  
(11) 등록번호 10-1035882  
(24) 등록일자 2011년05월13일

(51) Int. Cl.

H01G 4/30 (2006.01) H01G 4/12 (2006.01)

(21) 출원번호 10-2008-0050233

(22) 출원일자 2008년05월29일

심사청구일자 2008년05월29일

(65) 공개번호 10-2008-0108012

(43) 공개일자 2008년12월11일

(30) 우선권주장

JP-P-2007-00153110 2007년06월08일 일본(JP)

JP-P-2008-00114310 2008년04월24일 일본(JP)

(56) 선행기술조사문헌

JP12340450 A\*

KR1020070024357 A\*

KR100798287 B1

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키키가이샤 무라타 세이사쿠쇼

일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고

(72) 발명자

스즈키 코지

일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고, 가부시키키가이샤 무라타 세이사쿠쇼 나이

(74) 대리인

하영욱

전체 청구항 수 : 총 18 항

심사관 : 이우식

**(54) 적층 세라믹 전자 부품**

**(57) 요약**

본 발명은 소형화된 경우에도 내습성에 대한 신뢰성이 높은 적층 세라믹 전자 부품을 제공하는 것을 과제로 한다.

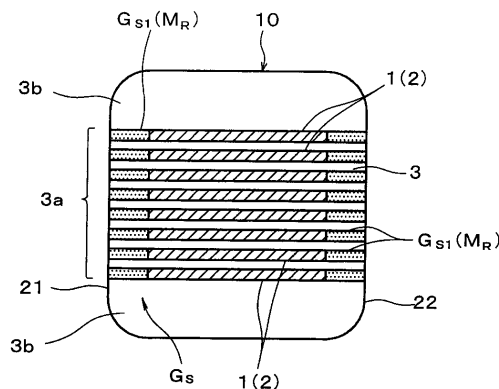
이를 위해, 세라믹 소결체(10)의 제 1 내부 전극(1) 및 제 2 내부 전극(2)의 측부와 세라믹 소결체의 제 1, 제 2 측면(21, 22) 사이 및 유효층부(3a)의 측부와 세라믹 소결체의 제 1, 제 2 측면 사이에 존재하는 측면층 겹부( $G_S$ ) 중, 적어도 제 1, 제 2 내부 전극(1, 2)과 인접하는 영역을 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역( $M_R$ )으로 한다.

또한, 측면층 겹부 전체를 Mg 리치 영역으로 한다.

또한, 유효층부의 단부와 세라믹 소결체의 제 1 또는 제 2 단면(11, 12) 사이에 존재하는 단면층 겹부( $G_E$ ) 중, 적어도 제 1, 제 2 내부 전극과 인접하는 영역을 Mg 리치 영역으로 한다.

Mg 리치 영역에는 유효층부보다 Mg을 0.5~1.0mol%의 비율로 많이 함유시킨다.

**대표도 - 도3**



**특허청구의 범위**

**청구항 1**

복수의 세라믹층이 적층되어 이루어지고, 서로 대향하는 제 1 측면 및 제 2 측면과, 서로 대향하는 제 1 단면 및 제 2 단면을 갖는 세라믹 소결체;

상기 세라믹 소결체 내부에 형성되고, 상기 제 1 단면에 인출된 Ni를 함유하는 제 1 내부 전극;

특정의 상기 세라믹층을 통해 상기 제 1 내부 전극과 대향하도록 해서 상기 세라믹 소결체 내부에 형성되고, 상기 제 2 단면에 인출된 Ni를 함유하는 제 2 내부 전극;

상기 세라믹 소결체의 상기 제 1 단면에 형성되고, 상기 제 1 내부 전극과 전기적으로 접속되는 제 1 외부 단자 전극; 및

상기 세라믹 소결체의 상기 제 2 단면에 형성되고, 상기 제 2 내부 전극과 전기적으로 접속되어 상기 제 1 외부 단자 전극과는 다른 전위에 접속되는 제 2 외부 단자 전극을 구비하는 적층 세라믹 전자 부품으로서;

상기 세라믹 소결체는,

상기 세라믹층 중, 상기 제 1 내부 전극 및 상기 제 2 내부 전극에 끼워지고, 용량 형성에 기여하는 유효층부, 및

상기 제 1, 제 2 내부 전극의 측부와 상기 세라믹 소결체의 제 1, 제 2 측면 사이 및 상기 유효층부의 측부와 상기 세라믹 소결체의 제 1, 제 2 측면 사이에 존재하는 측면측 갭부를 포함하고;

상기 측면측 갭부에 있어서, 적어도 상기 제 1, 제 2 내부 전극과 인접하는 영역으로부터 상기 세라믹 소결체의 측면에 이르는 영역은 상기 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 되어 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 2**

제 1 항에 있어서, 상기 측면측 갭부 중, 상기 제 1, 제 2 내부 전극 각각과 동일한 높이에 위치하는 영역은 상기 Mg 리치 영역으로 되어 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 3**

제 1 항에 있어서, 상기 측면측 갭부 전체는 상기 Mg 리치 영역으로 되어 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 4**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 세라믹 소결체는 상기 제 1, 제 2 내부 전극의 단부와 상기 세라믹 소결체의 제 1, 제 2 단면 사이 및 상기 유효층부의 단부와 상기 세라믹 소결체의 제 1 또는 제 2 단면 사이에 존재하는 단면측 갭부를 포함하고;

상기 단면측 갭부 중, 적어도 상기 제 1, 제 2 내부 전극과 인접하는 영역은 상기 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 되어 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 5**

삭제

**청구항 6**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 유효층부를 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율에 비해서 상기 Mg 리치 영역을 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율을 0.5~1.0mol% 많게 한 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 7**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 Mg 리치 영역에 있어서 Mg 농도는 세라믹 소결체의 외측으

로부터 내측을 향해서 저하되는 농도 구배를 갖고 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 8**

제 4 항에 있어서, 상기 제 1, 제 2 내부 전극 중의 최외층의 내부 전극보다 외측의 세라믹층의 상기 측면층 껍부의 수직 투영 영역 및 상기 단면층 껍부의 수직 투영 영역의 적어도 한쪽은 상기 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 되어 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 9**

제 4 항에 있어서, 상기 유효층부를 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율에 비해서 상기 Mg 리치 영역을 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율을 0.5~1.0mol% 많게 한 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 10**

삭제

**청구항 11**

제 8 항에 있어서, 상기 유효층부를 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율에 비해서 상기 Mg 리치 영역을 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율을 0.5~1.0mol% 많게 한 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 12**

제 4 항에 있어서, 상기 Mg 리치 영역에 있어서 Mg 농도는 세라믹 소결체의 외측으로부터 내측을 향해서 저하되는 농도 구배를 갖고 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 13**

삭제

**청구항 14**

제 8 항에 있어서, 상기 Mg 리치 영역에 있어서 Mg 농도는 세라믹 소결체의 외측으로부터 내측을 향해서 저하되는 농도 구배를 갖고 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 15**

복수의 세라믹층이 적층되어 이루어지고, 서로 대향하는 제 1 측면 및 제 2 측면과, 서로 대향하는 제 1 단면 및 제 2 단면을 갖는 세라믹 소결체;

상기 세라믹 소결체 내부에 형성되고, 상기 제 1 단면에 인출된 Ni를 함유하는 제 1 내부 전극;

특정의 상기 세라믹층을 통해 상기 제 1 내부 전극과 대향하도록 해서 상기 세라믹 소결체 내부에 형성되고, 상기 제 2 단면에 인출된 Ni를 함유하는 제 2 내부 전극;

상기 세라믹 소결체의 상기 제 1 단면에 형성되고, 상기 제 1 내부 전극과 전기적으로 접속되는 제 1 외부 단자 전극; 및

상기 세라믹 소결체의 상기 제 2 단면에 형성되고, 상기 제 2 내부 전극과 전기적으로 접속되어 상기 제 1 외부 단자 전극과는 다른 전위에 접속되는 제 2 외부 단자 전극을 구비하는 적층 세라믹 전자 부품으로서;

상기 세라믹 소결체는,

상기 세라믹층 중, 상기 제 1 내부 전극 및 상기 제 2 내부 전극에 끼워지고, 용량 형성에 기여하는 유효층부, 및

상기 제 1, 제 2 내부 전극의 측면과 상기 세라믹 소결체의 제 1, 제 2 측면 사이 및 상기 유효층부의 측면과 상기 세라믹 소결체의 제 1, 제 2 측면 사이에 존재하는 측면층 껍부를 포함하고;

상기 측면측 껍부 중, 적어도 상기 제 1, 제 2 내부 전극과 인접하는 영역은 상기 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 되어 있고,

상기 유효층부에는 상기 Mg 리치 영역과 동등한 이상으로 Mg 농도가 높은 영역은 존재하지 않는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 16**

제 15 항에 있어서, 상기 측면측 껍부 중, 상기 제 1, 제 2 내부 전극 각각과 동일한 높이에 위치하는 영역은 상기 Mg 리치 영역으로 되어 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 17**

제 15 항에 있어서, 상기 측면측 껍부 전체는 상기 Mg 리치 영역으로 되어 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 18**

제 15 항 내지 제 17 항 중 어느 한 항에 있어서, 상기 세라믹 소결체는 상기 제 1, 제 2 내부 전극의 단부와 상기 세라믹 소결체의 제 1, 제 2 단면 사이 및 상기 유효층부의 단부와 상기 세라믹 소결체의 제 1 또는 제 2 단면 사이에 존재하는 단면측 껍부를 포함하고;

상기 단면측 껍부 중, 적어도 상기 제 1, 제 2 내부 전극과 인접하는 영역은 상기 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 되어 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 19**

제 18 항에 있어서, 상기 제 1, 제 2 내부 전극 중의 최외층의 내부 전극보다 외측의 세라믹층의 상기 측면측 껍부의 수직 투영 영역 및 상기 단면측 껍부의 수직 투영 영역 중 적어도 한쪽은 상기 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 되어 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 20**

제 15 항 내지 제 17 항 중 어느 한 항에 있어서, 상기 유효층부를 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율에 비해서 상기 Mg 리치 영역을 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율을 0.5~1.0mol% 많게 한 것을 특징으로 하는 적층 세라믹 전자 부품.

**청구항 21**

제 15 항 내지 제 17 항 중 어느 한 항에 있어서, 상기 Mg 리치 영역에 있어서 Mg 농도는 세라믹 소결체의 외측으로부터 내측을 향해서 저하되는 농도 구배를 갖고 있는 것을 특징으로 하는 적층 세라믹 전자 부품.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 세라믹 전자 부품에 관한 것으로, 상세하게는 세라믹층과 용량 형성용 내부 전극을 적층해서 이루어지는 적층 세라믹 전자 부품에 관한 것이다.

**배경기술**

[0002] 최근, 휴대 전화나 휴대폰 음악 플레이어 등의 전자 기기의 소형화에 따라 탑재되는 전자 부품의 소형화가 급속하게 진행되고 있다. 예를 들면, 칩형 적층 세라믹 콘덴서로 대표되는 칩형 적층 세라믹 전자 부품에 있어서는 소정의 특성을 확보하면서 칩 사이즈를 작게 하기 위해서 세라믹층의 박층화가 진행되고 있다.

[0003] 그리고, 세라믹층의 박층화에 따라 세라믹층의 적층 매수도 증가되는 경향이 있다. 통상, 적층 세라믹 전자 부품은 세라믹층과 내부 전극이 교대로 적층된 구조를 갖고 있지만, 내부 전극이 칩의 측면으로부터 노출되지 않도록 내부 전극은 세라믹층 전부를 덮지 않고, 세라믹층의 둘레 가장자리로부터 약간 후퇴된 내측의 위치까지

밖에 형성되어 있지 않기 때문에 내부 전극과 세라믹층 사이에는 단차가 발생된다. 그리고, 세라믹층의 적층 매수가 증가되면 이 단차를 원인으로 하는 디라미네이션(delamination) 등의 구조 결함이 발생되기 쉬워진다.

[0004] 이러한 문제를 해결하는 방법으로서 예를 들면, 세라믹 그린 시트 상에 내부 전극 패턴을 인쇄한 후, 내부 전극이 인쇄되어 있지 않은 부분에 세라믹 페이스트를 인쇄하고, 이 세라믹 페이스트에 의해 단차를 흡수하는 방법이 제안되고 있다(특허문헌1 참조).

[0005] 그러나, 상기 방법의 경우, 세라믹층과 내부 전극 사이의 단차를 흡수할 수는 있어도 소성시에 있어서 내부 전극과 세라믹층의 소결 수축 거동의 차이에 의해 내부 전극 단부와 세라믹층 사이에 미세한 간극이 발생되고, 습기 등의 수분이 이 간극에 침입되어 내습 불량을 야기한다는 문제점이 있다.

[0006] 또한, 상술한 특허문헌1에 관련된 기술로서 단차 흡수용 세라믹 페이스트에 SiO<sub>2</sub>를 첨가하고, 세라믹과 내부 전극의 소결 수축 거동의 차를 작게 하는 방법이 제안되고 있다(특허문헌2 참조).

[0007] 그러나, 이 특허문헌2의 방법에 있어서도 세라믹과 내부 전극의 양자의 소결 수축 거동을 완전히 매칭시키는 것은 매우 곤란하며, 상기 간극에 기인하는 내습 불량 문제점은 반드시 충분히 해결되어 있지 않은 것이 실정이다.

[0008] 또한, 단차 흡수 부분은 원래 칩의 외표면에 가깝기 때문에 소성 공정에서 열이 전달되기 쉽고, 소결되기 쉽고 또한, SiO<sub>2</sub>의 첨가에 의해 소결 온도가 더 저하되고, 측면층 껍부가 과소결로 되고, 콘덴서 본체의 구조 결함이나 강도 저하를 초래하기 쉽다는 문제점이 있다.

[0009] 또한, 단차의 문제를 해결하는 방법으로서 단차 흡수용 세라믹 페이스트에 Cu를 첨가하고, 내부 전극 재료인 Ni와, 세라믹 페이스트 중의 Cu를 합금화해서 내부 전극과 단차 흡수층의 접합성을 높이도록 한 방법이 제안되고 있다(특허문헌3 참조).

[0010] 그러나, 이 특허문헌3의 방법의 경우, Ni와 Cu의 합금은 소성 분위기 등에 의해 용이하게 산화 환원 반응을 발생시키기 때문에 산화 반응에 의한 체적 팽창 후에 환원 반응에 의한 체적 감소가 발생됨으로써 단차부에 간극이 발생되어 버리기 때문에 내습성에 대한 신뢰성을 충분히 확보하는 것은 곤란한 것이 실정이다.

[0011] [특허문헌1] 일본 특허공개 소56-94719호 공보

[0012] [특허문헌2] 일본 특허공개 2004-96010호 공보

[0013] [특허문헌3] 일본 특허공개 2005-101301호 공보

### 발명의 내용

[0014] 본 발명은 상기 과제를 해결하는 것이며, 소형화한 경우에도 내습성에 대한 신뢰성이 높은 적층 세라믹 전자 부품을 제공하는 것을 목적으로 한다.

[0015] 상기 과제를 해결하기 위해서 본 발명(청구항 1)의 적층 세라믹 전자 부품은,

[0016] 복수의 세라믹층이 적층되어 이루어지고, 서로 대향하는 제 1 측면 및 제 2 측면과, 서로 대향하는 제 1 단면 및 제 2 단면을 갖는 세라믹 소결체와,

[0017] 상기 세라믹 소결체 내부에 형성되고, 상기 제 1 단면에 인출된 Ni를 함유하는 제 1 내부 전극과,

[0018] 특정의 상기 세라믹층을 통해 상기 제 1 내부 전극과 대향하도록 해서 상기 세라믹 소결체 내부에 형성되고, 상기 제 2 단면에 인출된 Ni를 함유하는 제 2 내부 전극과,

[0019] 상기 세라믹 소결체의 상기 제 1 단면에 형성되고, 상기 제 1 내부 전극과 전기적으로 접속되는 제 1 외부 단자 전극과,

[0020] 상기 세라믹 소결체의 상기 제 2 단면에 형성되고, 상기 제 2 내부 전극과 전기적으로 접속되어 상기 제 1 외부 단자 전극과는 다른 전위에 접속되는 제 2 외부 단자 전극을 구비하는 적층 세라믹 전자 부품으로서,

[0021] 상기 세라믹 소결체는,

[0022] 상기 세라믹층 중, 상기 제 1 내부 전극 및 상기 제 2 내부 전극에 끼워지고, 용량 형성에 기여하는 유효층부와,

- [0023] 상기 제 1, 제 2 내부 전극의 측부와 상기 세라믹 소결체의 제 1, 제 2 측면 사이 및 상기 유효층부의 측부와 상기 세라믹 소결체의 제 1, 제 2 측면 사이에 존재하는 측면측 갭부를 포함하고,
- [0024] 상기 측면측 갭부 중, 적어도 상기 제 1, 제 2 내부 전극과 인접하는 영역은 상기 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 되어 있는 것을 특징으로 하고 있다.
- [0025] 또한, 본 발명에 있어서는 상기 측면측 갭부 중, 상기 제 1, 제 2 내부 전극 각각과 동일한 높이에 위치하는 영역은 상기 Mg 리치 영역으로 되어 있는 것이 바람직하다.
- [0026] 또한, 본 발명에 있어서는 상기 측면측 갭부 전체를 상기 Mg 리치 영역으로 하는 것도 가능하다.
- [0027] 또한, 본 발명에 있어서는 상기 세라믹 소결체는 상기 제 1, 제 2 내부 전극의 단부와 상기 세라믹 소결체의 제 1, 제 2 단면 사이 및 상기 유효층부의 단부와 상기 세라믹 소결체의 제 1 또는 제 2 단면 사이에 존재하는 단면측 갭부를 포함하고,
- [0028] 상기 단면측 갭부 중, 적어도 상기 제 1, 제 2 내부 전극과 인접하는 영역은 상기 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 되어 있는 것이 바람직하다.
- [0029] 또한, 본 발명에 있어서는 상기 제 1, 제 2 내부 전극 중의 최외층의 내부 전극보다 외층의 세라믹층의 상기 측면측 갭부의 수직 투영 영역 및 상기 단면측 갭부의 수직 투영 영역의 적어도 한쪽은 상기 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 하는 것도 가능하다.
- [0030] 또한, 본 발명에 있어서는 상기 유효층부를 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율에 비해서 상기 Mg 리치 영역을 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율을 0.5~1.0mol% 정도 하는 것이 바람직하다.
- [0031] 또한, 본 발명에 있어서는 상기 Mg 리치 영역에 있어서 Mg 농도가 세라믹 소결체의 외층으로부터 내층을 향해서 저하되는 농도 구배를 갖고 있는 구성으로 하는 것도 가능하다.
- [0032] (발명의 효과)
- [0033] 본 발명(청구항 1)의 적층 세라믹 전자 부품은 상술한 바와 같이, 세라믹 소결체와, 세라믹 소결체 내부에 형성된 제 1 및 제 2 내부 전극과, 제 1 내부 전극과 전기적으로 접속되는 제 1 외부 단자 전극과, 제 2 내부 전극과 전기적으로 접속된 제 2 외부 단자 전극을 구비하는 적층 세라믹 전자 부품에 있어서, 세라믹 소결체의 제 1 내부 전극 및 제 2 내부 전극의 측부와 세라믹 소결체의 제 1, 제 2 측면 사이 및 유효층부의 측부와 세라믹 소결체의 제 1, 제 2 측면 사이에 존재하는 측면측 갭부 중, 적어도 제 1, 제 2 내부 전극과 인접하는 영역을 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 하고 있으므로 내부 전극과 측면측 갭부의 경계부에 내부 전극을 구성하는 금속인 Ni와, 세라믹 유래의 금속 원소인 Mg의 산화 화합물이 생성되고, 내부 전극과 측면측 갭부의 경계부의 간극이 이 산화 화합물에 의해 충전됨과 아울러, 내부 전극과 측면측 갭부가 이 산화 화합물에 의해 결합되기 때문에 내습성이 향상된다. 또한, 산화 화합물이 생성되는 것에 의한 체적 팽창에 의해 내부 전극과 측면측 갭부의 경계부의 간극의 충전 효과가 증대되기 때문에 이 점에서도 내습성의 대폭적인 향상이 기대된다.
- [0034] 본 발명에 있어서, Mg 리치 영역에 관해서 「유효층부에 비해서 Mg 농도가 높다」란, 유효층부가 Mg를 함유하고 있는 경우에는 Mg 리치 영역이 유효층부의 Mg 함유율보다 높은 비율로 Mg를 함유하고 있는 것을 의미하는 개념이며, 또한 유효층부가 Mg를 함유하고 있지 않은 경우에는 내부 전극을 구성하는 금속인 Ni와 Mg의 산화 화합물의 생성에 유의성이 있는 정도의 Mg를 함유하고 있는 것을 의미하는 개념이다.
- [0035] 또한, 내환원성 세라믹 재료로서 BaTiO<sub>3</sub> 등에 MgO를 첨가한 것을 사용하는 경우에는 Mg 리치 영역이 이 유효층부의 MgO로부터 유래되는 Mg보다 적당히 높은 함유율로 Mg를 함유하고 있는 것이 요건이 된다.
- [0036] 또한, 본 발명의 적층 세라믹 전자 부품에 있어서는 측면측 갭부 중, 제 1, 제 2 내부 전극 각각과 동일한 높이에 위치하는 영역 즉, 내부 전극의 측면부를 Mg 리치 영역으로 함으로써 내부 전극의 주변부와 측면측 갭부의 경계부에 내부 전극을 구성하는 금속인 Ni와, 세라믹 유래의 금속 원소인 Mg의 산화 화합물을 생성시켜서 내습성의 향상을 꾀하는 것이 가능해진다.
- [0037] 또한, 상기 측면측 갭부 전체를 Mg 리치 영역으로 한 경우, 내부 전극과 측면측 갭부의 간극에 기인하는 내습성의 열화를 방지해서 보다 확실하게 내습성이 우수한 적층 세라믹 전자 부품을 얻는 것이 가능해진다.



- [0038] 또한, 유효층부의 단부와 세라믹 소결체의 제 1 또는 제 2 단면 사이에 존재하는 단면측 갭부 중, 적어도 제 1, 제 2 내부 전극과 인접하는 영역을 Mg 리치 영역으로 함으로써 단면으로부터의 수분의 침입도 억제, 방지해서 내습성을 더욱 향상시킬 수 있다.
- [0039] 또한, 단면에는 외부 단자 전극이 형성되기 때문에 외부 단자 전극에 의해 수분의 침입 억제 효과가 얻어지므로 단면측에는 특별히 Mg 리치 영역을 형성하지 않아도 좋은 경우가 적지 않지만 이 단면측에도 Mg 리치 영역을 형성함으로써 내습 신뢰성을 더욱 높일 수 있다.
- [0040] 또한, 본 발명에 있어서는 제 1, 제 2 내부 전극 중의 최외층에 배치된 내부 전극보다 외측의 세라믹층의 측면측 갭부의 수직 투영 영역 및 단면측 갭부의 수직 투영 영역의 적어도 한쪽이 유효층부에 비해서 Mg 농도가 높은 Mg 리치 영역으로 하는 것도 가능하며, 그 경우에는 보다 확실하게 내습성이 우수한 적층 세라믹 전자 부품을 얻을 수 있다.
- [0041] 또한, 유효층부를 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율에 비해서 Mg 리치 영역을 구성하는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율을 0.5~1.0mol% 많게 함으로써 확실하게 내습 신뢰성을 높이는 것이 가능해져 본 발명을 보다 실효있게 할 수 있다.
- [0042] 또한, 본 발명에 있어서는 Mg 리치 영역에 있어서 Mg 농도가 세라믹 소결체의 외측으로부터 내측을 향해서 저하되는 농도 구배를 갖는 구성으로 한 경우에도 내습성이 우수한 적층 세라믹 전자 부품을 얻을 수 있다.
- [0043] 또한, Mg 농도가 세라믹 소결체의 외측으로부터 내측을 향해서 저하되는 농도 구배를 갖는 구성으로 하는 방법 으로서는 소성 전의 생칩을 Mg를 함유하는 바인더에 침지하고, Mg를 함침시킨 후, 생칩을 소성하는 방법 등이 예시된다.

**발명의 실시를 위한 구체적인 내용**

- [0044] 이하에 본 발명의 실시형태를 나타내고, 본 발명의 특징으로 하는 바를 더욱 상세하게 설명한다.
- [0045] [실시형태1]
- [0046] 도 1은 본 발명의 실시형태에 따른 적층 세라믹 전자 부품(이 실시형태에서는 적층 세라믹 콘덴서)의 구성을 나타내는 사시도, 도 2는 도 1의 A-A선 단면도, 도 3은 도 1의 B-B선 단면도, 도 4는 본 발명의 실시형태에 따른 적층 세라믹 콘덴서의 구성을 설명하기 위한 도면이다.
- [0047] 이 실시형태1의 적층 세라믹 콘덴서는 도 1~4에 나타내는 바와 같이, 복수의 세라믹층(3)이 적층된 세라믹 소결체(10)와, 그 내부에 교대로 반대측으로 인출되도록 배치된 제 1 및 제 2 내부 전극(1, 2)과, 세라믹 소결체(10)의 서로 대향하는 제 1 단면(11)과 제 2 단면(12)에 제 1 및 제 2 내부 전극(1, 2)의 인출부와 도통하도록 배치된 제 1 및 제 2 외부 단자 전극(31, 32)을 구비하고 있다.
- [0048] 더욱 상세하게 설명하면 세라믹 소결체(10)는 서로 대향하는 제 1 측면(21) 및 제 2 측면(22)(도 1, 도 3)과, 서로 대향하는 제 1 단면(11) 및 제 2 단면(12)(도 1, 도 2)을 갖고 있고, 내부에는 도 2, 도 3에 나타내는 바와 같이, 제 1 단면(11)에 인출된 Ni를 함유하는 제 1 내부 전극(1)과, 소정의 세라믹층(용량 형성에 기여하는 유전체층임)(3)을 통해 제 1 내부 전극(1)과 대향하도록 해서 세라믹 소결체(10)의 내부에 배치되고, 제 2 단면(12)에 인출된 Ni를 함유하는 제 2 내부 전극(2)이 배치되어 있다.
- [0049] 또한, 세라믹 소결체(10)의 제 1 단면(11)에는 도 1, 도 2에 나타내는 바와 같이, 제 1 내부 전극(1)과 전기적으로 접속되는 제 1 외부 단자 전극(31)이 배치되어 있고, 세라믹 소결체(10)의 제 2 단면(12)에는 제 2 내부 전극(2)과 전기적으로 접속되어 제 1 외부 단자 전극(31)과는 다른 전위에 접속되는 제 2 외부 단자 전극(32)이 배치되어 있다.
- [0050] 또한, 이 적층 세라믹 콘덴서에 있어서 세라믹 소결체(10)는 도 3, 도 4에 나타내는 바와 같이, 세라믹층(3) 중, 제 1 내부 전극(1) 및 제 2 내부 전극(2)에 끼워지고, 용량 형성에 기여하는 유효층부(3a)와, 제 1 내부 전극(1) 및 제 2 내부 전극(2)의 측부와 세라믹 소결체(10)의 제 1, 제 2 측면(21, 22) 사이 및 유효층부(3a)의 측부와 세라믹 소결체(10)의 제 1, 제 2 측면(21, 22) 사이에 존재하는 측면측 갭부(G<sub>s</sub>)와, 제 1 내부 전극(1) 및 제 2 내부 전극(2)의 단부와 세라믹 소결체(10)의 제 1, 제 2 단면(11, 12) 사이 및 유효층부(3a)의 단부와 세라믹 소결체(10)의 제 1 또는 제 2 단면(11, 12) 사이에 존재하는 단면측 갭부(G<sub>d</sub>)를 포함하고 있다.
- [0051] 또한, 세라믹 소결체(10)는 도 3에 나타내는 바와 같이, 최상층의 내부 전극{1(2)} 및 최하층의 내부 전극

{1(2)}보다 외층에 용량의 형성에 기여하지 않는 세라믹층인 외층(3b)을 구비하고 있다.

- [0052] 그리고, 상기 측면층 겹부( $G_S$ ) 및 단면층 겹부( $G_E$ ) 중, 제 1, 제 2 내부 전극(1, 2)과 인접하는 영역( $G_{S1}$ (도 3, 도 4),  $G_{E1}$ (도 4))이 유효층부(3a)에 비해서 Mg 농도가 높은 Mg 리치 영역( $M_R$ )으로 되어 있고, Mg는 겹부 전체에 걸쳐 거의 균일하게 분포되어 있다.
- [0053] 또한, 이 실시형태1에서는 겹부 전체에 걸쳐 Mg를 거의 균일하게 분포시키도록 하고 있지만 반드시 Mg는 겹부 전체에 걸쳐 균일하게 분포되어 있을 필요는 없고, 겹부의 내부 전극 근방 부분에 Mg가 존재하고 있으면 좋다. 또한, Mg는 이 실시형태1의 경우와 같이, 세라믹 소결체의 측면에까지 이르도록 겹부 전체에 분포되어 있어도 좋고, 또한, 겹부의 내부 전극 근방 부분에 편석되도록 분포되어 있어도 좋다.
- [0054] 또한, 이 실시형태1에서는 유효층부(3a)를 구성하는 세라믹 재료로서 Mg를 함유하지 않는 재료가 이용되고 있고, Mg 리치 영역( $M_R$ )을 구성하는 재료로서는 유효층부(3a)를 구성하는 세라믹 재료로서는 주성분 100mol%에 대해서 Mg를 0.5~1.0mol%의 범위에서 첨가한 세라믹 재료가 이용되고 있다.
- [0055] 이 실시형태1의 적층 세라믹 콘덴서에 있어서는 상술한 바와 같이, 측면층 겹부( $G_S$ ) 및 단면층 겹부( $G_E$ ) 중, 제 1, 제 2 내부 전극(1, 2)과 인접하는 영역( $G_{S1}$  및  $G_{E1}$ )을 유효층부(3a)보다 Mg 농도가 높은 Mg 리치 영역( $M_R$ )으로 하고 있으므로 제 1, 제 2 내부 전극(1, 2)과, 그것에 인접하는 세라믹으로 이루어지는 영역( $G_{S1}$  및  $G_{E1}$ )의 경계부에 내부 전극(1, 2)을 구성하는 금속인 Ni와, 세라믹 유래의 금속 원소인 Mg의 산화 화합물이 생성되고, 내부 전극(1, 2)과 영역( $G_{S1}$  및  $G_{E1}$ )의 경계부의 간극(C)(도 5 참조)이 이 산화 화합물에 의해 충전됨과 아울러, 내부 전극(1, 2)과 영역( $G_{S1}$  및  $G_{E1}$ )이 이 산화 화합물에 의해 결합되기 때문에 높은 내습성을 구비하고, 소형화 한 경우에도 내습성에 대한 신뢰성이 높은 적층 세라믹 콘덴서를 얻을 수 있다.
- [0056] 다음에, 이 적층 세라믹 콘덴서의 제조 방법에 대해서 설명한다.
- [0057] (1) 우선, 유전체 세라믹을 주된 성분으로 하는 세라믹 그린 시트, Ni 분말을 도전 재료로서 함유하는 내부 전극용 도전성 페이스트, 외부 단자 전극용 도전성 페이스트를 준비한다.
- [0058] 세라믹 그린 시트나 각종 도전성 페이스트에는 바인더 및 용제가 함유되지만 공지의 유기 바인더나 유기 용제를 사용할 수 있다.
- [0059] (2) 그리고, 도 6의 (a)에 나타내는 바와 같이, 세라믹 그린 시트(41) 상에 예를 들면 스크린 인쇄 등에 의해 도(島) 형상으로 도전성 페이스트(42)를 인쇄하여 내부 전극 패턴(42p)을 형성한다.
- [0060] (3) 그리고, 도 6의 (b)에 나타내는 바와 같이, 세라믹 그린 시트(41) 상의 내부 전극 패턴(42p)이 형성되어 있지 않은 부분에 측면층 겹부( $G_S$ ) 및 단면층 겹부( $G_E$ )용 세라믹 페이스트(43)를 인쇄한다.
- [0061] 이 세라믹 페이스트를 구성하는 세라믹 재료로서 하지가 되는 세라믹 그린 시트(41)를 구성하는 세라믹 재료에 비해서 Mg의 함유율이 높은 세라믹 재료를 이용한 것을 사용하고 있다.
- [0062] 또한, 겹부에 있어서 Mg를 치우쳐서 분포시키는 경우에는 예를 들면, Mg의 함유율이 다른 복수 종류의 세라믹 페이스트를 준비하고, 인접해서 순차적으로 인쇄하는 방법 등을 이용하는 것이 가능하다.
- [0063] (4) 다음에, 도 6의 (b)에 나타내는 세라믹 그린 시트(41)를 길이 방향으로 교대로 소정 거리만큼 변위시키면서 적층하여 머더 블록을 제작한다. 또한, 최외층에는 내부 전극 패턴이 형성되어 있지 않은 외층용 그린 시트를 적층한다.
- [0064] 또한, 머더 블록은 필요에 따라 정수압 프레스 등의 수단으로 적층 방향으로 압착한다.
- [0065] (5) 다음에, 머더 블록을 소정의 커팅 라인(L)을 따라 소정 사이즈로 커팅해서 생칩을 잘라낸다(도 6의 (c) 참조). 또한, 도 6의 (c)에서는 편의상, 세라믹 그린 시트 1장을 인출해서 커팅 라인(L)을 나타내고 있다. 또한, 필요에 따라 생칩을 배럴 연마 등의 방법에 의해 연마해서 생칩의 능선부 및 모서리부를 둥글게 해도 좋다.
- [0066] (6) 다음에, 생칩(생의 세라믹 적층체)을 소성한다. 소성 온도는 900~1300℃인 것이 바람직하다. 소성 분위기는 대기,  $N_2$  등의 분위기를 적당히 구분해서 사용한다.
- [0067] (7) 다음에, 소성된 세라믹 적층체의 양단면에 도전성 페이스트를 도포하고, 베이킹해서 외부 단자 전극을 형성



한다. 베이킹 온도는 700~900℃인 것이 바람직하다. 베이킹 분위기는 대기, N<sub>2</sub> 등의 분위기를 적당히 구분해서 사용한다.

- [0068] 또한, 필요에 따라 외부 단자 전극 표면에 전기적 접촉 신뢰성의 향상이나 납땀성의 향상 등의 목적으로 도금막을 형성한다.
- [0069] 이것에 의해 도 1~4에 나타내는 바와 같은 구성을 갖는 적층 세라믹 콘덴서가 얻어진다.
- [0070] 이 실시형태1의 적층 세라믹 콘덴서의 경우, 측면측 껍부(G<sub>S</sub>) 및 단면측 껍부(G<sub>E</sub>)용 세라믹 페이스트로서 세라믹 그린 시트(1)를 구성하는 재료보다 Mg 함유율이 높은 재료를 사용하고 있으므로 도 3 및 도 4에 나타내는 바와 같이, 측면측 껍부(G<sub>S</sub>), 단면측 껍부(G<sub>E</sub>) 중 제 1 및 제 2 내부 전극(1, 2)과 동일한 높이 위치에 있는 영역에 함유되는 Mg의 농도가 기타 세라믹 부분(유효층부(3a) 등)에 함유되는 Mg의 농도보다 높고, 내부 전극(1, 2)을 구성하는 Ni와, 이 Mg의 산화 화합물에 의해 내부 전극(1, 2)과 영역(G<sub>S1</sub> 및 G<sub>E1</sub>)의 경계부의 간극(C)(도 5 참조)이 충전됨과 아울러, 내부 전극(1, 2)과 영역(G<sub>S1</sub> 및 G<sub>E1</sub>)이 이 산화 화합물에 의해 결합되기 때문에 높은 내습성을 구비한 적층 세라믹 콘덴서가 얻어진다.
- [0071] 또한, 세라믹층끼리에서 구성 성분의 다소의 확산이 일어날 수 있기 때문에 측면측 껍부(G<sub>S</sub>), 단면측 껍부(G<sub>E</sub>) 중의 Mg 리치 영역(M<sub>R</sub>)인 영역(G<sub>S1</sub>)끼리, 영역(G<sub>E1</sub>)끼리에 의해 끼워진 부분도 약간 Mg 농도가 높게 될 수 있다.
- [0072] 또한, 세라믹 중의 Mg는 MgO 등의 형태로 존재할 수 있지만, 기타 Mg 산화물 등의 화합물의 상태로도 존재할 수 있다. 단, 유리 성분으로서의 Mg는 바람직하지 않다. 이것은 측면측 껍부(G<sub>S</sub>), 단면측 껍부(G<sub>E</sub>)에 있어서의 유리량이 늘어나면 측면측 껍부(G<sub>S</sub>), 단면측 껍부(G<sub>E</sub>)의 소결 온도가 저하되고, 원래 칩의 외표면 근방에 위치하는 측면측 껍부(G<sub>S</sub>), 단면측 껍부(G<sub>E</sub>)에는 열이 전달되기 쉽기 때문에 측면측 껍부(G<sub>S</sub>), 단면측 껍부(G<sub>E</sub>)가 과소결로 되고, 콘덴서 본체의 구조 결합이나 강도 저하를 초래할 우려가 있는 것에 의한다.
- [0073] 또한, Mg 리치 영역(M<sub>R</sub>)의 Mg 함유율은 상술한 바와 같이, 구체적으로는 세라믹 재료의 주성분 100mol%에 대한 Mg의 첨가 비율로서 유효층부(3a)에 비해서 0.5~1.0mol% 많게 하는 것이 바람직하다.
- [0074] 본 발명의 구성에 관해서, 콘덴서 본체를 구성하는 세라믹 전체에 함유되는 Mg 농도를 두루 높게 하는 것도 고려되지만 유효층부의 조성을 변경하면 원하는 콘덴서 특성(유전율, 온도 특성 등)이 얻어지지 않게 될 우려가 있다는 점에서 본 발명과 같이, 측면측 껍부(G<sub>S</sub>), 단면측 껍부(G<sub>E</sub>)에 의해 많은 Mg를 함유시키는 것이 바람직하다.
- [0075] 또한, 본 발명의 적층 세라믹 전자 부품에 있어서 세라믹층으로서 BaTiO<sub>3</sub>, CaTiO<sub>3</sub>, SrTiO<sub>3</sub>, CaZrO<sub>3</sub> 등을 주성분으로 하는 유전체 세라믹을 사용할 수 있다. 또한, 이들 주성분에 Mn 화합물, Fe 화합물, Cr 화합물, Co 화합물, Ni 화합물 등의 부성분을 첨가한 것을 사용해도 좋다.
- [0076] 또한, 본 발명의 적층 세라믹 전자 부품에 있어서 세라믹층의 두께는 1~10μm로 하는 것이 바람직하다.
- [0077] 또한, 본 발명에서는 내부 전극이 Ni를 함유하는 것을 요건으로 한다. 구체적으로는 금속으로서의 Ni, NiO 등의 Ni 화합물 또는 Ni 합금 등을 함유하는 것을 요건으로 한다. 내부 전극의 두께는 1~10μm인 것이 바람직하다.
- [0078] 또한, 본 발명에서는 외부 단자 전극을 하지 전극과 그 위에 형성되는 도금층을 구비한 복수층 구조로 하는 것이 바람직하다. 외부 단자 전극은 통상, 단면으로부터 주면 및 측면에 돌아 들어가도록 해서 형성되지만 적어도 단면에 형성되어 있으면 좋다.
- [0079] 외부 단자 전극을 구성하는 하지 전극으로서 Cu, Ni, Ag, Ag-Pd 등의 금속을 사용할 수 있다. 하지 전극에는 유리가 함유되는 것이 바람직하다.
- [0080] 외부 단자 전극의 도금층으로서 적층 세라믹 전자 부품이 땀납 실장되는 것인 경우에는 Ni 도금층, Sn 도금층의 2층 구조를 채용하는 것이 바람직하다. 도전성 접착제나 와이어 본딩에 의해 실장되는 적층 세라믹 전자 부품의 경우에는 Ni 도금층, Au 도금층의 2층 구조를 채용하는 것이 바람직하다. 또한, 콘덴서가 수지 기판에 매설되는 것인 경우에는 최외층을 Cu 도금층에 의해 구성하는 것이 바람직하다. 도금층은 반드시 2층일 필요는 없고, 1층이어도 3층 이상이어도 좋다. 또한, 도금층 한 층당 두께는 1~10μm인 것이 바람직하다. 또한, 하지 전극과 도금층 사이에 응력 완화용 수지층이 형성되어 있어도 좋다.

- [0081] 또한, 본 발명은 내부 전극에 함유되는 Ni와 세라믹에 함유되는 Mg의 반응에 착안한 발명이며, 본 발명 특유의 구성으로 하는 것이 가능하며, 또한, 작용 효과를 기대할 수 있는 것이면 적층 세라믹 콘덴서에 한정되지 않고, 적층 서미스터, 적층 인덕터 등에도 적용하는 것이 가능하다.
- [0082] [실시형태2]
- [0083] 도 7은 본 발명의 다른 실시형태(실시형태2)에 따른 적층 세라믹 전자 부품(이 실시형태에서는 적층 세라믹 콘덴서)의 주요부 구성을 나타내는 단면도이며, 실시형태1의 도 1의 B-B선 단면도에 상당하는 도면, 도 8은 본 발명의 실시형태2에 따른 적층 세라믹 콘덴서의 구성을 설명하기 위한 도면이다.
- [0084] 이 실시형태2의 적층 세라믹 콘덴서는 도 7 및 8에 나타내는 바와 같이, 측면층 겹부( $G_s$ )가 Mg 리치 영역( $M_R$ )으로 되어 있음과 아울러, 내부 전극 중의 최외층의 내부 전극보다 외층의 세라믹층(외층)(3b)의 측면층 겹부( $G_s$ )의 수직 투영 영역(13b)도 Mg 리치 영역( $M_R$ )으로 되어 있다.
- [0085] 그리고, 이 실시형태2의 적층 세라믹 콘덴서의 경우, Mg 리치 영역( $M_R$ )에 있어서는 Mg 농도가 세라믹 소결체의 외층으로부터 내층을 향해서 저하되는 농도 구배를 갖고 있다.
- [0086] 즉, 이 실시형태2의 적층 세라믹 콘덴서는 내부 전극 중의 최외층의 내부 전극보다 외층의 세라믹층(외층)(3b)의 측면층 겹부( $G_s$ )의 수직 투영 영역(13b)에도 Mg 리치 영역( $M_R$ )이 형성되어 있는 점, 단면층 겹부( $G_E$ )에는 Mg 리치 영역이 형성되어 있지 않은 점 및 Mg 리치 영역( $M_R$ )에 있어서는 Mg 농도가 세라믹 소결체의 외층으로부터 내층을 향해서 저하되는 농도 구배를 갖고 있음에 있어서 상기 실시형태1의 경우와는 구성을 달리하고 있다.
- [0087] 또한, 기타 구성은 상기 실시형태1의 경우와 동일하다.
- [0088] 이 실시형태2의 구성의 경우에도 측면층 겹부( $G_s$ ) 및 측면층 겹부( $G_s$ )의 수직 투영 영역(13b)이 Mg 리치 영역으로 되어 있고, 내부 전극의 측부와 세라믹층의 간극이 Ni와 Mg의 산화 화합물에 의해 충전되고, 또한, 내부 전극의 측부와 세라믹층이 Ni와 Mg의 산화 화합물에 보다 확실하게 결합되기 때문에 상기 실시형태1의 경우와 마찬가지로, 높은 내습성을 구비하고, 소형화한 경우에도 내습성에 대한 신뢰성이 높은 적층 세라믹 콘덴서를 얻을 수 있다.
- [0089] 다음에, 이 적층 세라믹 콘덴서의 제조 방법에 대해서 설명한다.
- [0090] 이 실시형태2의 적층 세라믹 콘덴서를 제조함에 있어서는 실시형태1의 적층 세라믹 콘덴서의 제조 방법에 있어서의 공정(3)에 있어서 세라믹 그린 시트 상의 내부 전극 패턴의 주변 영역(내부 전극 패턴이 형성되어 있지 않은 부분)에 하지가 되는 세라믹 그린 시트를 구성하는 세라믹 재료와 동일한 세라믹 재료를 사용한 세라믹 페이스트를 도포한다.
- [0091] 그리고, 실시형태1의 경우와 마찬가지로, 세라믹 그린 시트를 길이 방향으로 교대로 소정 거리만큼 변위시키면서 적층해서 머더 블록을 제작한다. 또한, 최외층에는 내부 전극 패턴이 형성되어 있지 않은 외층용 그린 시트를 적층한다.
- [0092] 그리고, 머더 블록을 필요에 따라 정수압 프레스 등의 수단으로 압착한다.
- [0093] 그 후, 실시형태1의 경우와 마찬가지로 해서, 머더 블록을 소정의 커팅 라인을 따라 소정의 사이즈로 커팅해서 생칩을 잘라낸다. 또한, 필요에 따라 생칩을 배럴 연마 등의 방법에 의해 연마해서 생칩의 능선부 및 모서리부를 둥글게 해도 좋다.
- [0094] 그리고, 얻어진 생칩의 양측면을 MgO를 1mol/L의 비율로 함유하는 유기 바인더 용액에 침지해서 생칩에 Mg분을 함침시킨 후, 건조시킨다.
- [0095] 그 후, 실시형태1의 경우와 동일한 방법에 의해 소성, 외부 단자 전극의 형성을 행함으로써 도 7 및 8에 주요부를 나타내는 바와 같은 세라믹 소결체(10)의 Mg 리치 영역( $M_R$ )에 있어서는 Mg 농도가 세라믹 소결체(10)의 외층으로부터 내층을 향해서 저하되는 농도 구배를 갖는 적층 세라믹 콘덴서가 얻어진다.
- [0096] 또한, 이 실시형태2에서는 생칩의 한 쌍의 측면을 MgO를 함유하는 유기 바인더 용액에 침지하도록 하고 있지만 경우에 따라서는 생칩 전체를 MgO를 함유하는 유기 바인더 용액에 침지하도록 구성하는 것도 가능하다.
- [0097] [실시형태3]

- [0098] 도 9는 본 발명의 다른 실시형태(실시형태3)에 따른 적층 세라믹 전자 부품(이 실시형태에서는 적층 세라믹 콘덴서)의 주요부 구성을 나타내는 단면도이며, 실시형태1의 도 1의 B-B선 단면도에 상당하는 도면, 도 10은 본 발명의 실시형태3에 따른 적층 세라믹 콘덴서의 구성을 설명하기 위한 도면이다.
- [0099] 이 실시형태3의 적층 세라믹 콘덴서는 도 9 및 10에 나타내는 바와 같이, 측면층 겹부( $G_S$ )에 Mg 리치 영역( $M_R$ )이 형성되어 있음과 아울러, 내부 전극 중의 최외층의 내부 전극보다 외측의 세라믹층(외층)(3b)의 측면층 겹부( $G_S$ )의 수직 투영 영역(13b)에도 Mg 리치 영역( $M_R$ )이 형성되어 있다.
- [0100] 한편, 도 10에 나타내는 바와 같이, 단면층 겹부( $G_E$ )에는 Mg 리치 영역이 형성되어 있지 않다.
- [0101] 즉, 이 실시형태3의 적층 세라믹 콘덴서는 내부 전극 중의 최외층의 내부 전극보다 외측의 세라믹층(외층)(3b)의 측면층 겹부( $G_S$ )의 수직 투영 영역(13b)에도 Mg 리치 영역( $M_R$ )이 형성되어 있는 점 및 단면층 겹부( $G_E$ )에는 Mg 리치 영역이 형성되어 있지 않은 점에 있어서 상기 실시형태1의 경우와는 구성을 달리하고 있다.
- [0102] 기타 구성은 상기 실시형태1의 경우와 동일하다. 또한, 이 실시형태3에서도 겹부 전체에 걸쳐 Mg를 거의 균일하게 분포시키고 있지만 Mg는 겹부 전체에 걸쳐 균일하게 분포되어 있을 필요는 없고, 겹부의 내부 전극 근방 부분에 있어서 Mg가 존재하고 있으면 좋다. 또한, Mg는 실시형태3의 경우와 같이, 세라믹 소결체의 측면에까지 이르도록 겹부 전체에 분포되어 있어도 좋고, 또한, 겹부의 내부 전극 근방 부분에 편석되는 형태로 존재하고 있어도 좋다.
- [0103] 이 실시형태3의 구성의 경우에도 높은 내습성을 구비하고, 소형화한 경우에도 내습성에 대한 신뢰성이 높은 적층 세라믹 콘덴서를 얻을 수 있다.
- [0104] 다음에, 이 적층 세라믹 콘덴서의 제조 방법에 대해서 설명한다.
- [0105] 도 11의 (a)에 나타내는 바와 같이, 세라믹 그린 시트(41) 상에 예를 들면, 스크린 인쇄 등에 의해 피상으로 도전성 페이스트(42)를 인쇄하여 내부 전극 패턴(42p)을 형성한다.
- [0106] 다음에, 도 11의 (a)에 나타내는 세라믹 그린 시트(41)를 폭 방향으로 교대로 소정 거리만큼 변위시키면서 적층해서 머더 블록을 제작한다. 또한, 최외층에는 내부 전극 패턴이 형성되어 있지 않은 외층용 그린 시트를 적층한다.
- [0107] 또한, 머더 블록은 필요에 따라 정수압 프레스 등의 수단에 의해 적층 방향으로 압착한다.
- [0108] 그리고, 머더 블록을 소정의 커팅 라인(L)을 따라 소정의 사이즈로 커팅해서 생칩을 잘라낸다(도 11의 (b) 참조). 또한, 도 11의 (b)에서는 편의상, 세라믹 그린 시트 1장을 인출해서 커팅 라인(L)을 나타내고 있다.
- [0109] 또한, 이 생칩은 한쪽 단면 뿐만 아니라 양측면에도 내부 전극 패턴이 노출된 구조로 되는 점에서 실시형태1 및 2의 생칩과는 그 구성을 달리하고 있다.
- [0110] 다음에, 생칩의 양측면에 세라믹 그린 시트를 구성하는 세라믹보다 Mg 함유율이 높은 세라믹을 사용한 세라믹 페이스트를 소정의 두께로 도포하고, 건조시킨다.
- [0111] 또한, 겹부에 있어서 Mg를 치우쳐서 분포시키는 경우에는 예를 들면, Mg의 함유율이 다른 복수 종류의 세라믹 페이스트를 준비하고, 순차적으로 도포, 건조를 행해서 겹쳐서 도포하는 방법 등을 사용하는 것이 가능하다.
- [0112] 이것에 의해 생칩 양측면에 측면층 겹부에 상당하는 Mg 리치 영역이 형성된다(도 9 참조).
- [0113] 또한, 이 방법의 경우, 내부 전극 중의 최외층의 내부 전극보다 외측의 세라믹층의 단면층 겹부의 수직 투영 영역에도 Mg 리치 영역이 형성된다.
- [0114] 그 후, 필요에 따라 생칩을 배럴 연마 등의 방법에 의해 연마해서 생칩의 능선부 및 모서리부를 둥글게 해도 좋다. 단, 세라믹 페이스트 도포시에 생칩의 측면을 세라믹 페이스트속에 침지하는 딥 공법을 사용한 경우에는 세라믹 페이스트의 도포 형상에 따라서는 생칩의 능선부 및 모서리부가 둥글게 되기 때문에 배럴 연마가 불필요해지는 경우가 있다.
- [0115] 기타 공정에 대해서는 실시형태1과 동일하다.
- [0116] (실시예)

- [0117] [실시예1]
- [0118] 우선, 내환원성의 티탄산 바륨계 세라믹 분말을 주체로 하는 세라믹 슬러리를 이용해서 두께 2.0 $\mu$ m의 직사각형의 세라믹 그린 시트를 성형했다. 상기 내환원성의 티탄산 바륨계 세라믹 분말, 즉, 유효충부용 세라믹 재료로서, 이 실시예1에서는 BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하고, MgO를 함유하지 않는 재료(MgO 첨가량: 0mol%의 재료)를 사용했다.
- [0119] 그리고, 이 세라믹 그린 시트 상에 내부 전극 형성용 도전성 페이스트로서 평균 입경 0.3 $\mu$ m의 니켈 분말 100중량부와 유기 바인더 3.0중량부를 배합한 도전성 페이스트를 단변의 폭이 800 $\mu$ m로 되도록 스크린 인쇄하여 내부 전극 패턴을 형성했다.
- [0120] 그리고, BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하는 주성분 100mol%에 대해서 첨가물로서 MgO를 0.5mol%의 비율로 배합한 세라믹 재료(겍부를 구성하는 세라믹 재료이며, 상기 유효충부용 세라믹 재료보다 MgO 첨가 비율이 0.5mol% 많은 세라믹 재료) 100중량부와 유기 바인더 3.0중량부를 배합한 세라믹 페이스트를 내부 전극 패턴과 그 주위의 단차가 없어지도록 내부 전극 패턴의 주위에 스크린 인쇄했다.
- [0121] 그리고, 이 도전성 페이스트 및 세라믹 페이스트가 인쇄된 세라믹 그린 시트를 240장 적층하고, 그 상하 양면측에 상술한 바와 같이 성형되고, 또한, 내부 전극 패턴이 형성되어 있지 않은 세라믹 그린 시트(외층용 세라믹 그린 시트)를 각각 70장 더 적층하고, 두께 방향으로 가압해서 커팅함으로써 길이 2.0mm×폭 1.0mm×두께 1.0mm의 생칩(미소성의 세라믹 소결체)을 얻었다.
- [0122] 이 생칩을 1300℃의 온도에서 소성하여 길이 1.6mm×폭 0.8mm×두께 0.8mm의 세라믹 소결체를 얻었다.
- [0123] 얻어진 세라믹 소결체의 내부 전극의 노출면인 양단면에 도전성 페이스트를 도포하고, 베이킹함으로써 외부 단자 전극을 형성하여 적층 세라믹 콘덴서 A(시료 A)를 얻었다.
- [0124] 또한, 겍부를 구성하는 세라믹 재료로서 BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하는 주성분 100mol%에 대해서 첨가물로서 MgO를 0.75mol%의 비율로 배합한 세라믹 재료(상기 유효충부용 세라믹 재료보다 MgO 첨가 비율이 0.75mol% 많은 재료)를 사용하고, 그 외에는 상기 적층 세라믹 콘덴서 A의 경우와 동일한 조건으로 적층 세라믹 콘덴서 B(시료 B)를 제작했다.
- [0125] 또한, 겍부를 구성하는 세라믹 재료로서 BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하는 주성분 100mol%에 대해서 첨가물로서 MgO를 1mol%의 비율로 배합한 세라믹 재료(상기 유효충부용 세라믹 재료보다 MgO 첨가 비율이 1mol% 많은 재료)를 사용하고, 그 외에는 상기 적층 세라믹 콘덴서 A의 경우와 동일한 조건으로 적층 세라믹 콘덴서 C(시료 C)를 제작했다.
- [0126] 또한, 겍부를 구성하는 세라믹 재료로서 BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하는 주성분 100mol%에 대해서 첨가물로서 MgO를 1.5mol%의 비율로 배합한 세라믹 재료(상기 유효충부용 세라믹 재료보다 MgO 첨가 비율이 1.5mol% 많은 재료)를 사용하고, 그 외에는 상기 적층 세라믹 콘덴서 A의 경우와 동일한 조건으로 적층 세라믹 콘덴서 D(시료 D)를 제작했다.
- [0127] 또한, 비교를 위해서 상기 세라믹 페이스트로서 MgO를 첨가하고 있지 않은 세라믹 그린 시트와 동일한 세라믹 분말을 사용한 세라믹 페이스트를 내부 전극 패턴의 주위에 스크린 인쇄한 세라믹 그린 시트를 사용하고, 마찬가지로 해서 비교예1로서의 적층 세라믹 콘덴서 E(시료 E)를 제작했다.
- [0128] 그리고, 이 실시예1의 적층 세라믹 콘덴서(시료) A, B, C, D 및 비교예1의 적층 세라믹 콘덴서(시료) E에 대해서 0.5V의 직류 전압을 인가하는 시험을 행하여 전기 저항값이 1.0×10E6 $\Omega$  이하인 적층 세라믹 콘덴서를 불량품, 그 외를 양품으로서 선별했다.
- [0129] 그리고, 선별 후의 양품에 대해서 내습 시험을 행하여 내습성을 확인했다.
- [0130] 시험 조건은 온도 125℃, 습도 95%RH, 직류 전압 5V 인가, 유지 시간 144시간으로 하고, 시험 후에 상온에서 직류 전압 10V를 인가하여 저항값 1.0×10E6 $\Omega$  이하인 것을 내습 불량품으로 판정했다.
- [0131] 실시예1의 적층 세라믹 콘덴서(시료) A, B, C, D, 및 비교예1의 적층 세라믹 콘덴서(시료) E 각 500개에 대해서 조사한 내습 시험 전의 선별 불량률과, 선별 후의 양품 각 100개에 대해서 조사한 내습 시험 불량률의 측정 결과를 표 1에 나타낸다.

표 1

	MgO 배합 비율 (mol%)	내습시험 전의 불량률	내습시험 불량률
시료 A (실시예)	0.5	0.40%	5%
시료 B (실시예)	0.75	0.60%	0%
시료 C (실시예)	1	0.60%	0%
시료 D (실시예)	1.5	0.40%	15%
시료 E (비교예1)	0	0.40%	72%

[0132]

[0133]

표 1에 나타내는 바와 같이, 실시예1의 적층 세라믹 콘덴서(시료) A, B, C, D 및 비교예1의 적층 세라믹 콘덴서(시료) E의 내습 시험 전의 불량률은 동등하지만 내습 시험 불량률에 대해서는 실시예1의 시료 A, B, C, D쪽이 비교예1의 시료 E보다 대폭 낮은 것이 확인되었다. 특히, 시료 B, C에서는 내습 시험 불량률이 0%였다.

[0134]

또한, 비교예1의 시료 E에서는 내습 시험 후에 양품으로 판정되어 있는 것이어도 시험 전에 비해서 시험 후의 저항값이 저하되어 있는 것이 많이 확인되었다.

[0135]

또한, 실시예1의 시료 B, C에 있어서는 내부 전극의 단부에 간극을 전혀 검출할 수 없고, 시료 A, D에서도 적층 방향 중앙부의 내부 전극의 단부에 약간 간극이 확인되었을 뿐이었다. 이것으로부터 실시예1의 적층 세라믹 콘덴서에 있어서는 내부 전극의 단부와 주위의 세라믹의 간극으로의 수분의 침입이 억제되어 내습 시험에 있어서의 불량 발생이 억제된 것으로 생각된다.

[0136]

[실시예2]

[0137]

우선, 내환원성의 티탄산 바륨계 세라믹 분말을 주체로 하는 세라믹 슬러리를 이용해서 두께 2.0 $\mu$ m의 직사각형의 세라믹 그린 시트를 성형했다. 상기 내환원성의 티탄산 바륨계 세라믹 분말로서는 구체적으로는 BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하고, MgO를 함유하지 않는 재료(MgO 첨가량: 0mol%)를 사용했다.

[0138]

그리고, 이 세라믹 그린 시트 상에 내부 전극 형성용 도전성 페이스트로서 평균 입경 0.3 $\mu$ m의 니켈 분말 100중량부와 유기 바인더 3.0중량부를 배합한 도전성 페이스트를 단변의 폭이 800 $\mu$ m로 되도록 스크린 인쇄하여 내부 전극 패턴을 형성했다.

[0139]

그리고, 상기 세라믹 그린 시트를 성형하는데에 사용한 세라믹 슬러리에 함유되는 세라믹 분말과 동일한 세라믹 분말(MgO는 첨가되어 있지 않음) 100중량부와 유기 바인더 3.0중량부를 배합한 세라믹 페이스트를 내부 전극 패턴과 그 주위의 단차가 없도록 내부 전극 패턴의 주위에 스크린 인쇄했다.

[0140]

그리고, 이 도전성 페이스트 및 세라믹 페이스트가 인쇄된 세라믹 그린 시트를 240장 적층하고, 그 상하 양면측에 상술한 바와 같이 성형되고, 또한, 내부 전극 패턴이 형성되어 있지 않은 세라믹 그린 시트(외층용 세라믹 그린 시트)를 각각 70장 더 적층하고, 두께 방향으로 가압해서 커팅함으로써 길이 2.0mm×폭 1.0mm×두께 1.0mm의 생칩(미소성의 세라믹 소결체)을 얻었다.

[0141]

그리고, 얻어진 생칩의 한쪽 측면을 MgO를 1mol/L의 비율로 함유하는 유기 바인더 용액에 침지해서 건조시킨 후, 다른쪽 측면도 침지하여 양측면에 Mg분을 함침시켰다.

[0142]

이 생칩을 건조시킨 후, 1300℃의 온도에서 소성하여 길이 1.6mm×폭 0.8mm×두께 0.8mm의 세라믹 소결체를 얻었다.

[0143]

그리고, 얻어진 세라믹 소결체의 내부 전극의 노출면인 양단면에 도전성 페이스트를 도포하고, 베이킹함으로써 외부 단자 전극을 형성하여 적층 세라믹 콘덴서 F(시료F)를 얻었다.



[0144] 또한, 이 적층 세라믹 콘덴서 F(시료 F)는 상술한 실시형태2에서 설명한 구성을 갖는 적층 세라믹 콘덴서에 상당하는 적층 세라믹 콘덴서이며, 세라믹 소결체의 양측면측이 Mg 리치 영역으로 되어 있고, 또한, Mg 리치 영역에 있어서는 Mg 농도가 세라믹 소결체의 외측으로부터 내측을 향해서 저하되는 농도 구배를 갖는 적층 세라믹 콘덴서(도 7, 도 8 참조)이다.

[0145] 또한, 마찬가지로 MgO를 3.0mol/L의 비율로 함유하는 유기 바인더 용액을 이용해서 동일한 공정에 의해 적층 세라믹 콘덴서 G(시료G)를 얻었다.

[0146] 또한, 비교를 위해서 상기 실시예1에서 설명한 비교예1의 경우와 동일한 방법에 의해 비교예2로서의 적층 세라믹 콘덴서 H(시료 H)를 제작했다. 또한, 이 비교예2의 시료 H는 상기 비교예1과 동일한 방법에 의해 제조했지만 비교예1과는 제조 로트가 다른 시료이다.

[0147] 그리고, 이 실시예2의 적층 세라믹 콘덴서 F, G와 비교예2의 적층 세라믹 콘덴서 H에 대해서 상기 실시예1의 경우와 동일한 방법에 의해 내습 시험 전의 선별 및 선별 후의 양품에 대한 내습 시험을 행했다.

[0148] 그 결과를 표 2에 나타낸다.

표 2

	제조 조건 등	내습시험전의 불량률	내습시험 불량률
시료 F (실시예)	MgO를 1mol/L의 비율로 함유하는 유기 바인더 용액에 침지	0.20%	6%
시료 G (실시예)	MgO를 3mol/L의 비율로 함유하는 유기 바인더 용액에 침지	0.60%	0%
시료 H (비교예2)	MgO를 함유하는 유기 바인더 용액으로의 침지 없음	0.60%	69%

[0149]

[0150] 표 2에 나타내는 바와 같이, 이 실시예2의 적층 세라믹 콘덴서 F, G와, 비교예2의 적층 세라믹 콘덴서 H에 대해서도 표 2에 나타내는 바와 같이, 상기 실시예1 및 비교예1과 거의 동일한 평가 결과가 얻어졌다.

[0151] 즉, 표 2에 나타내는 바와 같이, 실시예2의 적층 세라믹 콘덴서 F, G 및 비교예2의 적층 세라믹 콘덴서 H의 내습 시험 전의 불량률은 동등하지만 내습 시험 불량률에 대해서는 실시예2의 시료인 적층 세라믹 콘덴서 F, G쪽이 비교예2의 적층 세라믹 콘덴서 H보다 대폭 낮은 것이 확인되었다. 특히, 시료 G에서는 내습 시험 불량률이 0%였다.

[0152] 또한, 비교예2의 적층 세라믹 콘덴서 H에서는 내습 시험 후에 양품으로 판정되어 있는 것이어도 시험 전에 비해서 시험 후의 저항값이 저하되어 있는 것이 많이 확인되었다.

[0153] 또한, 실시예2의 적층 세라믹 콘덴서 G로부터는 내부 전극의 단부에 간극을 전혀 검출할 수 없고, 비교예2의 적층 세라믹 콘덴서 H에서도 적층 방향 중앙부의 내부 전극의 단부에 약간 간극이 확인되었을 뿐이었다.

[0154] [실시예3]

[0155] 우선, 내환원성의 티탄산 바륨계 세라믹 분말을 주체로 하는 세라믹 슬러리를 이용해서 두께 2.0 $\mu$ m의 직사각형의 세라믹 그린 시트를 성형했다.

[0156] 상기 내환원성의 티탄산 바륨계 세라믹 분말, 즉, 유효층부용 세라믹 재료로서 이 실시예3에서는 BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하는 주성분 100mol%에 대해서 첨가물로서 MgO를 1mol%의 비율로 배합한 재료를 사용했다.

[0157] 그리고, 이 세라믹 그린 시트 상에 내부 전극 형성용 도전성 페이스트로서 평균 입경 0.3 $\mu$ m의 니켈 분말 100중량부와 유기 바인더 3.0중량부를 배합한 도전성 페이스트를 단변의 폭이 800 $\mu$ m로 되도록 스크린 인쇄하여 내부 전극 패턴을 형성했다.



- [0158] 그리고, BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하는 주성분 100mol%에 대해서 첨가물로서 MgO를 1.5mol%의 비율로 배합한 세라믹 재료(궤부를 구성하는 세라믹 재료이며, 상기 유효층부용 세라믹 재료보다 MgO 첨가 비율이 0.5mol% 많은 세라믹 재료) 100중량부와 유기 바인더 3.0중량부를 배합한 세라믹 페이스트를 내부 전극 패턴과 그 주위의 단차가 없어지도록 내부 전극 패턴 주위에 스크린 인쇄했다.
- [0159] 그리고, 이 도전성 페이스트 및 세라믹 페이스트가 인쇄된 세라믹 그린 시트를 240장 적층하고, 그 상하 양면측에 상술한 바와 같이 성형되고, 또한, 내부 전극 패턴이 형성되어 있지 않은 세라믹 그린 시트(외층용 세라믹 그린 시트)를 각각 70장 더 적층하고, 두께 방향으로 가압해서 커팅함으로써 길이 2.0mm×폭 1.0mm×두께 1.0mm의 생칩(미소성의 세라믹 소결체)을 얻었다.
- [0160] 이 생칩을 1300℃의 온도에서 소성하여 길이 1.6mm×폭 0.8mm×두께 0.8mm의 세라믹 소결체를 얻었다.
- [0161] 얻어진 세라믹 소결체의 내부 전극의 노출면인 양단면에 도전성 페이스트를 도포하고, 베이킹함으로써 외부 단자 전극을 형성하여 적층 세라믹 콘덴서 I(시료 I)를 얻었다.
- [0162] 또한, 궤부를 구성하는 세라믹 재료로서 BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하는 주성분 100mol%에 대해서 첨가물로서 MgO를 1.75mol%의 비율로 배합한 세라믹 재료(상기 유효층부용 세라믹 재료보다 MgO 첨가 비율이 0.75mol% 많은 재료)를 사용하고, 그 외에는 상기 적층 세라믹 콘덴서 I의 경우와 동일한 조건으로 적층 세라믹 콘덴서 J(시료 J)를 제작했다.
- [0163] 또한, 궤부를 구성하는 세라믹 재료로서 BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하는 주성분 100mol%에 대해서 첨가물로서 MgO를 2mol%의 비율로 배합한 세라믹 재료(상기 유효층부용 세라믹 재료보다 MgO 첨가 비율이 1mol% 많은 재료)를 사용하고, 그 외에는 상기 적층 세라믹 콘덴서 I의 경우와 동일한 조건으로 적층 세라믹 콘덴서 K(시료 K)를 제작했다.
- [0164] 또한, 궤부를 구성하는 세라믹 재료로서 BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하는 주성분 100mol%에 대해서 첨가물로서 MgO를 2.5mol%의 비율로 배합한 세라믹 재료(상기 유효층부용 세라믹 재료보다 MgO 첨가 비율이 1.5mol% 많은 재료)를 사용하고, 그 외에는 상기 적층 세라믹 콘덴서 I의 경우와 동일한 조건으로 적층 세라믹 콘덴서 L(시료 L)을 제작했다.
- [0165] 또한, 비교를 위해서 궤부를 구성하는 세라믹 재료로서 BaTiO<sub>3</sub>을 99mol%, Y<sub>2</sub>O<sub>3</sub>을 1mol%의 비율로 함유하는 주성분 100mol%에 대해서 첨가물로서 MgO를 1mol%의 비율로 배합한 재료(상기 유효층부용 세라믹 재료와 동일한 재료)를 사용하고, 그 외에는 상기 적층 세라믹 콘덴서 I의 경우와 동일한 조건으로 적층 세라믹 콘덴서 M(시료 M)을 제작했다.
- [0166] 그리고, 이 실시예3의 적층 세라믹 콘덴서(시료) I, J, K, L 및 비교예3의 적층 세라믹 콘덴서(시료) M에 대해서 0.5V의 직류 전압을 인가하는 시험을 행하여 전기 저항값이 1.0×10E6Ω 이하인 적층 세라믹 콘덴서를 불량품, 그 외를 양품으로서 선별했다.
- [0167] 그리고, 선별 후의 양품에 대해서 내습 시험을 행하여 내습성을 확인했다.
- [0168] 시험 조건은 온도 125℃, 습도 95%RH, 직류 전압 5V 인가, 유지 시간 144시간으로 하고, 시험 후에 상온에서 직류 전압 10V를 인가해서 저항값 1.0×10E6Ω 이하인 것을 내습 불량으로 판정했다.
- [0169] 실시예3의 적층 세라믹 콘덴서(시료) I, J, K, L 및 비교예3의 적층 세라믹 콘덴서(시료) M 각 500개에 대해서 조사한 내습 시험 전의 선별 불량률과, 선별 후의 양품 각 100개에 대해서 조사한 내습 시험 불량률의 측정 결과를 표 3에 나타낸다.

표 3

	MgO배합 비율 (mol%)	내습시험전의 불량률	내습시험 불량률
시료 I (실시예)	1.5	0.20%	0%
시료 J (실시예)	1.75	0%	0%
시료 K (실시예)	2	0.40%	0%
시료 L (실시예)	2.5	0.40%	8%
시료 M (비교예 3)	1	0.40%	19%

[0170]

[0171]

표 3에 나타내는 바와 같이, 실시예3의 적층 세라믹 콘덴서(시료) I, K, L 및 비교예3의 적층 세라믹 콘덴서(시료) M의 내습 시험 전의 불량률은 거의 동등하지만 내습 시험 불량률에 대해서는 실시예3의 시료 I, K, L쪽이 비교예3의 시료 M보다 대폭 낮은 것이 확인되었다.

[0172]

또한, MgO의 첨가량이 1.75mol%인 실시예의 시료 J의 경우, 내습 시험 전의 불량률이 0%이며, 내습 시험 후의 불량률도 0%였다.

[0173]

또한, MgO의 첨가량이 1.5mol%인 실시예의 시료 I의 경우, 내습 시험 전의 불량률은 0.20%였지만 내습 시험 불량률은 0%이며, MgO의 첨가량이 2mol%인 실시예의 시료 K의 경우, 내습 시험 전의 불량률은 0.40%였지만 내습 시험 후의 불량률은 0%였다.

[0174]

한편, MgO의 첨가량이 2.5mol%인 실시예의 시료 L의 경우, 내습 시험 전의 불량률은 0.40%였지만 내습 시험 불량률은 8%로, 비교예3의 시료 M의 내습 시험 불량률에 비하면 대폭 낮지만 본 발명의 요건을 만족시키는 다른 시료 I, J, K과 비교하면 내습 시험 불량률이 높게 되는 것이 확인되었다.

[0175]

또한, 비교예3의 시료 M에서는 내습 시험 후에 양품으로 판정되어 있는 것이어도 시험 전에 비해서 시험 후의 저항값이 저하되어 있는 것이 많이 확인되었다.

[0176]

상기 각 실시형태 및 실시예1, 2에서는 유효층부를 구성하는 세라믹에 Mg가 함유되어 있지 않은 경우를 예로 들어서 설명하고, 실시예3에서는 유효층부를 구성하는 세라믹에 Mg가 함유되어 있는 경우를 예로 들어서 설명했지만 유효층부를 구성하는 세라믹에 Mg가 함유되어 있는지의 여부에 관계없이 Mg 리치층의 Mg 함유율을 본 발명 소정의 범위에서 유효층부의 Mg 함유율보다 높게 함으로써 본 발명의 기본적인 효과를 얻을 수 있다.

[0177]

또한, 상기 실시형태 및 실시예에서는 적층 세라믹 콘덴서를 예로 들어서 설명했지만 본 발명은 적층 세라믹 콘덴서에 한정되지 않고, Ni를 함유하는 내부 전극을 구비한 예를 들면, 적층 서미스터나 적층 인덕터 등, 여러가지의 적층 세라믹 전자 부품에 널리 적용하는 것이 가능하다.

[0178]

본 발명은 또한, 그 밖의 점에 있어서도 상기 실시예에 한정되는 것은 아니고, 세라믹층과 내부 전극의 적층 형태나 적층수, 유효층부나 측면층, 단면층 껍부를 구성하는 세라믹 재료의 종류, Ni를 함유하는 내부 전극 재료의 조성 등에 관한 것이며, 발명의 범위 내에 있어서 여러가지의 응용, 변형을 추가하는 것이 가능하다.

**산업이용 가능성**

[0179]

상술한 바와 같이, 본 발명에 의하면 세라믹 소결체 중에 세라믹층을 통해 내부 전극이 배치된 구조를 갖는 적층 세라믹 전자 부품의 내습 신뢰성을 향상시키는 것이 가능하며, 소형화한 경우에도 내습성에 대한 신뢰성이 높은 적층 세라믹 전자 부품을 제공할 수 있게 된다.

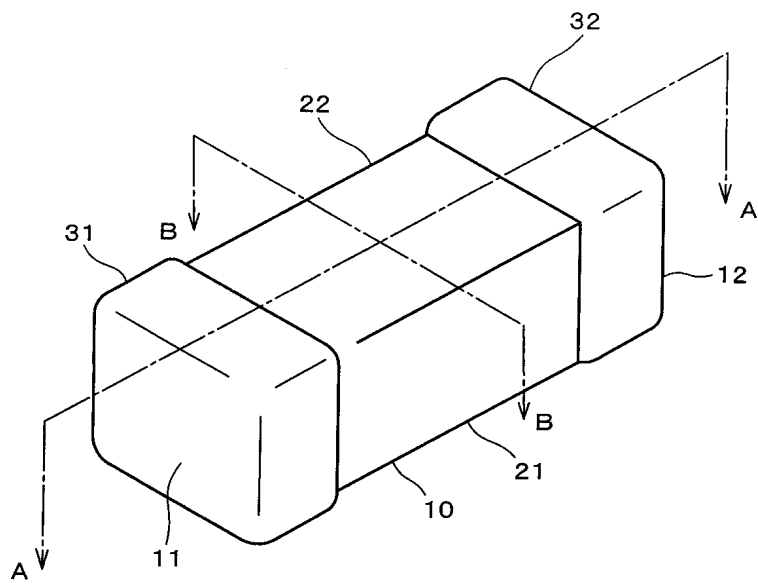
[0180]

따라서, 본 발명은 여러가지의 용도에 이용되는 적층 세라믹 콘덴서, 적층 서미스터, 적층 인덕터 등의 적층 세라믹 콘덴서 등에 바람직하게 이용할 수 있다.

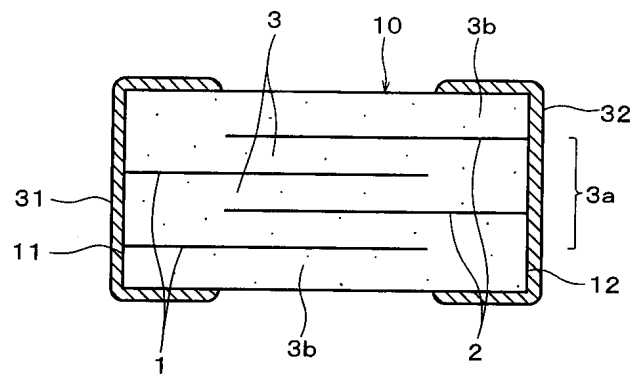


도면

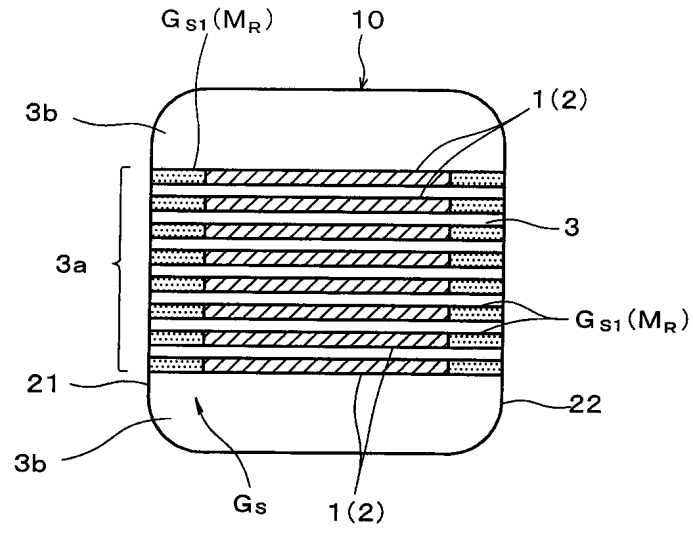
도면1



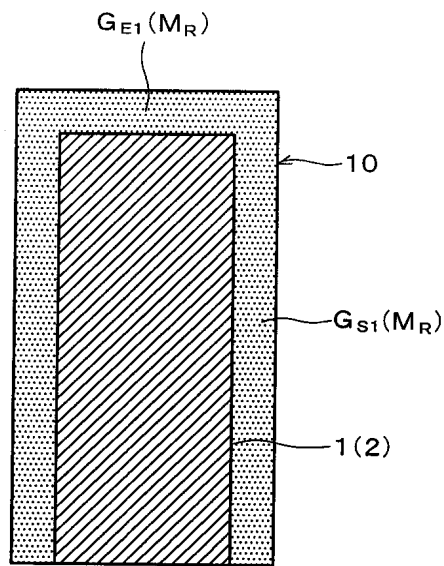
도면2



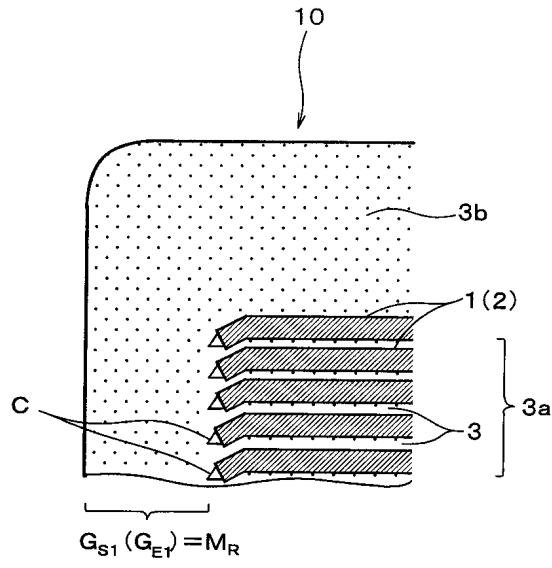
도면3



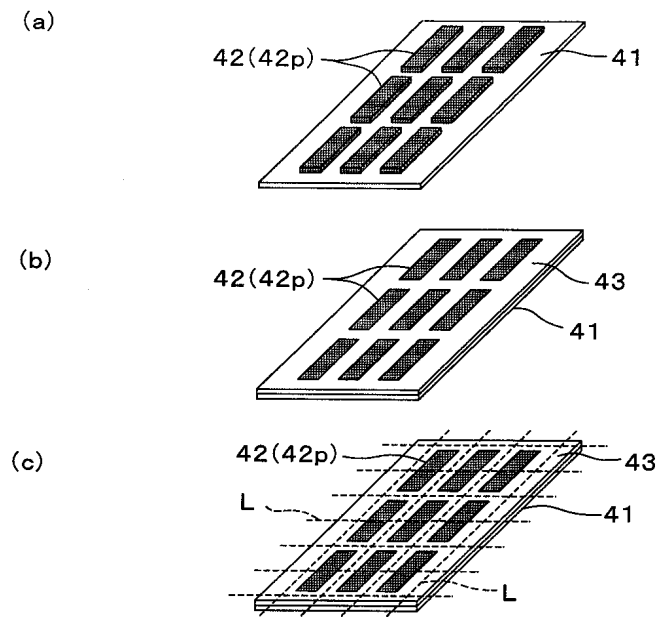
도면4



도면5

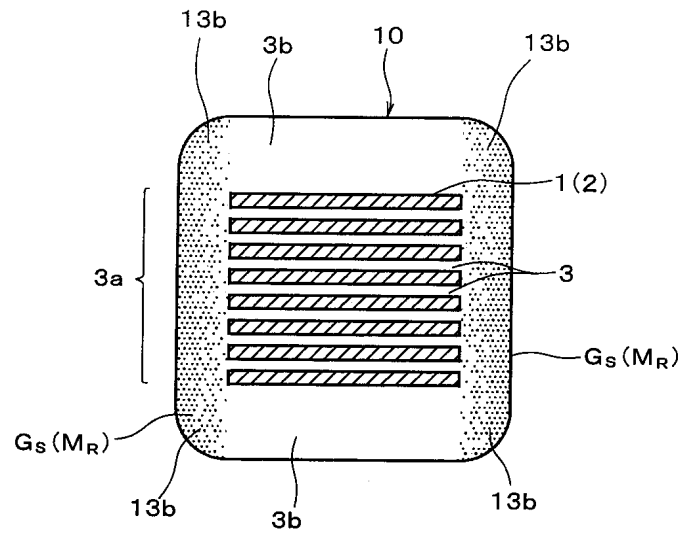


도면6

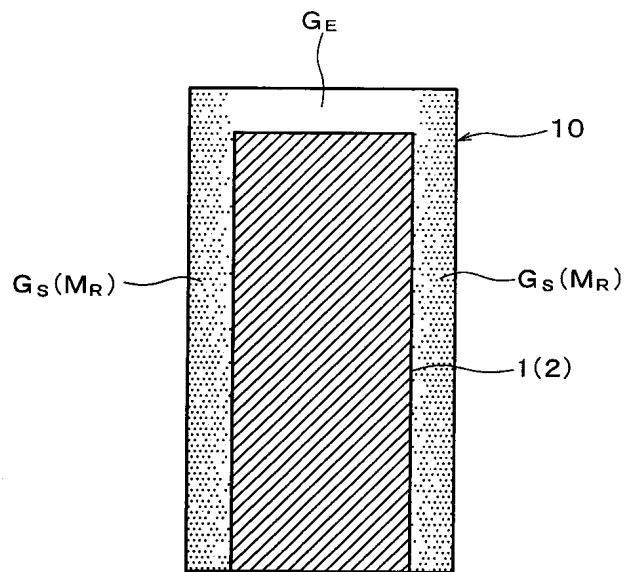




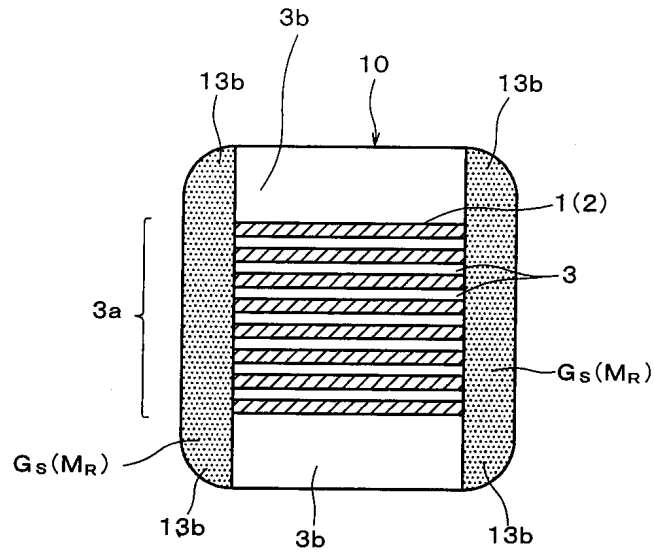
도면7



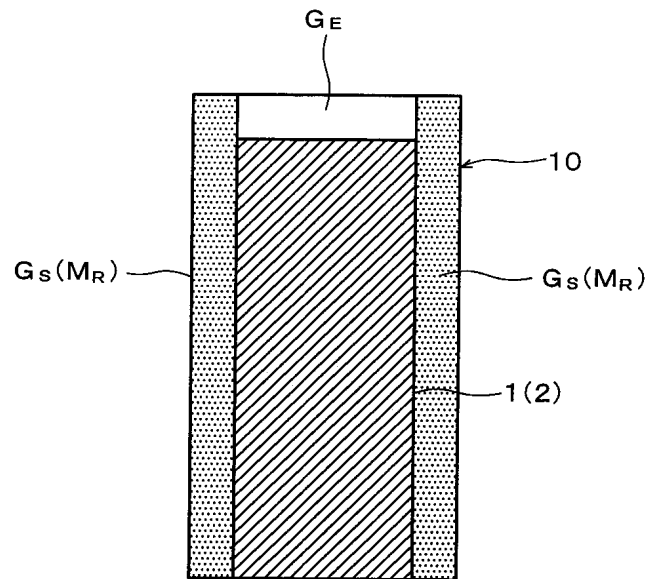
도면8



도면9



도면10



도면11

