



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월22일  
(11) 등록번호 10-1125269  
(24) 등록일자 2012년03월02일

(51) 국제특허분류(Int. Cl.)  
*H01L 21/8238* (2006.01) *H01L 21/336*  
(2006.01)  
(21) 출원번호 10-2006-7023670  
(22) 출원일자(국제) 2005년04월19일  
심사청구일자 2010년04월15일  
(85) 번역문제출일자 2006년11월10일  
(65) 공개번호 10-2007-0004095  
(43) 공개일자 2007년01월05일  
(86) 국제출원번호 PCT/US2005/013240  
(87) 국제공개번호 WO 2005/109493  
국제공개일자 2005년11월17일  
(30) 우선권주장  
10/833,073 2004년04월28일 미국(US)

(56) 선행기술조사문헌

US20040063285 A1

전체 청구항 수 : 총 9 항

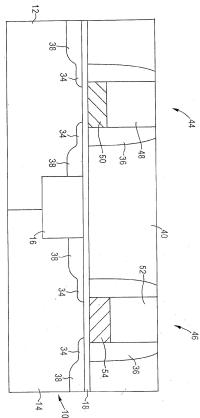
심사관 : 박태식

(54) 발명의 명칭 조정가능한 게이트 전극 일함수를 갖는 이중 금속 CMOS 트랜지스터 및 그 제조 방법

### (57) 요 약

이중 금속 CMOS 배열 및 그 제조 방법은 기판(10)과, 상기 기판(10)에 형성된 복수의 NMOS 디바이스들(44) 및 PMOS 디바이스들(46)을 제공한다. 각 복수의 NMOS 디바이스들(44)과 PMOS 디바이스들(46)은 게이트 전극들을 갖는다. 각 NMOS 게이트 전극은 상기 기판(10) 위에 제 1 실리사이드 영역(50)과 상기 제 1 실리사이드 영역(50) 상에 제 1 금속 영역(48)을 포함한다. 상기 NMOS 게이트 전극의 제 1 실리사이드 영역(50)은 실리콘의 전도대에 근접하는 일함수를 갖는 제 1 실리사이드로 구성된다. 각 PMOS 게이트 전극들은 상기 기판 상에 제 2 실리사이드 영역(54)과 제 2 실리사이드 영역(54) 상에 제 2 금속 영역(52)을 포함한다. 상기 PMOS 게이트 전극의 제 2 실리사이드 영역(54)은 실리콘의 가전자대에 근접하는 일함수를 갖는 제 2 실리사이드 영역(54)으로 구성된다.

대 표 도 - 도16



## 특허청구의 범위

### 청구항 1

이중 금속 CMOS 배열의 제조 방법으로서,

NMOS 디바이스 영역들(44) 및 PMOS 디바이스 영역들(46)에 게이트 전극들을 형성하기 위해 게이트 유전체층(18) 상에 실리콘 영역들(32)을 형성하는 단계와;

상기 NMOS 디바이스 영역들(44) 내의 상기 실리콘 영역들 상에 제 1 금속 또는 금속 합금을 증착하고, 상기 PMOS 디바이스 영역들(46) 내의 상기 실리콘 영역들 상에 제 2 금속 또는 금속 합금을 증착하는 단계와; 그리고

상기 NMOS 디바이스 영역들 내의 상기 실리콘 영역들과 상기 제 1 금속 또는 금속 합금이 반응하여, 제 1 실리사이드 영역들(50) 및 상기 제 1 실리사이드 영역들(50) 상의 제 1 금속 또는 금속 합금 영역들을 형성하도록, 그리고 상기 PMOS 디바이스 영역들 내의 상기 실리콘 영역들과 상기 제 2 금속 또는 금속 합금이 반응하여, 제 2 실리사이드 영역들(54) 및 상기 제 2 실리사이드 영역들(54) 상의 제 2 금속 또는 금속 합금 영역들을 형성하도록 어닐링하는 단계를 포함하며,

상기 제 1 실리사이드 영역들 및 상기 제 1 금속 또는 금속 합금 영역들은 제 1 게이트 전극들을 형성하고, 상기 제 2 실리사이드 영역들 및 상기 제 2 금속 또는 금속 합금 영역들은 제 2 게이트 전극들을 형성하며,

상기 제 1 실리사이드 영역들은 실리콘의 전도대(conduction band)의 +/-0.2V 내의 일함수를 가지며, 상기 제 2 실리사이드 영역들은 실리콘의 가전자대(valence band)의 +/-0.2V 내의 일함수를 갖는 것을 특징으로 하는 이중 금속 CMOS 배열의 제조 방법.

### 청구항 2

제 1 항에 있어서, 상기 실리콘 영역들을 형성하는 단계는,

상기 게이트 유전체층(18) 상에 실리콘(20)을 증착하는 단계와;

실리콘 스택들(26)을 형성하기 위해 상기 실리콘(20)을 식각하는 단계와; 그리고

상기 실리콘 스택들(26)의 상부(28) 만을 제거하여 상기 실리콘 영역들(32)을 형성하기 위해, 상기 실리콘 스택들을 부분적으로 식각하는 단계를 포함하는 것을 특징으로 하는 이중 금속 CMOS 배열의 제조 방법.

### 청구항 3

제 2 항에 있어서,

상기 실리콘 스택들을 부분적으로 식각하는 단계는 식각 단계 내에서 상기 실리콘 스택들(26)을 타이밍을 제어하여 식각(controlled timed etching)하며,

상기 실리콘(20)을 증착하는 단계는,

상기 게이트 유전체층(18) 상에 제 1 실리콘층(20)을 증착하는 단계와;

상기 제 1 실리콘층(20) 상에 식각 중지층(22)을 형성하는 단계와; 그리고

상기 식각 중지층(22) 상에 제 2 실리콘층(28)을 형성하는 단계를 포함하며,

상기 실리콘 스택들을 부분적으로 식각하는 단계는,

상기 제 2 실리콘층(28)을 식각하고 상기 식각 중지층(22) 상에서 중지하는 단계와; 그리고

상기 식각 중지층(22)을 제거하는 단계를 포함하는 것을 특징으로 하는 이중 금속 CMOS 배열의 제조 방법.

### 청구항 4

제 1 항에 있어서,

상기 제 1, 2 실리사이드 영역들(50, 54)의 상(phase)들을 제어함으로써 상기 제 1, 2 실리사이드 영역들(50, 54)의 일함수를 제어하는 단계를 더 포함하는 것을 특징으로 하는 이중 금속 CMOS 배열의 제조 방법.

**청구항 5**

제 2 항에 있어서,

상기 실리콘 스택들을 부분적으로 식각하는 단계는 식각 단계 내에서 상기 실리콘 스택들(26)을 타이밍을 제어하여 식각하는 것을 특징으로 하는 이중 금속 CMOS 배열의 제조 방법.

**청구항 6**

제 2 항에 있어서,

상기 실리콘을 증착하는 단계는,

상기 게이트 유전층 상에 제 1 실리콘층을 증착하는 단계와;

상기 제 1 실리콘층 상에 식각 중지층을 형성하는 단계와; 그리고

상기 식각 중지층 상에 제 2 실리콘층을 형성하는 단계를 포함하는 것을 특징으로 하는 이중 금속 CMOS 배열의 제조 방법.

**청구항 7**

제 6 항에 있어서,

상기 실리콘 스택들을 부분적으로 식각하는 단계는,

상기 제 2 실리콘층을 식각하고 상기 식각 중지층 상에서 중지하는 단계와; 그리고

상기 식각 중지층을 제거하는 단계를 포함하는 것을 특징으로 하는 이중 금속 CMOS 배열의 제조 방법.

**청구항 8**

제 4 항에 있어서,

상기 제 1, 2 실리사이드 영역들의 상들을 제어하는 단계는 상기 실리콘 영역들의 두께를 제어하는 단계를 포함하는 것을 특징으로 하는 이중 금속 CMOS 배열의 제조 방법.

**청구항 9**

제 1 항에 있어서,

상기 제 1 금속 또는 금속 합금은 탄탈(tantalum)이고, 상기 제 2 금속 또는 금속 합금은 루테늄(ruthenium), 레늄(rhenium) 또는 코발트(cobalt)중 하나인 것을 특징으로 하는 이중 금속 CMOS 배열의 제조 방법.

**청구항 10**

삭제

**명세서****기술분야**

[0001] 본 발명은 반도체 제조 공정에 관한 것으로서, 특히 NEMS와 PMOS 디바이스에 대해 다른 게이트 금속들을 포함하는 제조 공정에 관한 것이다.

**배경기술**

[0002] 반도체 산업에서는 문턱 전압에 맞는 NMOS(N형 금속 산화 반도체) 및 PMOS(P형 금속 산화 반도체) 디바이스들을 제조할 것이 요구된다. 통상적인 반도체 제조 과정에서, NMOS와 PMOS의 문턱 전압은 보통 채널 주입과 폴리실리콘 게이트의 선택적인 도핑의 조합에 의해 조정된다. 이것은 PMOS 디바이스들의 문턱 전압을 조정하는 데에는 일반적으로 효과적이나, NMOS 디바이스들에 대해서는 덜 효과적이다. 이러한 문제를 극복하기 위해, 일함수에 기초하여 선택된 게이트들을 형성하는 금속들을 갖는 이중 금속 게이트 CMOS 트랜지스터가 제공되었다.

[0003] 전통적인 금속 게이트 트랜지스터들은 통상적으로 게이트를 형성하기 위해 금속 또는 폴리실리콘을 갖는 금속의 건식 식각에 의해 제조되었다. 금속의 건식 식각은 산화 게이트와 같은 극히 얇은 게이트 유전체 위에서 금속의 건식 식각을 멈추는 것이 어렵기 때문에 매우 곤란하게 된다. 산화 게이트 위에서 건식 식각을 중단하는 데에 실패하게 되면, 소스/드레인 영역들에서 실리콘의 손실을 가져오고, 결과적으로 전류 손실의 증가를 야기한다.

[0004] 금속 게이트 트랜지스터들을 형성할 때에 나타나는 이러한 문제들은 이중 금속 게이트 CMOS 구성을 시도할 때에 악화된다. 전술한 바와 같이, 일함수와 문턱 전압을 조절하기 위해서는 이러한 이중 금속 게이트 CMOS 구성들이 바람직하다. 하지만, 금속 게이트 트랜지스터들을 형성하기 위한 전형적인 접근은 이중 금속 게이트 CMOS 트랜지스터에는 바로 적용될 수 없다.

[0005] 폴리실리콘 결핍 효과로 손실된 구동 전류를 억제하기 위해 완전히 실리사이드화된 게이트들을 제공하는 것이 바람직하다고 알려져 있다. 그러나, 구동 전류를 억제하기 위해 완전히 실리사이드화된 게이트 전극들을 제공할 때에는 전도형 디바이스들 중 하나에 대한 일함수가 바람직하지 않게 변화할 것이다. 예를 들어, NMOS 디바이스들과 PMOS 디바이스들의 폴리실리콘 게이트 전극들의 완전한 실리사이드화를 제공하는 것은 폴리실리콘 결핍 효과로 손실되는 구동 전류를 억제하도록 작동할 것이다. 그러나, NMOS 디바이스들에 대한 게이트 전극이 바람직한 일함수를 갖는다 하더라도, PMOS 디바이스들에 대한 게이트 전극들은 바람직하지 않은 일함수를 가질 것이다. 이러한 염려가 반도체 구성에서 NMOS와 PMOS 디바이스들의 게이트 전극들을 완전히 실리사이드화하는 유용성을 제한한다.

[0006] 또한, 완전히 실리사이드화된 게이트에는 다른 우려사항이 있다. 이는 실리사이드화의 불균일성과 신뢰할 수 없는 산화 게이트 유전층을 생성할 가능성을 포함한다. 예를 들어, 과도한 실리사이드화는 산화 게이트 유전 물질에 응력을 가할 것이며, 전체 디바이스의 신뢰성을 손상시킨다.

### 발명의 상세한 설명

[0007] 완전히 실리사이드화된 게이트 전극을 사용하지 않으며 그것들의 부수적인 문제가 없는, 게이트 전극들의 일함수가 조절가능한 이중 금속 CMOS 배열이 필요하다.

[0008] 기판과 복수의 NMOS 디바이스들 및 복수의 PMOS 디바이스들로 구성되는 이중 금속 CMOS 배열을 제공하는 본 발명은 상기 필요와 다른 필요를 만족시킨다. 복수의 NMOS 디바이스들은 기판 위에 제 1 실리사이드 영역과 제 1 실리사이드 영역 상에 제 1 금속 영역을 포함하는 각 NMOS 게이트 전극을 갖는 게이트 전극들을 갖는다. NMOS 게이트 전극의 제 1 실리사이드 영역은 실리콘의 전도대(conduction band)의  $+/- 0.2V$  내의 일함수를 갖는 제 1 실리사이드로 구성된다. 복수의 PMOS 디바이스들은 기판 위에 제 2 실리사이드 영역과 제 2 실리사이드 영역 위에 제 2 금속 영역을 포함하는 각 PMOS 전극을 갖는 게이트 전극들을 갖는다. PMOS 게이트 전극의 제 2 실리사이드 영역은 실리콘의 가전자대(valence band)의  $+/- 0.2V$  내의 일함수를 갖는 제 2 실리사이드로 구성된다.

[0009] 전술한 다른 필요들은 NMOS 디바이스 영역들 및 PMOS 디바이스 영역들 내에 게이트 전극을 형성하기 위해 게이트 유전체들 위에 실리콘 영역들을 형성하는 단계들로 이루어지는 이중 금속 CMOS 배열의 형성 방법을 제공하는 본 발명의 다른 실시 형태에 의해 충족된다. 실리콘 영역들은 NMOS 디바이스 영역들에서는 제 1 실리사이드 영역으로 변환되고 PMOS 디바이스 영역들 내에서는 제 2 실리사이드 영역으로 변환된다. 제 1 실리사이드 영역은 실리콘의 전도대의  $+/- 0.2V$  내의 일함수를 갖는 제 1 실리사이드로 구성되고, 제 2 실리사이드 영역은 실리콘의 가전자대의  $+/- 0.2V$  내의 일함수를 갖는 제 2 실리사이드로 구성된다.

[0010] 본 발명의 상기 특징들 및 기타 특징들, 실시 형태들 및 장점들은 첨부 도면을 참조하여 하기의 상세한 설명으로부터 더욱 명확해질 것이다.

### 실시 예

[0029] 본 발명은 이중 금속 CMOS 트랜지스터들의 형성과 관련된 문제를 해결한다. 특히, 실리사이드화의 불균일성과 게이트 산화 신뢰성을 포함하여 완전히 실리사이드화된 게이트 전극들과 결합된 문제를 해결한다. 본 발명의 특정 측면에 있어서는, 이중 금속 CMOS 배열은 게이트 전극들을 갖는 복수의 NMOS와 PMOS 디바이스들에 제공된다. 각 NMOS 게이트 전극은 기판 위에 있는 제 1 실리사이드 영역과 제 1 실리사이드 영역 위에 있는 제 1 금속 영역을 포함한다. NMOS 게이트 전극의 제 1 실리사이드 영역은 실리콘의 전도대의  $+/- 0.2V$  내의 일함수를 갖는 제 1 실리사이드로 구성된다. 각 PMOS 게이트 전극은 기판 위에 있는 제 2 실리사이드 영역과 제 2 실리사이드 영역 위에 있는 제 2 금속 영역을 포함한다. PMOS 게이트 전극들의 제 2 실리사이드 영역은 실리콘의 가전자대의  $+/- 0.2V$  내의 일함수를 갖는 제 2 실리사이드로 구성된다. 따라서, 각 게이트 전극은 단지 일부분 만이 실

리사이드화되며, 실리사이드 영역은 각각 NMOS와 PMOS 탑입 디바이스들에 양립가능하도록 조절할 수 있는 실리사이드를 제공한다. 특정 실시예에서, 실리사이드 영역이 다른 일함수를 갖는 두 개의 금속 실리사이드로 형성되는 것과 같이, 일함수의 조정은 다른 종류의 금속들로 구성되어 이루어진다. 다른 실시예에서, 실리사이드의 두께는 특정 실리사이드 상(phase)들을 달성하기 위해서 정확하게 조절된다. 이에 의해, 각 NMOS와 PMOS 탑입 디바이스들에 대한 이들 실리사이드의 일함수에 영향을 미치게 된다.

[0030] 도 1은 본 발명의 실시예들에 따라 반도체 제조 공정의 한 단계에서 반도체 웨이퍼 부분의 단면도를 나타낸다. 부분적으로 완성된 반도체 디바이스는 도 1에서 도시된다. 예를 들어, 상기 디바이스는 실리콘으로 이루어진 기판(10)을 포함한다. 기판(10)은 P-도핑된 영역(12) 및 N-도핑 영역(14)을 포함한다. 예를 들어, 기판(10)은 약  $1 \times 10^{16}$  ion/cm<sup>2</sup> 내지  $1 \times 10^{21}$  ion/cm<sup>2</sup> 정도의 양을 포함하는 N 또는 P 탑입 불순물로 도핑된다.

[0031] 얇은 트렌치(trench) 절연 구조(STI)(16)는 디바이스 레벨에서 P-도핑 영역(12)과 N-도핑 영역(14) 사이를 분리시킨다. 통상적인 STI 형성 방법이 얇은 트렌치 절연 영역(16)을 생성하기 위해 사용될 수 있다.

[0032] 게이트 유전층(18)은 기판(10) 상에 형성된다. 예를 들어, 상기 게이트 유전층(18)은 게이트 산화물로 구성될 수 있다. 예를 들어, 본 발명의 특정 실시예들에서는, 게이트 유전층(18)은 극도로 얇고, 두께는 약 5Å 내지 30Å이 될 수 있다. 이렇게 얇은 게이트 유전층은 금속 건식 식각 과정 동안에 손상을 받기 쉽다. 결과적으로, 규소산화물 공정은 특별한 이점들을 갖는다. 그러나, 완전히 실리사이드화된 게이트 형성 과정은 상기 게이트 산화물에 지나치게 응력을 가할 수 있다.

[0033] 제 1 실리콘층(20)은 게이트 유전층(18) 상에 형성된다. 제 1 실리콘층(20)은 통상적인 방법으로 증착될 수 있다. 본 발명의 적절한 실시예에서, 예를 들어 제 1 실리콘층은 두께가 10Å에서 500Å으로 상대적으로 얇다. 바람직한 실시예에서, 제 1 실리콘층의 두께는 50Å 내지 200Å이다. 또 다른 적절한 실시예에서, 제 1 실리콘층의 두께는 약 50Å 보다 적다. 상대적으로 얇은 게이트 규소산화물의 두께는, 실리사이드화의 불균일성과 게이트 산화의 신뢰성을 포함하여, 완전히 실리사이드화된 게이트 전극들에 의해 생성되는 것들과 관련된 문제들을 해결한다.

[0034] 도 2는 도 1 다음에 제 1 실리콘층(20) 위에 식각 중지층(22)의 형성 구조를 나타낸다. 예로 식각 중지층(22)은 산화물층일 수 있다. 예를 들어 약 10Å 정도로 매우 얇은 식각 중지층(22)을 형성하는 것이 바람직하다. 산화물 또는 다른 식각 중지 물질의 얇은 산화물층을 형성하는 어떤 적절한 방법이 사용될 수 있다. 예를 들어 600°C 내지 1000°C의 온도에서의 산화 과정이 식각 중지층(22)을 형성하는 데에 사용될 수 있다.

[0035] 다음으로, 식각 중지층(22)을 형성할 때, 제 2 실리콘층(24)은 식각 중지층(22) 위에 통상적인 방법에 의해 형성된다. 예를 들어, 제 2 실리콘층(24)은 두께가 약 700Å 내지 2000Å이며, 특정 예에서는 약 1000Å 정도의 두께를 갖는다.

[0036] 도 4는 제 2 실리콘층(24) 상에 하드 마스크층이 증착되고, 이후 식각 단계들을 수행하여 실리콘층(26)을 형성한 이후의 도 3의 구조를 도시한다. 각 실리콘층(26)은 실리콘층(26)의 상층(28) 위에 형성된 하드 마스크(30)를 갖는다. 상기 식각은 각 실리콘층(26) 내에 실리콘 영역(32)을 생성한다. 상기 하드 마스크(30)는 실리콘 질화물 또는 실리콘 산화물 등과 같은 어떠한 적절한 금속이 될 수 있다. 반응성 이온 식각과 같은, 통상적인 이방성 식각 기술이 게이트 유전층(18)을 식각하는 데에 사용된다.

[0037] 실리콘층(26)을 형성한 후, 소스/드레인 확장부의 주입 과정은 소스/드레인 확장부(34)를 생성하도록 수행된다. 통상적인 마스킹과 도핑 기술이 적절한 양의 불순물을 함유한 NMOS와 PMOS 디바이스들을 적절히 도핑하기 위해 수행된다. 소스/드레인 확장부(34)를 생성한 후, 측벽 스페이서들(36)이 간격 물질 증착 및 식각과 같은 통상의 방법에 의해 실리콘층(26)의 측면 위에 생성된다. 측벽 스페이서들(36)의 형성에 이어서, 적당한 마스킹과 주입 기술을 이용하여 NMOS 디바이스들과 PMOS 디바이스를 내에 각각 소스/드레인 영역(38)을 생성한다.

[0038] 도 6에서 유전층(40)이 증착되고 평탄화된다. 유전층(40)은 로우 k 유전체, 산화물 등과 같이 통상적으로 적절한 어떠한 유전체 금속일 수 있다. 유전층(40)은 화학 기상 증착(CVD)과 같은 적절한 방법에 의해 증착될 수 있다. 예를 들어, 특정 실시예에서, 상기 평탄화는 화학 기계적 연마이다.

[0039] 도 7에 도시된 바와 같이, 리소그래피와 마스킹 단계가 수행된다. 포토레지스트(42)는 PMOS 디바이스들(46)을 덮고 NMOS 디바이스들(44)을 노광시킨다. 리소그래피 단계 이후, 산화하기 위해서 매우 선택적으로 폴리실리콘 식각 과정이 수행된다. 반응성 이온 식각과 같은 이방성 식각이 사용된다. 예를 들어, 적절한 식각액들로는 염소와 HBrO<sub>2</sub> 또는 SF<sub>6</sub>를 포함한다. 도 8에서 보듯이, 실리콘층(26)의 상층(28)은 이러한 식각 과정에 의해

제거된다. 상기 식각은 식각 중지층(22) 상에서 확실하게 중지된다. 이것은 상기 실리콘 영역(32)을 보존한다.

[0040] 도 9에서 보듯이, 제 1 금속(48)은 실리사이드층(26)의 상층부(28)의 식각에 의해 남겨진 공간을 완전히 채울 두께로 증착된다. 그러나, 제 1 금속(48)의 증착 이전에, 식각 중지층(22)은 제거된다. 예를 들어, 식각 중지층(22)이 산화물일 때, 베퍼된 산화 식각이 식각 중지층(22)을 제거하기 위해 수행된다. 예를 들어, 측벽 스페이서(36)에 손상을 입히지 않고 매우 얇은 식각 중지층(22)을 제거하기 위해, 이러한 식각은 짧은 시간의 습식 식각으로 된다. 따라서, 본 발명의 특정 실시예에 따르면, 제 1 금속(48)은 실리콘층(26)의 상층부(28)에 의해 점유된 이전의 공간을 완전히 채우도록 적어도 1000Å의 두께로 증착된다.

[0041] 바람직한 실시예들에서, 제 1 금속(48)은 실리콘에 반응할 때 실리콘의 전도대에 근접하는 일함수를 갖는 실리사이드를 형성하는 금속 또는 합금이다. 이는 실리콘의 전도대의 +/- 0.2V 내에 있는 것으로서 정의된다. NMOS 디바이스들(44)에 대한 하나의 적절한 금속은 탄탈(tantalum)이다. 그러나, 본 발명은 탄탈로 제한되지 않으며, 실리콘의 전도대에 근접하는 다른 실리사이드를 포함할 수 있다.

[0042] 도 10은 도 9에서 금속 CMP 과정에 의해 수행된 과도한 제 1 금속(48)이 제거된 구조를 나타낸다. 상기 제 1 금속(48)은 유전층(40)에 도달할 때 까지 제거된다.

[0043] 금속 CMP 과정 이후, 금속 열 어닐링과 어닐링 과정이 각 NMOS 디바이스들(44) 내에서 제 1 실리사이드 영역(50)을 형성하기 위해 사용된다. 제 1 금속(48)에 사용되는 금속 또는 합금의 타입에 따라 적절한 온도 범위가 사용된다. 그러한 제조 조건들은 당해 기술이 속하는 통상의 기술을 가진 자에게 알려져 있다.

[0044] 도 12 내지 도 16에서 유사한 과정이 PMOS 디바이스들 내에서 제 2 실리사이드 영역들을 생성하기 위해 수행된다. 따라서, 도 12는 NMOS 디바이스들(44)이 마스크되고, PMOS 디바이스들(46)이 노광되는 리소그래피 단계를 도시한다. 도 13에 도시된 바와 같이, 식각 과정은 각 PMOS 디바이스들(46) 내에서 실리콘층(26)의 상층부(28)를 제거한다.

[0045] 도 14에 도시된 바와 같이, 제 2 금속(52)은 유전층(40) 상에서 증착되며, 실리콘층(26)의 상층부(28)에 의해 이미 점유된 공간 내에 있다. 그러나, 제 2 금속(52)은 실리콘 가전자대에 근접하는 일함수를 갖는 실리사이드를 형성하는 금속 또는 합금으로 구성된다. 즉, 실리사이드의 일함수는 실리콘의 가전자대의 +/- 0.2V 내에 있다. 예시적인 물질로는 루테늄, 레늄, 또는 코발트가 포함될 수 있다. 본 발명의 범위를 벗어나지 않으면서 다른 타입의 물질들이 제 2 금속(53)으로 사용될 수 있다. 그러나, 이러한 물질은 CMOS 배열의 요구된 이중의 일함수를 달성하기 위해 실리콘의 가전자대에 근접하는 일함수를 갖는 실리사이드를 형성해야 한다.

[0046] 도 16에서는, PMOS 디바이스들(46) 내에 제 2 실리사이드 영역(54)을 형성하기 위해 적절한 어닐링 과정이 수행된다. 제 2 금속(52)을 형성하는 금속에 따라 어닐링 과정의 적절한 온도 범위가 선택된다.

[0047] 도 16에서 알 수 있는 바와 같이, 상기 NMOS 디바이스들은 실리콘 전도대의 +/- 0.2V 내의 일함수를 갖는 제 1 실리사이드로 구성된 제 1 실리사이드 영역(50)을 갖는다. 상기 CMOS 배열은 또한 실리콘의 가전자대의 +/- 0.2V 내의 일함수를 갖는 제 2 실리사이드로 구성된 제 2 실리사이드 영역을 갖는 PMOS 디바이스들을 갖는다. 상기 NMOS, PMOS 디바이스들(44, 46)의 게이트 전극들의 일함수들은 금속 실리사이드를 형성하기 위해 다른 종류의 금속 또는 합금들을 사용하여 조절될 수 있다. 이에 의해, 특정 실시예에서 게이트 실리사이드의 두께가 50Å 아래로 줄어들 수 있게 하며, 다른 실시예에서는 50Å 내지 100Å으로 줄어들 수 있게 한다. 이에 따라, 실리사이드화의 불균일성과 게이트 산화물의 신뢰성과 같은 완전히 산화된 게이트들과 관련된 많은 문제를 해결한다.

[0048] 도 17 및 18은 본 발명의 대체적인 실시예에서 특정 단계들을 나타낸다. 이를 실시예에서, 식각 중지층(22)은 사용되지 않는다. 대신에, 실리콘층(26)은 실리사이드화되기 전에 실리콘층(26)의 폴리실리콘의 두께를 실질적으로 줄이기 위해 습식 또는 견식으로 제어된 식각에 의해 매립된다. 도 17에서는, 상기 PMOS 디바이스(46)가 마스크되고, 상기 NMOS 디바이스 실리콘층(26)이 식각된다. 유사한 과정이 PMOS 디바이스(46) 내에서 실리콘층(26)을 식각하기 위해 일어난다. 그러나, 본 발명의 특정 실시예에서는 실리콘층(26)의 남아있는 실리콘 두께가 요구된 두께로 되기 위해서 면밀하게 제어된다. 얇은 폴리실리콘 두께는 상기 형성된 실리사이드 영역의 상들을 영향을 미치고, 이것은 다른 전도성들을 나타낸다. 이러한 방식으로, 디바이스들의 일함수가 조정될 수 있다. 이러한 예에서는, 각각 제 1, 2 실리사이드 영역(50, 54)을 형성하기 위해 같은 금속 또는 다른 금속들이 사용될 수 있다. 이는 실리콘 영역들의 두께가 최종적으로 형성된 실리사이드들의 상들을 제어할 것이기 때문이다. 예를 들어, 특정한 타입의 디바이스들은 CoSi와 같은 고저항상의 실리사이드를 갖는 게이트 전극에 공급될 수 있으며, 다른 타입의 디바이스들은 CoSi<sub>2</sub>와 같은 저저항상의 실리사이드를 갖는 게이트 전극에 공급될 수 있다.

당해 기술에서 통상의 지식을 가진 자는 제 1, 2 금속들에 사용되는 실리콘 영역들과 금속들의 두께의 기능에 따라, 요구되는 실리사이드 상들 및 그에 따른 일함수들을 갖는 제 1, 2 실리사이드 영역들(50, 54)을 형성하기 위해 시간과 온도와 같은 어닐링 계수들을 설정할 것이다.

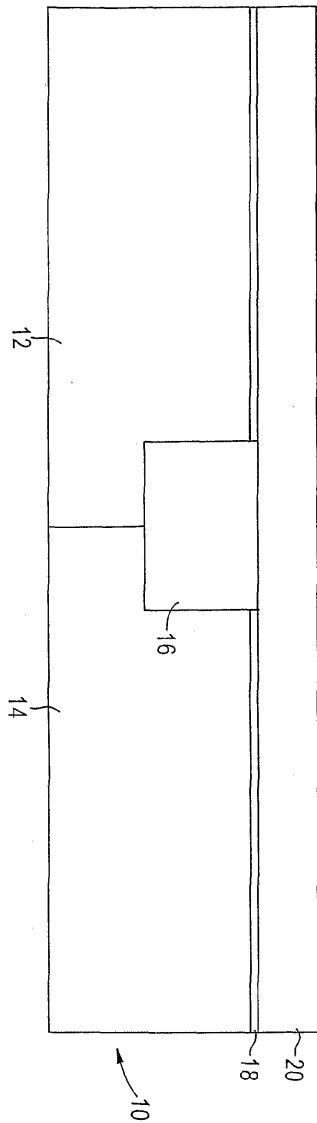
[0049] 비록 본 발명은 상세히 설명되었지만, 이들은 단순히 실시예로서, 제한적인 것은 아니며, 본 발명의 범위는 첨부된 청구항들의 용어에 의해서만 제한되는 것으로 이해될 수 있다.

### 도면의 간단한 설명

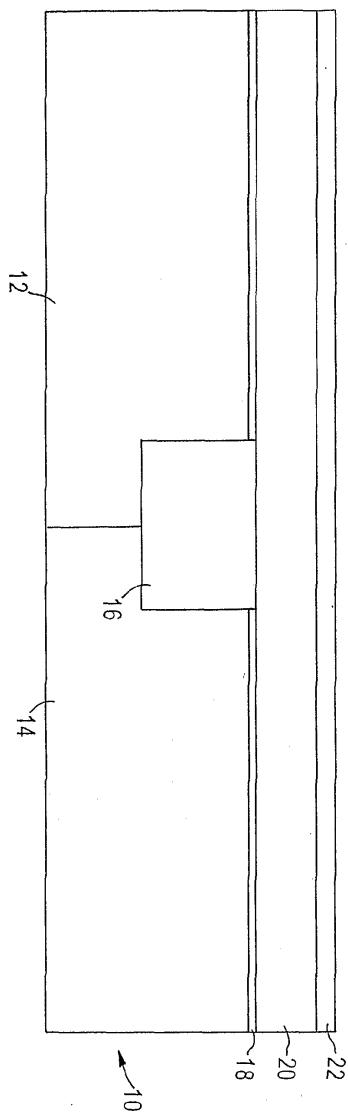
- [0011] 도 1은 본 발명에 따른, 이중 금속 COMS 트랜지스터의 제조 공정에서 반도체 웨이퍼의 도식적인 단면도이다.
- [0012] 도 2는 본 발명의 특정 실시예에 따른, 제 1 실리콘층 위에 도 1에 이어 식각 중지층을 형성하는 것을 도시한다.
- [0013] 도 3은 본 발명의 특정 실시예에 따른, 도 2에 이어 제 2 실리콘층을 증착하는 것을 도시한다.
- [0014] 도 4는 본 발명의 특정 실시예에 따른, 도 3에 이어 실리콘 층들을 형성하기 위해 하드 마스크를 형성하고, 리소그래피를 행하고, 이방성 식각을 행하는 것을 도시한다.
- [0015] 도 5는 본 발명의 특정 실시예에 따른, 도 4에 이어 소스/드레인 확장부, 측벽 스페이서, 소스/드레인 영역들의 구조를 도시한다.
- [0016] 도 6은 본 발명의 특정 실시예에 따른, 도 5에 이어 제거된 하드 마스크 내에 절연층의 증착과 절연층의 평탄화의 구조를 도시한다.
- [0017] 도 7은 본 발명의 특정 실시예에 따른, 도 6에 이어 PMOS 디바이스들을 덮기위한 리소그래피 단계를 도시한다.
- [0018] 도 8은 본 발명의 특정 실시예에 따른, 도 7에 이어 NMOS 디바이스들의 실리콘층의 상층부의 식각 구조를 도시한다.
- [0019] 도 9는 본 발명의 특정 실시예에 따른, 도 8에 이어 식각 중지층의 제거와 제 1 금속의 증착 구조를 도시한다.
- [0020] 도 10은 본 발명의 특정 실시예에 따른, 도 9에 이어 평탄화 과정의 구조를 도시한다.
- [0021] 도 11은 본 발명의 특정 실시예에 따른, 도 10에 이어 NMOS 디바이스들 내에 제 1 실리사이드를 형성하기 위한 어닐링(annealing) 단계의 구조를 도시한다.
- [0022] 도 12는 본 발명의 특정 실시예에 따른, 도 11에 이어 NMOS 디바이스들을 덮기 위한 리소그래피 단계의 구조를 도시한다.
- [0023] 도 13은 본 발명의 특정 실시예에 따른, 도 12 다음에 PMOS 디바이스들에서 실리콘층들의 상층부의 제거를 수행하는 식각 단계의 구조를 도시한다.
- [0024] 도 14는 본 발명의 특정 실시예에 따른, 도 13 다음에 PMOS 디바이스들에서 식각 중지층의 제거와 제 2 금속의 증착된 구조를 도시한다.
- [0025] 도 15는 본 발명의 특정 실시예에 따른, 도 14 다음에 평탄화 과정의 구조를 도시한다.
- [0026] 도 16은 본 발명의 특정 실시예에 따른, 도 15 다음에 제 2 실리사이드 영역들을 형성하기 위한 어닐링 과정의 구조를 도시한다.
- [0027] 도 17은 한 제조 단계 동안의 본 발명의 대안적인 실시예를 도시한다.
- [0028] 도 18은 본 발명의 대안적인 실시예들에 따른, 도 17 다음에 제 1, 2 실리사이드의 영역이 형성되는 것을 도시한다.

도면

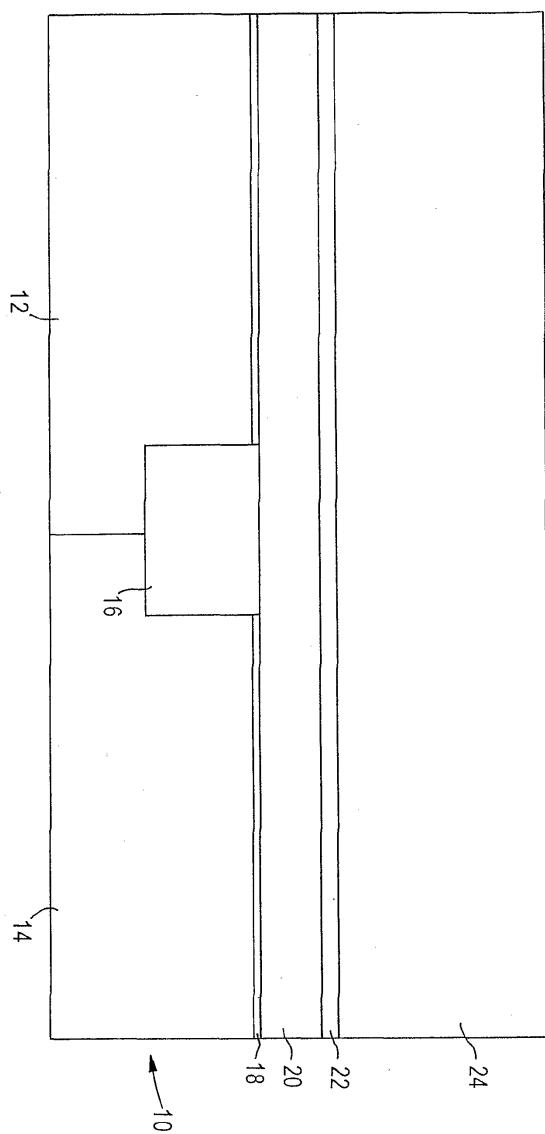
도면1



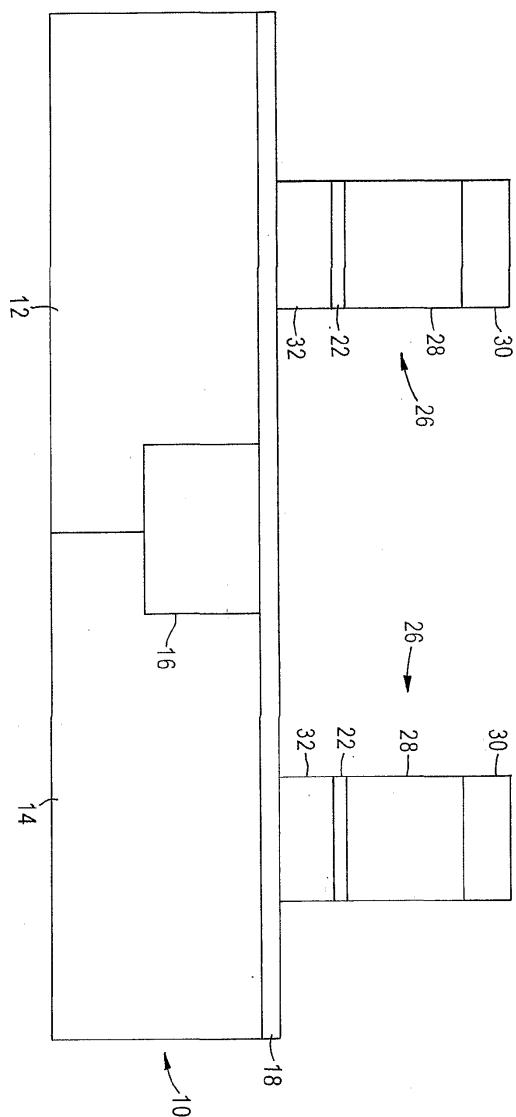
도면2



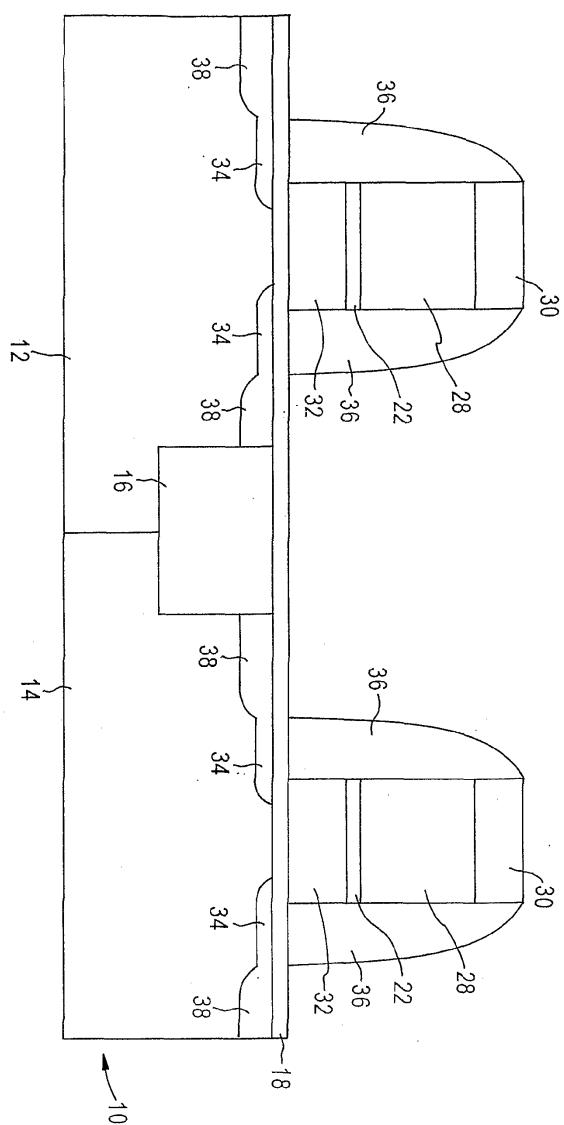
도면3



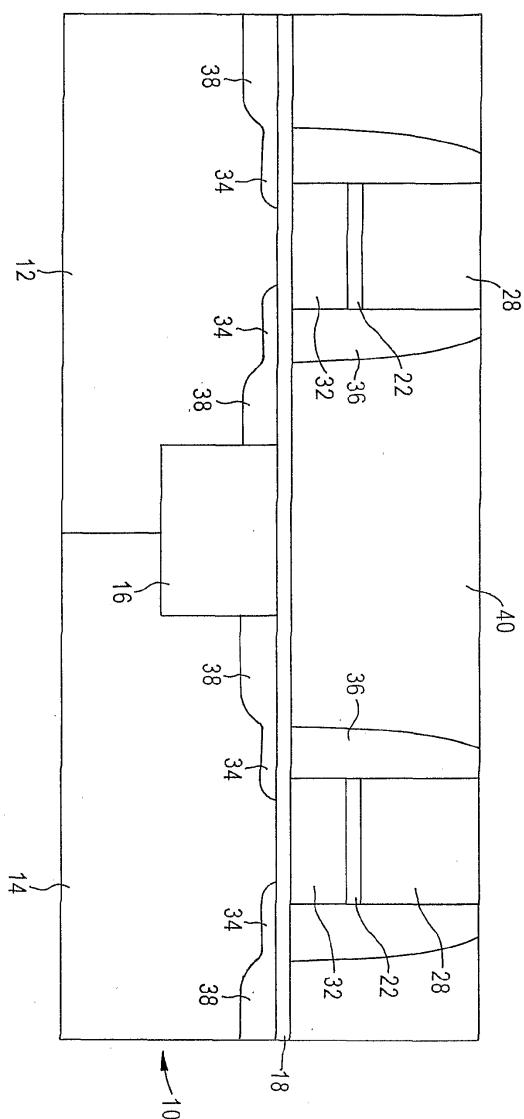
도면4



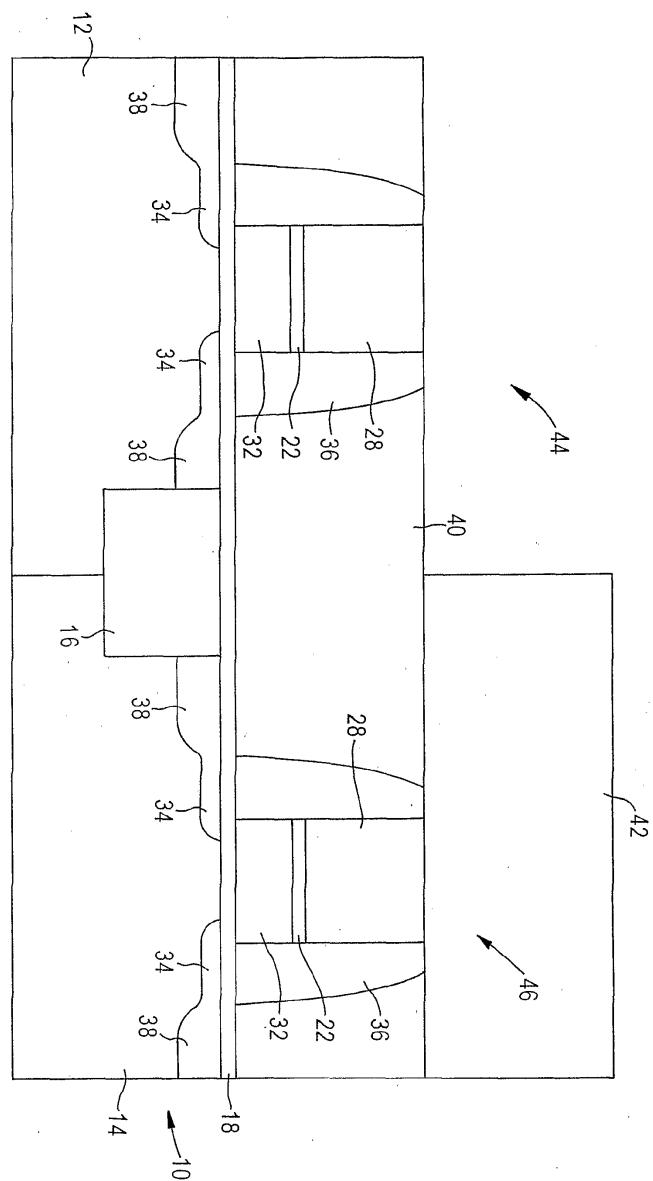
도면5



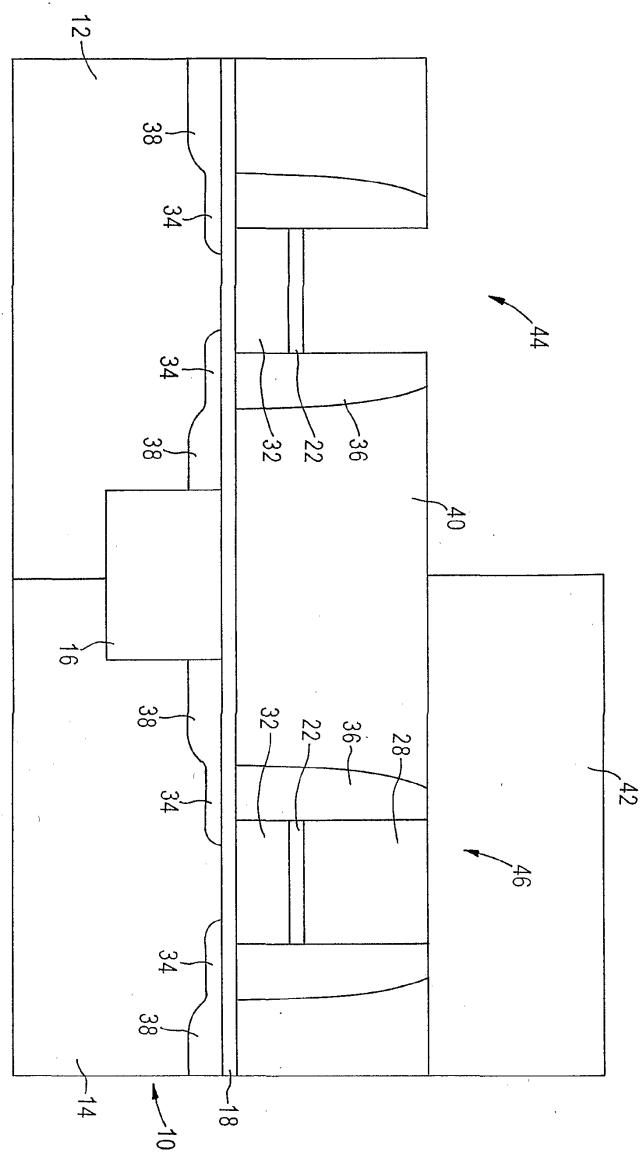
도면6



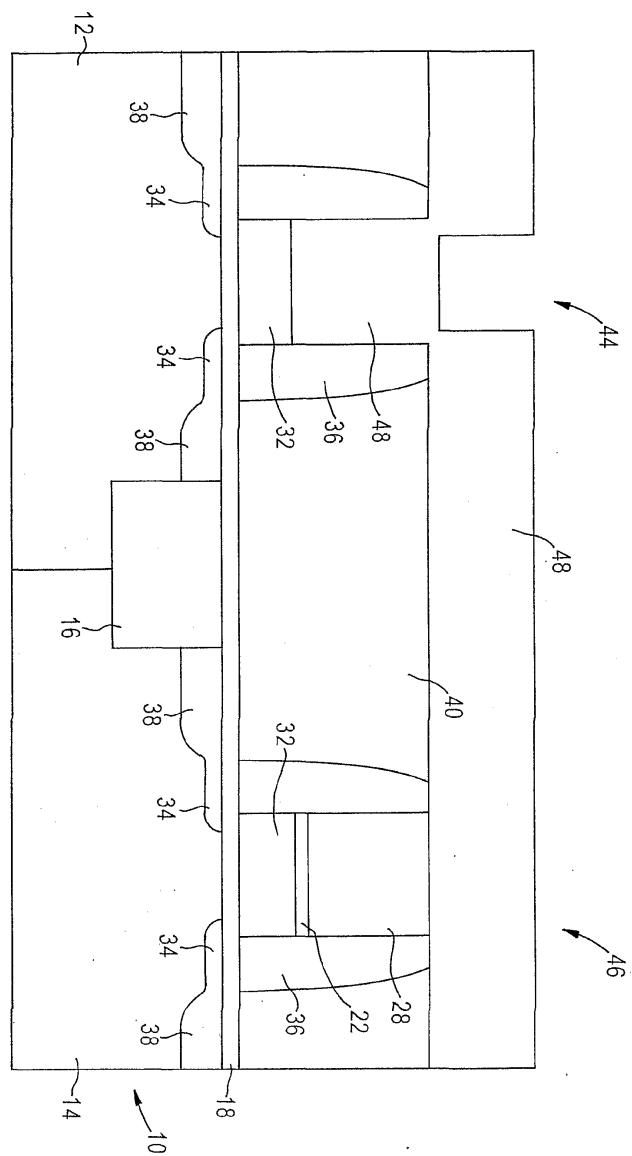
## 도면7



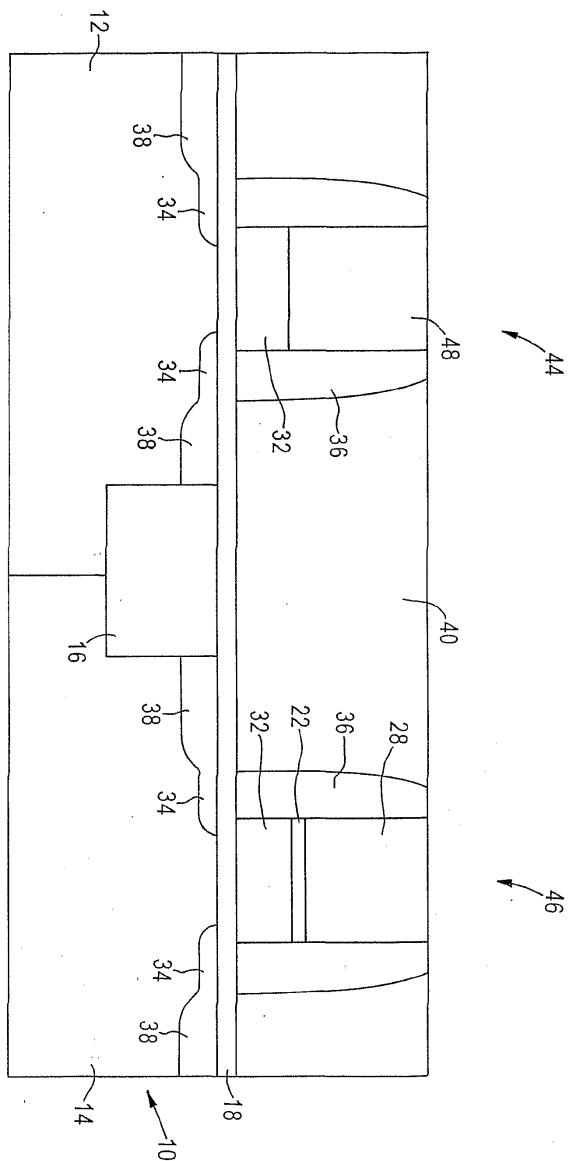
도면8



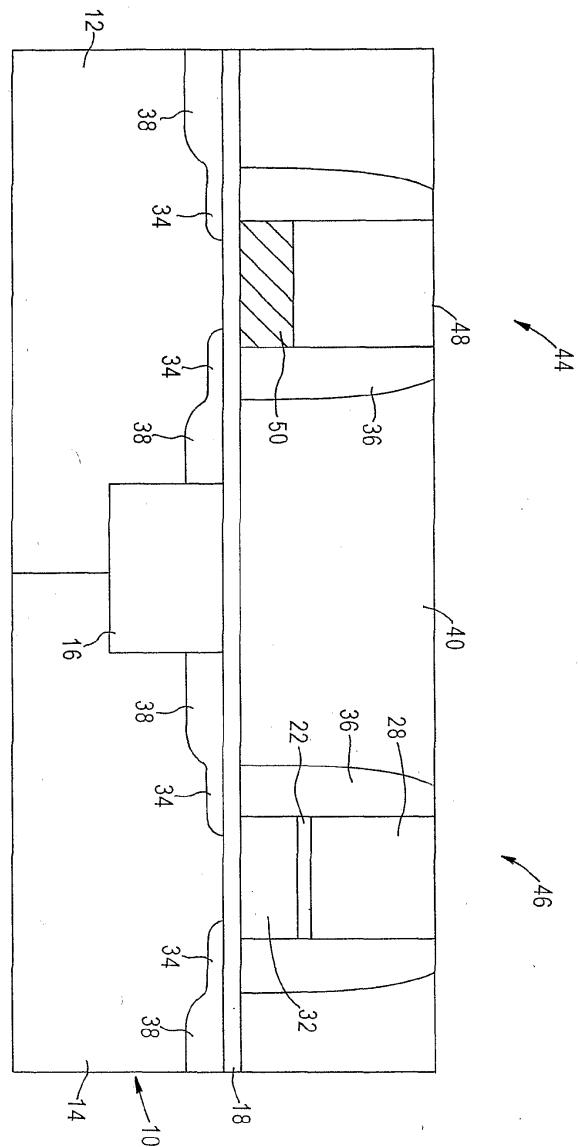
### 도면9



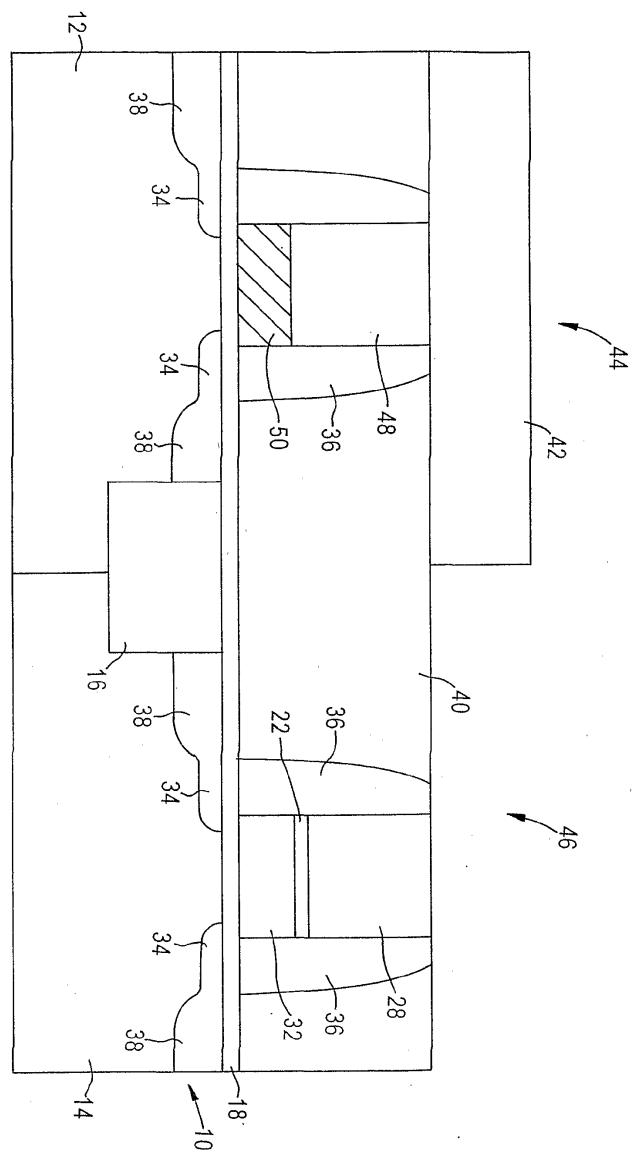
## 도면10



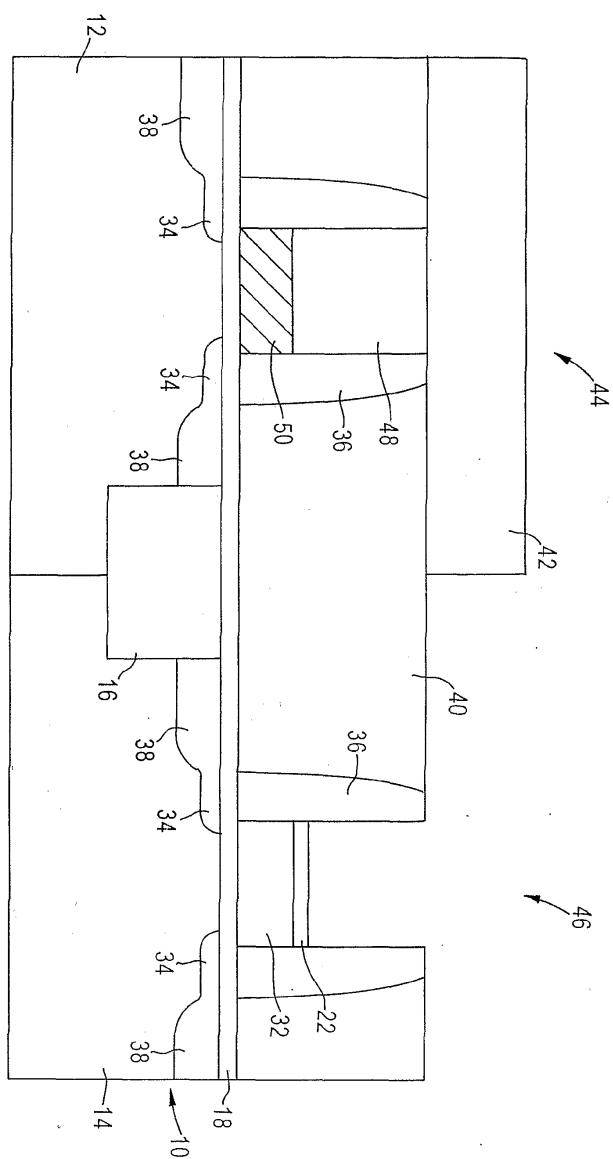
도면11



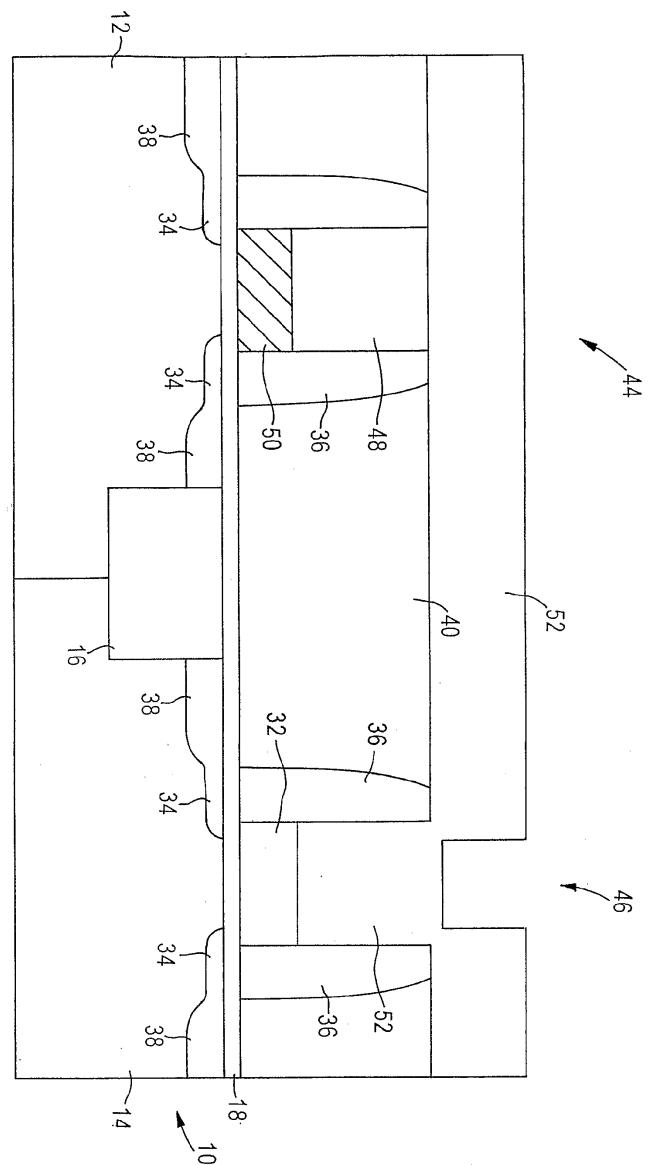
## 도면12



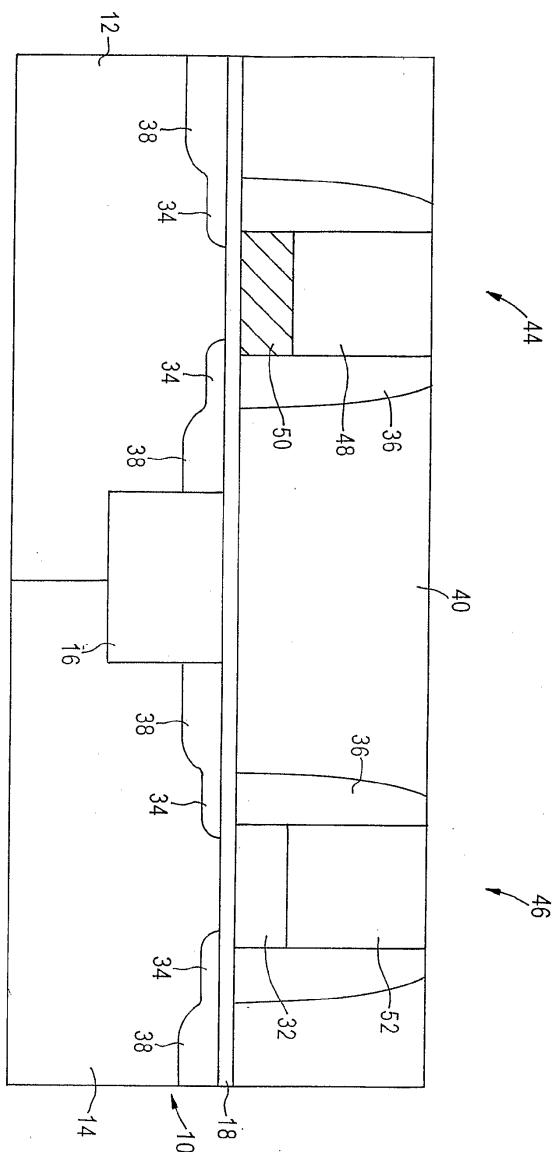
도면13



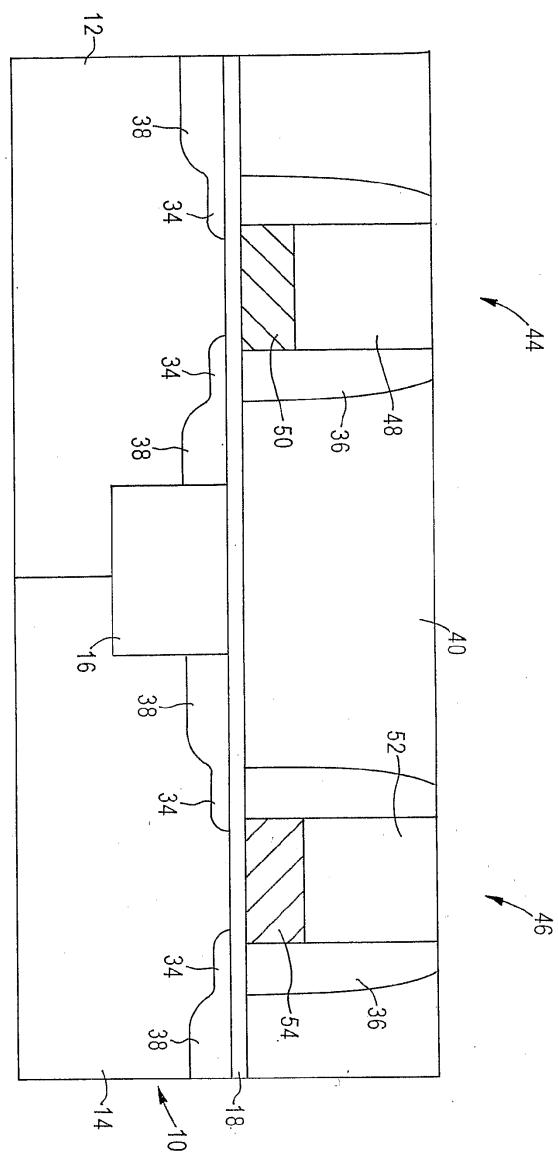
### 도면14



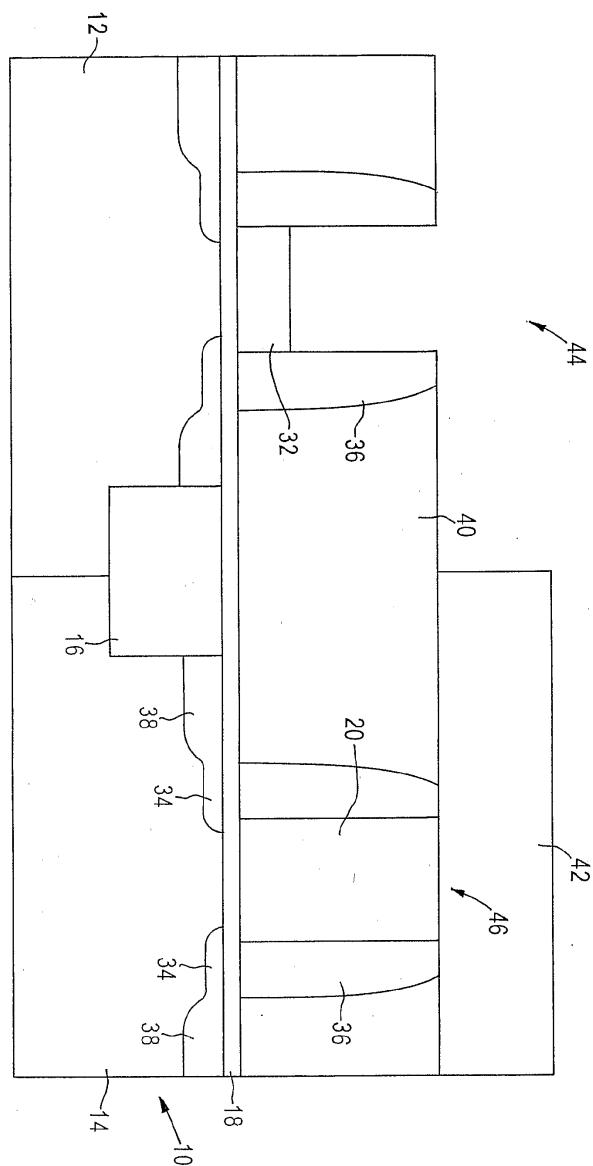
도면15



도면16



도면17



도면18

