



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0078083
(43) 공개일자 2023년06월02일

(51) 국제특허분류(Int. Cl.)
G05F 1/575 (2006.01) G05F 1/565 (2006.01)
H03F 3/45 (2006.01)
(52) CPC특허분류
G05F 1/575 (2013.01)
G05F 1/565 (2013.01)
(21) 출원번호 10-2021-0165492
(22) 출원일자 2021년11월26일
심사청구일자 2021년11월26일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
김창우
서울특별시 성동구 독서당로 218, 108동 1501호(옥수동, 옥수삼성아파트)
한희재
경기도 화성시 동탄지성로 17, B동 2802호(반송동, 동탄 위버폴리스)
(74) 대리인
김연권

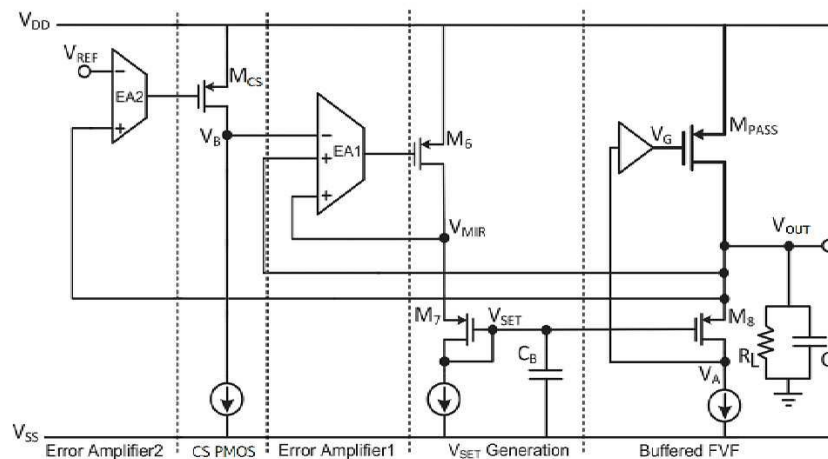
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 전압 변동물이 개선된 LDO 전압 레귤레이터, 이의 구동 방법, 및 이를 포함하는 전자 장치

(57) 요약

LDO 전압 레귤레이터는 제1 기준 전압이 인가되는 제1 입력단, 출력 전압이 인가되는 제2 입력단, 및 미러 전압이 인가되는 제3 입력단을 포함하는 제1 차동 증폭기, 제2 기준 전압이 인가되는 제1 입력단, 상기 출력 전압이 인가되는 제2 입력단을 포함하는 제2 차동 증폭기, 상기 제2 차동 증폭기의 출력단에 연결되는 게이트, 입력 전압이 인가되는 소스, 및 상기 제1 차동 증폭기의 제1 입력단에 연결되는 드레인을 포함하는 공통 소스 PMOS 트랜지스터, 상기 미러 전압을 인가받고, 설정 전압을 생성하는 설정 전압 생성 스테이지, 및 상기 출력 전압을 피드백하는 FVF 스테이지를 포함할 수 있다. 상기 공통 소스 PMOS 트랜지스터는 상기 제1 기준 전압을 일정하게 유지 시킴으로써 전압 변동물을 감소시킬 수 있다.

대표도 - 도1



(52) CPC특허분류

H03F 3/45 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711147479
과제번호	2019R1F1A1052728
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	(혁신법) 기본연구
연구과제명	CMOS 기반 삼중 대역 무선전력전송 수신부 IC칩에 대한 연구
기 여 율	1/2
과제수행기관명	경희대학교 산학협력단
연구기간	2019.06.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711125809
과제번호	2016-0-00291-006
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	(혁신법)정보통신기술인력양성/대학ICT연구센터육성지원
연구과제명	LOS/NLOS 환경에서 3차원 선택적 공간 무선전력전송 기술 연구
기 여 율	1/2
과제수행기관명	경희대학교 산학협력단
연구기간	2020.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

제1 기준 전압이 인가되는 제1 입력단, 출력 전압이 인가되는 제2 입력단, 및 미러 전압이 인가되는 제3 입력단을 포함하는 제1 차동 증폭기;

제2 기준 전압이 인가되는 제1 입력단, 및 상기 출력 전압이 인가되는 제2 입력단을 포함하는 제2 차동 증폭기;

상기 제2 차동 증폭기의 출력단에 연결되는 게이트, 입력 전압이 인가되는 소스, 및 상기 제1 차동 증폭기의 제1 입력단에 연결되는 드레인을 포함하는 공통 소스 PMOS 트랜지스터;

상기 미러 전압을 인가받고, 설정 전압을 생성하는 설정 전압 생성 스테이지; 및

상기 출력 전압을 피드백하는 FVF 스테이지를 포함하고,

상기 공통 소스 PMOS 트랜지스터는 상기 제1 기준 전압을 일정하게 유지시키는 것을 특징으로 하는,

LDO 전압 레귤레이터.

청구항 2

제1항에 있어서,

상기 출력 전압은,

상기 출력 전압이 상기 제2 차동 증폭기의 상기 제2 입력단에 피드백됨으로써, 상기 제2 기준 전압과 동일한 전압을 가지고,

상기 제1 기준 전압은,

상기 제2 차동 증폭기의 출력단에 연결된 상기 공통 소스 PMOS 트랜지스터의 상기 게이트가 제어됨으로써, 일정하게 유지되고,

상기 출력 전압은,

상기 출력 전압이 상기 제1 차동 증폭기의 상기 제2 입력단에 피드백됨으로써, 상기 제1 기준 전압이 동일한 전압을 가지고,

상기 출력 전압이 일정하게 유지됨으로써, 상기 출력 전압의 전압 변동률이 감소하는 것을 특징으로 하는,

LDO 전압 레귤레이터.

청구항 3

제1항에 있어서,

상기 FVF 스테이지는,

상기 출력 전압을 안정화하는 제1 피드백 루프를 형성하는 것을 특징으로 하는,

LDO 전압 레귤레이터.

청구항 4

제1항에 있어서,

상기 제1 차동 증폭기는,

LHP(left-half-plane) zero를 설정하는 제2 피드백 루프를 형성하는 것을 특징으로 하는,

LDO 전압 레귤레이터.

청구항 5

제1항에 있어서,

상기 제1 차동 증폭기 및 상기 FVF 스테이지는,

상기 출력 전압이 상기 제1 차동 증폭기의 상기 제2 입력단에 피드백됨으로써 DC 정확도를 향상시키는 제3 피드백 루프를 형성하는 것을 특징으로 하는,

LDO 전압 레귤레이터.

청구항 6

제1항에 있어서,

상기 제2 차동 증폭기 및 상기 FVF 스테이지는,

상기 출력 전압이 상기 제2 차동 증폭기의 상기 제2 입력단에 피드백됨으로써 부하 변동률을 향상시키는 제4 피드백 루프를 형성하는 것을 특징으로 하는,

LDO 전압 레귤레이터.

청구항 7

출력 전압과 제2 기준 전압이 동일한 전압을 가지도록 상기 출력 전압을 제2 차동 증폭기의 제2 입력단에 피드백하는 단계;

상기 제2 차동 증폭기의 출력단에 연결된 공통 소스 PMOS 트랜지스터의 게이트를 제어함으로써, 상기 공통 소스 PMOS 트랜지스터의 드레인에서 출력되는 제1 기준 전압을 일정하게 유지하는 단계;

상기 출력 전압과 상기 제1 기준 전압이 동일한 전압을 가지도록 상기 출력 전압을 상기 제1 차동 증폭기의 제2 입력단에 피드백하는 단계; 및

상기 출력 전압을 일정하게 유지함으로써, 상기 출력 전압의 전압 변동률을 감소시키는 단계를 포함하는,

LDO 전압 레귤레이터의 구동 방법.

청구항 8

LDO 전압 레귤레이터 및 DC-DC 컨버터를 포함하는 레귤레이팅 회로;

상기 레귤레이팅 회로에 입력 전압을 인가하는 전원 공급부; 및

상기 레귤레이팅 회로에 제어 신호를 인가하는 제어부를 포함하고,

상기 LDO 전압 레귤레이터는,

제1 기준 전압이 인가되는 제1 입력단, 출력 전압이 인가되는 제2 입력단, 및 미리 전압이 인가되는 제3 입력단을 포함하는 제1 차동 증폭기;

제2 기준 전압이 인가되는 제1 입력단, 및 상기 출력 전압이 인가되는 제2 입력단을 포함하는 제2 차동 증폭기;

상기 제2 차동 증폭기의 출력단에 연결되는 게이트, 상기 입력 전압이 인가되는 소스, 및 상기 제1 차동 증폭기의 제1 입력단에 연결되는 드레인을 포함하는 공통 소스 PMOS 트랜지스터;

상기 미리 전압을 인가받고, 설정 전압을 생성하는 설정 전압 생성 스테이지; 및

상기 출력 전압을 피드백하는 FVF 스테이지를 포함하고,

상기 공통 소스 PMOS 트랜지스터는 상기 제1 기준 전압을 일정하게 유지시키는 것을 특징으로 하는,

전자 장치.

발명의 설명

기술분야

[0001] 본 발명은 전압 레귤레이터에 관한 것으로, 보다 상세하게는 전압 변동률이 개선된 LDO 전압 레귤레이터, 전압 변동률이 개선된 LDO 전압 레귤레이터의 구동 방법, 및 전압 변동률이 개선된 LDO 전압 레귤레이터를 포함하는 전자 장치에 관한 것이다.

배경기술

[0002] 점차 반도체 회로의 SOC(system on chip) 제품이 증가하면서 집적회로(IC) 내부의 안정된 전원을 공급하기 위해, 카메라 구동회로(예컨대, OIS driver IC), 무선전력전송 회로(WPT IC), 고주파 회로(RF IC) 등 대부분의 SOC 제품에는 전압 레귤레이터가 내장될 수 있다.

[0003] 전자제품의 소형화 추세에 따라 SOC 제품도 소형화되고 있으며, 로직(logic) 회로의 경우 반도체 미세 공정 능력에 따라 면적 축소비율이 유지되지만 아날로그 회로의 경우 반도체 미세 공정 능력에 반드시 비례하지는 않는다. 따라서 SOC 내의 아날로그 회로는 성능 요구사항을 만족시키면서도 전력소모와 사용면적을 줄이는 것이 필요하다.

[0004] 예를 들어, SOC 제품에 내장되는 전압 레귤레이터로서, 입출력전압의 차이가 낮은 출력전압을 제공하는 LDO(Low Drop Out) 타입의 전압 레귤레이터가 이용될 수 있다.

[0005] 종래기술의 LDO 타입의 전압 레귤레이터는 다중 루프를 형성하여 출력 전압을 안정화하였으나, 전압 레귤레이터 내부의 구성 요소 간 전압 전달 특성에 따라 전압 변동률 또는 부하 변동률을 안정화하는데 한계가 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 한국등록특허 제 10-1643337호, "높은 전원 전압 변동 제거비를 갖는 선형 레귤레이터"

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 목적은 공통 소스 PMOS 트랜지스터를 두 개의 차동 증폭기 사이에 배치하여 전압 변동률, 부하 변동률 및 전압공급제거비를 개선한 LDO 전압 레귤레이터를 제공하는 것이다.

[0008] 본 발명의 다른 목적은 상기 LDO 전압 레귤레이터의 구동 방법을 제공하는 것이다.

[0009] 본 발명의 다른 목적은 상기 LDO 전압 레귤레이터를 포함하는 전자 장치를 제공하는 것이다.

[0010] 다만, 본 발명이 해결하고자 하는 과제는 상기 언급된 과제에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0011] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 LDO 전압 레귤레이터는 제1 기준 전압이 인가되는 제1 입력단, 출력 전압이 인가되는 제2 입력단, 및 미리 전압이 인가되는 제3 입력단을 포함하는 제1 차동 증폭기, 제2 기준 전압이 인가되는 제1 입력단, 상기 출력 전압이 인가되는 제2 입력단을 포함하는 제2 차동 증폭기, 상기 제2 차동 증폭기의 출력단에 연결되는 게이트, 입력 전압이 인가되는 소스, 및 상기 제1 차동 증폭기의 제1 입력단에 연결되는 드레인을 포함하는 공통 소스 PMOS 트랜지스터, 상기 미리 전압을 인가받고, 설정 전압을 생성하는 설정 전압 생성 스테이지, 및 상기 출력 전압을 피드백하는 FVF 스테이지를 포함할 수 있다. 상기 공통 소스 PMOS 트랜지스터는 상기 제1 기준 전압을 일정하게 유지시킬 수 있다.

[0012] 일 실시예에서, 상기 출력 전압은 상기 출력 전압이 상기 제2 차동 증폭기의 상기 제2 입력단에 피드백됨으로써, 상기 제2 기준 전압과 동일한 전압을 가질 수 있다. 상기 제1 기준 전압은 상기 제2 차동 증폭기의 출력단에 연결된 상기 공통 소스 PMOS 트랜지스터의 상기 게이트가 제어됨으로써, 일정하게 유지될 수 있다. 상기 출력 전압은 상기 출력 전압이 상기 제1 차동 증폭기의 상기 제2 입력단에 피드백됨으로써, 상기 제1

기준 전압이 동일한 전압을 가질 수 있다. 상기 출력 전압이 일정하게 유지됨으로써, 상기 출력 전압의 전압 변동률이 감소할 수 있다.

[0013] 일 실시예에서, 상기 FVF 스테이지는 상기 출력 전압을 안정화하는 제1 피드백 루프를 형성할 수 있다.

[0014] 일 실시예에서, 상기 제1 차동 증폭기는 LHP(left-half-plane) zero를 설정하는 제2 피드백 루프를 형성할 수 있다.

[0015] 일 실시예에서, 상기 제1 차동 증폭기 및 상기 FVF 스테이지는 상기 출력 전압이 상기 제1 차동 증폭기의 상기 제2 입력단에 피드백됨으로써 DC 정확도를 향상시키는 제3 피드백 루프를 형성할 수 있다.

[0016] 일 실시예에서, 상기 제2 차동 증폭기 및 상기 FVF 스테이지는 상기 출력 전압이 상기 제2 차동 증폭기의 상기 제2 입력단에 피드백됨으로써 부하 변동률을 향상시키는 제4 피드백 루프를 형성할 수 있다.

[0017] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 LDO 전압 레귤레이터의 구동 방법은 출력 전압과 제2 기준 전압이 동일한 전압을 가지도록 상기 출력 전압을 제2 차동 증폭기의 제2 입력단에 피드백하는 단계, 상기 제2 차동 증폭기의 출력단에 연결된 공통 소스 PMOS 트랜지스터의 게이트를 제어함으로써, 상기 공통 소스 PMOS 트랜지스터의 드레인에서 출력되는 제1 기준 전압을 일정하게 유지하는 단계, 상기 출력 전압과 상기 제1 기준 전압이 동일한 전압을 가지도록 상기 출력 전압을 상기 제1 차동 증폭기의 제2 입력단에 피드백하는 단계, 및 상기 출력 전압을 일정하게 유지함으로써, 상기 출력 전압의 전압 변동률을 감소시키는 단계를 포함할 수 있다.

[0018] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 전자 장치는 LDO 전압 레귤레이터 및 DC-DC 컨버터를 포함하는 레귤레이팅 회로, 상기 레귤레이팅 회로에 입력 전압을 인가하는 전원 공급부, 및 상기 레귤레이팅 회로에 제어 신호를 인가하는 제어부를 포함할 수 있다. 상기 LDO 전압 레귤레이터는 제1 기준 전압이 인가되는 제1 입력단, 출력 전압이 인가되는 제2 입력단, 및 미리 전압이 인가되는 제3 입력단을 포함하는 제1 차동 증폭기, 제2 기준 전압이 인가되는 제1 입력단, 상기 출력 전압이 인가되는 제2 입력단을 포함하는 제2 차동 증폭기, 상기 제2 차동 증폭기의 출력단에 연결되는 게이트, 입력 전압이 인가되는 소스, 및 상기 제1 차동 증폭기의 제1 입력단에 연결되는 드레인을 포함하는 공통 소스 PMOS 트랜지스터, 상기 미리 전압을 인가받고, 설정 전압을 생성하는 설정 전압 생성 스테이지, 및 상기 출력 전압을 피드백하는 FVF 스테이지를 포함할 수 있다. 상기 공통 소스 PMOS 트랜지스터는 상기 제1 기준 전압을 일정하게 유지시킬 수 있다.

발명의 효과

[0019] 본 발명의 실시예들에 따른 LDO 전압 레귤레이터는 공통 소스 PMOS 트랜지스터를 두 개의 차동 증폭기 사이에 배치함으로써, 제1 기준 전압, 제2 기준 전압, 및 출력 전압을 일정하게 유지시킬 수 있다. LDO 전압 레귤레이터는 제1 기준 전압, 제2 기준 전압, 및 출력 전압을 일정하게 유지됨으로써, 전압 변동률, 부하 변동률 및 전압공급제거비가 개선될 수 있다.

[0020] 다만, 본 발명의 효과는 상술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 실시예들에 따른 LDO 전압 레귤레이터를 나타내는 도면이다.

도 2는 도 1의 LDO 전압 레귤레이터의 구체적인 회로 구조를 나타내는 도면이다.

도 3은 도 1의 LDO 전압 레귤레이터의 제1 내지 제4 루프를 나타내는 도면이다.

도 4는 본 발명의 실시예와 비교예의 제1 기준 전압 변동률을 비교하는 그래프이다.

도 5는 본 발명의 실시예와 비교예의 출력 전압 변동률을 비교하는 그래프이다.

도 6은 본 발명의 실시예와 비교예의 부하 변동률을 비교하는 그래프이다.

도 7은 본 발명의 실시예와 비교예의 전압공급제거비를 비교하는 그래프이다.

도 8은 본 발명의 실시예들에 따른 LDO 전압 레귤레이터의 구동 방법을 나타내는 순서도이다.

도 9는 본 발명의 실시예들에 따른 전자 장치를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.
- [0023] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0024] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들면 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0025] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들면 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0026] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0028] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0029] 도 1은 본 발명의 실시예들에 따른 LDO 전압 레귤레이터를 나타내는 도면이고, 도 2는 도 1의 LDO 전압 레귤레이터의 구체적인 회로 구조를 나타내는 도면이다.
- [0030] 도 1 및 2를 참조하면, 본 발명의 실시예들에 따른 LDO 전압 레귤레이터는 제1 차동 증폭기, 제2 차동 증폭기, 공통 소스 PMOS 트랜지스터, 설정 전압(V_{SET}) 생성 스테이지, 및 FVF 스테이지를 포함할 수 있다.
- [0031] LDO 전압 레귤레이터는 복수의 트랜지스터들을 포함할 수 있다. 예를 들어, LDO 전압 레귤레이터는 29개의 트랜지스터들을 포함함으로써, 제1 차동 증폭기, 제2 차동 증폭기, 공통 소스 PMOS 트랜지스터, 설정 전압(V_{SET}) 생성 스테이지, 및 FVF 스테이지를 구성할 수 있다. 상기 복수의 트랜지스터들은 PMOS 트랜지스터일 수 있다. 상기 복수의 트랜지스터들은 NMOS 트랜지스터일 수 있다.
- [0032] 제1 차동 증폭기는 제1 기준 전압(V_B)이 인가되는 제1 입력단, 출력 전압(V_{OUT})이 인가되는 제2 입력단, 및 미러 전압(V_{MIR})이 인가되는 제3 입력단을 포함할 수 있다. 제1 입력단은 반전 입력 신호가 인가되는 반전 입력단일 수 있다. 제2 입력단은 비반전 입력 신호가 인가되는 비반전 입력단일 수 있다. 제3 입력단은 비반전 입력 신호가 인가되는 비반전 입력단일 수 있다.
- [0033] 제1 차동 증폭기의 출력단에서는 제1 입력단에 인가되는 전압과, 제2 입력단 및 제3 입력단에 인가되는 전압의 차이만큼의 전압이 출력될 수 있다. 예를 들어, 제1 차동 증폭기의 출력단에서는 출력 전압(V_{OUT})과 미러

전압(V_{MIR})의 합과, 제1 기준 전압(V_B)의 차이만큼에 해당하는 전압($V_{OUT}+V_{MIR}-V_B$)이 출력될 수 있다.

- [0034] 제2 차동 증폭기는 제2 기준 전압(V_{REF})이 인가되는 제1 입력단, 및 상기 출력 전압(V_{OUT})이 인가되는 제2 입력단을 포함할 수 있다. 제1 입력단은 반전 입력 신호가 인가되는 반전 입력단일 수 있다. 제2 입력단은 비반전 입력 신호가 인가되는 비반전 입력단일 수 있다.
- [0035] 제2 차동 증폭기의 출력단에서는 제1 입력단에 인가되는 전압과, 제2 입력단에 인가되는 전압의 차이만큼의 전압이 출력될 수 있다. 예를 들어, 제2 차동 증폭기의 출력단에서는 출력 전압(V_{OUT})과, 제2 기준 전압(V_{REF})의 차이만큼에 해당하는 전압($V_{OUT}-V_{REF}$)이 출력될 수 있다.
- [0036] 상기 제2 차동 증폭기의 출력단에서 출력되는 전압($V_{OUT}-V_{REF}$)은 공통 소스 PMOS 트랜지스터의 게이트에 인가될 수 있다.
- [0037] 공통 소스 PMOS 트랜지스터는 상기 제2 차동 증폭기의 출력단에 연결되는 게이트, 입력 전압(V_{IN})이 인가되는 소스, 및 상기 제1 차동 증폭기의 제1 입력단에 연결되는 드레인을 포함할 수 있다.
- [0038] 상기 제2 차동 증폭기의 출력단에서 출력되는 전압이 작을수록, 공통 소스 PMOS 트랜지스터에 더 일정한 전류가 흐를 수 있다. 예를 들어, 출력 전압(V_{OUT})과 제2 기준 전압(V_{REF})이 같은 경우, 공통 소스 PMOS 트랜지스터에 일정한 전류가 흐를 수 있다.
- [0039] 상기 공통 소스 PMOS 트랜지스터는 상기 제1 기준 전압(V_B)을 일정하게 유지시킬 수 있다. 예를 들어, 공통 소스 PMOS 트랜지스터에 일정한 전류가 흐르는 경우, 공통 소스 PMOS 트랜지스터의 드레인에 일정한 전압이 출력될 수 있다. 공통 소스 PMOS 트랜지스터의 드레인에 일정한 전압이 출력되는 경우, 제1 기준 전압(V_B)은 일정하게 유지될 수 있다.
- [0040] 설정 전압(V_{SET}) 생성 스테이지는 상기 미러 전압(V_{MIR})을 인가받고, 설정 전압(V_{SET})을 생성할 수 있다. 설정 전압(V_{SET}) 생성 스테이지는 미러 전압(V_{MIR})과 출력 전압(V_{OUT}) 사이에 브릿지(bridge)를 형성할 수 있다. 설정 전압(V_{SET})은 제7 트랜지스터(M7)에 의해 미러 전압(V_{MIR})보다 한 단계 VSG 아래로 형성될 수 있다. 설정 전압(V_{SET})은 FVF 스테이지에서 제8 트랜지스터에 바이어스를 제공할 수 있다.
- [0041] FVF 스테이지는 상기 출력 전압(V_{OUT})을 다른 구성 요소로 피드백할 수 있다. FVF 스테이지는 상기 출력 전압(V_{OUT})을 피드백함으로써, 과도 응답 특성을 개선할 수 있다.
- [0042] 상기 출력 전압(V_{OUT})은 상기 출력 전압(V_{OUT})이 상기 제2 차동 증폭기의 상기 제2 입력단에 피드백됨으로써, 상기 제2 기준 전압(V_{REF})과 동일한 전압을 가질 수 있다.
- [0043] 상기 제1 기준 전압(V_B)은 상기 제2 차동 증폭기의 출력단에 연결된 상기 공통 소스 PMOS 트랜지스터의 상기 게이트가 제어됨으로써, 일정하게 유지될 수 있다.
- [0044] 상기 출력 전압(V_{OUT})은 상기 출력 전압(V_{OUT})이 상기 제1 차동 증폭기의 상기 제2 입력단에 피드백됨으로써, 상기 제1 기준 전압(V_B)이 동일한 전압을 가질 수 있다.
- [0045] 상기 출력 전압(V_{OUT})이 일정하게 유지됨으로써, 상기 출력 전압(V_{OUT})의 전압 변동률이 감소할 수 있다.
- [0046] 이와 같이, LDO 전압 레귤레이터는 공통 소스 PMOS 트랜지스터를 두 개의 차동 증폭기 사이에 배치함으로써, 제1 기준 전압(V_B), 제2 기준 전압(V_{REF}), 및 출력 전압(V_{OUT})을 일정하게 유지시킬 수 있다.
- [0047] LDO 전압 레귤레이터는 제1 기준 전압(V_B), 제2 기준 전압(V_{REF}), 및 출력 전압(V_{OUT})을 일정하게 유지됨으로써, 전압 변동률, 부하 변동률 및 전압공급제거비가 개선될 수 있다.
- [0048] 도 3은 도 1의 LDO 전압 레귤레이터의 제1 내지 제4 루프를 나타내는 도면이다.
- [0049] 도 3을 참조하면, LDO 전압 레귤레이터는 다중 피드백 루프를 형성할 수 있다. 구체적으로, LDO 전압 레귤레이터는 제1 내지 제4 피드백 루프를 형성할 수 있다.

- [0050] 상기 FVF 스테이지는 상기 출력 전압(V_{OUT})을 안정화하는 제1 피드백 루프를 형성할 수 있다.
- [0051] 상기 제1 차동 증폭기는 LHP(left-half-plane) zero를 설정하는 제2 피드백 루프를 형성할 수 있다.
- [0052] 상기 제1 차동 증폭기 및 상기 FVF 스테이지는 상기 출력 전압(V_{OUT})이 상기 제1 차동 증폭기의 상기 제2 입력단에 피드백됨으로써 DC 정확도를 향상시키는 제3 피드백 루프를 형성할 수 있다.
- [0053] 상기 제2 차동 증폭기 및 상기 FVF 스테이지는 상기 출력 전압(V_{OUT})이 상기 제2 차동 증폭기의 상기 제2 입력단에 피드백됨으로써 부하 변동률을 향상시키는 제4 피드백 루프를 형성할 수 있다.
- [0054] LDO 전압 레귤레이터는 제1 내지 제4 피드백 루프를 형성함으로써, 출력 전압(V_{OUT})을 안정화할 수 있다.
- [0055] 도 4는 본 발명의 실시예와 비교예의 제1 기준 전압(V_B) 변동률을 비교하는 그래프이다.
- [0056] 도 4를 참조하면, 실시예와 비교예 각각의 입력 전압(V_{IN})에 따른 제1 기준 전압(V_B)의 변화가 도시되어 있다. 제2 기준 전압(V_{REF})이 1.2V일 때, 입력 전압(V_{IN}) 1.3V 내지 2.2V의 범위에서 제1 기준 전압(V_B)을 측정하였다.
- [0057] 공통 소스 PMOS 트랜지스터를 포함하지 않는 비교예는 59.2 mV/V의 제1 기준 전압(V_B) 변동률을 보이는 반면, 본 발명의 공통 소스 PMOS 트랜지스터를 포함하는 실시예는 3.3 mV/V의 제1 기준 전압(V_B) 변동률을 보인다.
- [0058] 따라서, 비교예 대비, 본 발명의 실시예는 제1 기준 전압(V_B) 변동률이 1/17로 감소한 것을 확인할 수 있다.
- [0059] 도 5는 본 발명의 실시예와 비교예의 출력 전압(V_{OUT}) 변동률을 비교하는 그래프이다.
- [0060] 도 5를 참조하면, 실시예와 비교예 각각의 입력 전압(V_{IN})에 따른 출력 전압(V_{OUT})의 변화가 도시되어 있다. 제2 기준 전압(V_{REF})이 1.2V일 때, 입력 전압(V_{IN}) 1.3V 내지 2.2V의 범위에서 제1 기준 전압(V_B)을 측정하였다.
- [0061] 공통 소스 PMOS 트랜지스터를 포함하지 않는 비교예는 64.7 mV/V의 출력 전압(V_{OUT}) 변동률을 보이는 반면, 본 발명의 공통 소스 PMOS 트랜지스터를 포함하는 실시예는 3.7 mV/V의 출력 전압(V_{OUT}) 변동률을 보인다.
- [0062] 따라서, 비교예 대비, 본 발명의 실시예는 제1 기준 전압(V_B) 변동률이 1/15로 감소한 것을 확인할 수 있다.
- [0063] 도 6은 본 발명의 실시예와 비교예의 부하 변동률을 비교하는 그래프이다.
- [0064] 도 6을 참조하면, 실시예와 비교예 각각의 출력 전류에 따른 출력 전압(V_{OUT})의 변화가 도시되어 있다. 입력 전압(V_{IN})이 1.4V일 때, 시뮬레이션을 수행하여 부하 변동률을 측정하였다.
- [0065] 공통 소스 PMOS 트랜지스터를 포함하지 않는 비교예는 5.9 μ V/mA의 부하 변동률을 보이는 반면, 본 발명의 공통 소스 PMOS 트랜지스터를 포함하는 실시예는 0.47 μ V/mA의 부하 변동률을 보인다.
- [0066] 따라서, 비교예 대비, 본 발명의 실시예는 부하 변동률이 1/10로 감소한 것을 확인할 수 있다.
- [0067] 도 7은 본 발명의 실시예와 비교예의 전압공급제거비(PSRR)를 비교하는 그래프이다.
- [0068] 도 7을 참조하면, 실시예와 비교예 각각의 주파수에 따른 출력 전압(V_{OUT})의 변화가 도시되어 있다.
- [0069] 저주파수(예컨대, 10^7 Hz 이하) 범위에서, 공통 소스 PMOS 트랜지스터를 포함하지 않는 비교예는 -21 dB의 전압공급제거비를 보이는 반면, 본 발명의 공통 소스 PMOS 트랜지스터를 포함하는 실시예는 -44 dB의 전압공급제거비를 보인다.
- [0070] 따라서, 비교예 대비, 본 발명의 실시예는 전압공급제거비가 20 dB 이상 감소한 것을 확인할 수 있다.
- [0071] 이와 같이, LDO 전압 레귤레이터는 공통 소스 PMOS 트랜지스터를 두 개의 차동 증폭기 사이에 배치함으로써, 피드백 루프 이득을 최적화할 수 있다. LDO 전압 레귤레이터는 제1 기준 전압(V_B), 제2 기준 전압(V_{REF}), 및 출력 전압(V_{OUT})을 일정하게 유지됨으로써, 전압 변동률, 부하 변동률 및 전압공급제거비를 개선할 수 있다.
- [0072] 도 8은 본 발명의 실시예들에 따른 LDO 전압 레귤레이터의 구동 방법을 나타내는 순서도이다.

- [0073] 도 8을 참조하면, 본 발명의 실시예들에 따른 LDO 전압 레귤레이터의 구동 방법은 출력 전압(V_{OUT})을 제2 차동 증폭기의 제2 입력단에 피드백(S100)하고, 공통 소스 PMOS 트랜지스터의 드레인에서 출력되는 제1 기준 전압(V_B)을 일정하게 유지(S200)하며, 출력 전압(V_{OUT})을 제1 차동 증폭기의 제2 입력단에 피드백(S300)하고, 출력 전압(V_{OUT})의 전압 변동률을 감소(S400)시킬 수 있다.
- [0074] 예를 들어, LDO 전압 레귤레이터의 구동 방법은 출력 전압(V_{OUT})과 제2 기준 전압(V_{REF})이 동일한 전압을 가지도록 상기 출력 전압(V_{OUT})을 제2 차동 증폭기의 제2 입력단에 피드백할 수 있다.
- [0075] 예를 들어, LDO 전압 레귤레이터의 구동 방법은 상기 제2 차동 증폭기의 출력단에 연결된 공통 소스 PMOS 트랜지스터의 게이트를 제어함으로써, 상기 공통 소스 PMOS 트랜지스터의 드레인에서 출력되는 제1 기준 전압(V_B)을 일정하게 유지할 수 있다.
- [0076] 예를 들어, LDO 전압 레귤레이터의 구동 방법은 상기 출력 전압(V_{OUT})과 상기 제1 기준 전압(V_B)이 동일한 전압을 가지도록 상기 출력 전압(V_{OUT})을 상기 제1 차동 증폭기의 제2 입력단에 피드백할 수 있다.
- [0077] 예를 들어, LDO 전압 레귤레이터의 구동 방법은 상기 출력 전압(V_{OUT})을 일정하게 유지함으로써, 상기 출력 전압(V_{OUT})의 전압 변동률을 감소시킬 수 있다.
- [0078] 도 9는 본 발명의 실시예들에 따른 전자 장치(10)를 나타내는 도면이다.
- [0079] 도 9를 참조하면, 본 발명의 실시예들에 따른 전자 장치(10)는 LDO 전압 레귤레이터(110) 및 DC-DC 컨버터(120)를 포함하는 레귤레이팅 회로(100), 상기 레귤레이팅 회로(100)에 입력 전압을 인가하는 전원 공급부(200), 및 상기 레귤레이팅 회로(100)에 제어 신호(CONT)를 인가하는 제어부(300)를 포함할 수 있다.
- [0080] 레귤레이팅 회로(100)는 LDO 전압 레귤레이터(110) 및 DC-DC 컨버터(120)를 포함하고, 전원 공급부(200)로부터 인가받은 입력 전압을 레귤레이팅함으로써 출력 전압을 생성할 수 있다.
- [0081] 예를 들어, 레귤레이팅 회로는 제어부(300)로부터 제어 신호(CONT)를 인가받고, 제어 신호(CONT)에 기초하여 복수의 노드들에 다양한 전압을 제공할 수 있다.
- [0082] DC-DC 컨버터(120)는 직류의 입력 전압을 입력 받아서 승압하거나 강압하고, 직류 전압을 출력할 수 있다. DC-DC 컨버터(120)는 스텝-다운 컨버터(Step-down Converter) 또는 벡 컨버터(Buck Converter)로 구현될 수 있다.
- [0083] DC-DC 컨버터(120)는 제어 신호(CONT)에 기초하여 복수의 노드들에 전압을 제공할 수 있다. 예를 들어, DC-DC 컨버터(DCC)는 제어부(300)로부터 인가받은 제어 신호(CONT)에 기초하여 입력 전압을 강압하여 LDO 레귤레이터(110)에 제공할 수 있다.
- [0084] LDO 전압 레귤레이터(110)는 제1 기준 전압이 인가되는 제1 입력단, 출력 전압이 인가되는 제2 입력단, 및 미러 전압이 인가되는 제3 입력단을 포함하는 제1 차동 증폭기, 제2 기준 전압이 인가되는 제1 입력단, 상기 출력 전압이 인가되는 제2 입력단을 포함하는 제2 차동 증폭기, 상기 제2 차동 증폭기의 출력단에 연결되는 게이트, 입력 전압이 인가되는 소스, 및 상기 제1 차동 증폭기의 제1 입력단에 연결되는 드레인을 포함하는 공통 소스 PMOS 트랜지스터, 상기 미러 전압을 인가받고, 설정 전압을 생성하는 설정 전압 생성 스테이지, 및 상기 출력 전압을 피드백하는 FVF 스테이지를 포함할 수 있다. 상기 공통 소스 PMOS 트랜지스터는 상기 제1 기준 전압을 일정하게 유지시킬 수 있다.
- [0085] 전자 장치(10)의 LDO 전압 레귤레이터(110)는 공통 소스 PMOS 트랜지스터를 두 개의 차동 증폭기 사이에 배치함으로써, 피드백 루프 이득을 최적화할 수 있다. LDO 전압 레귤레이터는 제1 기준 전압, 제2 기준 전압, 및 출력 전압을 일정하게 유지됨으로써, 전압 변동률, 부하 변동률 및 전압공급제거비를 개선할 수 있다. 다만, 이에 대해서는 상술한 바 있으므로, 그에 대한 중복되는 설명은 생략하기로 한다.
- [0086] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적

컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0087] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

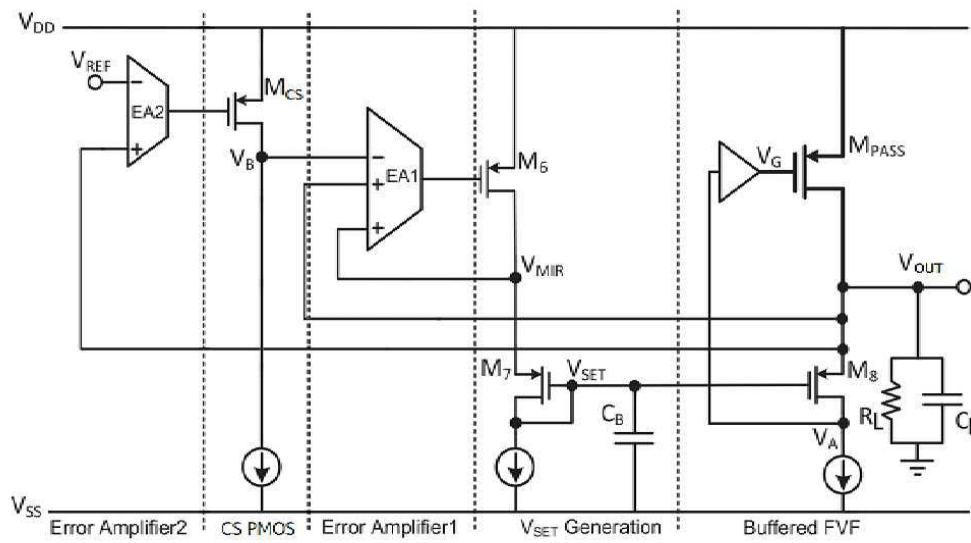
[0088] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

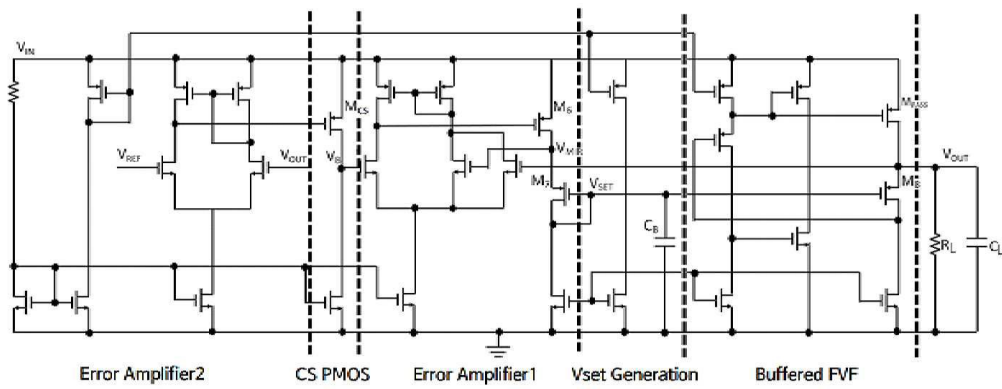
[0089] 10: 전자 장치
100: 레귤레이팅 회로
110: LDO 전압 레귤레이터
120: DC-DC 컨버터
200: 전원 공급부
300: 제어부

도면

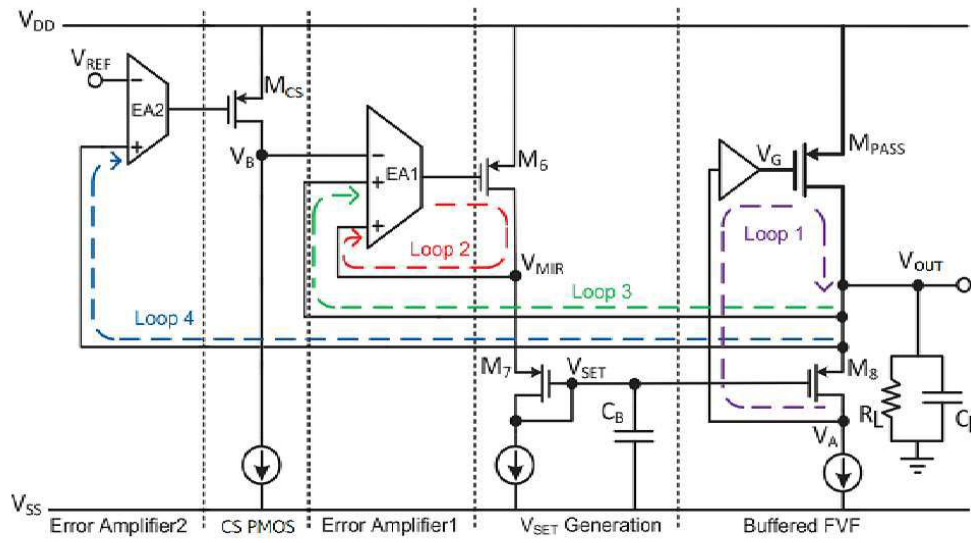
도면1



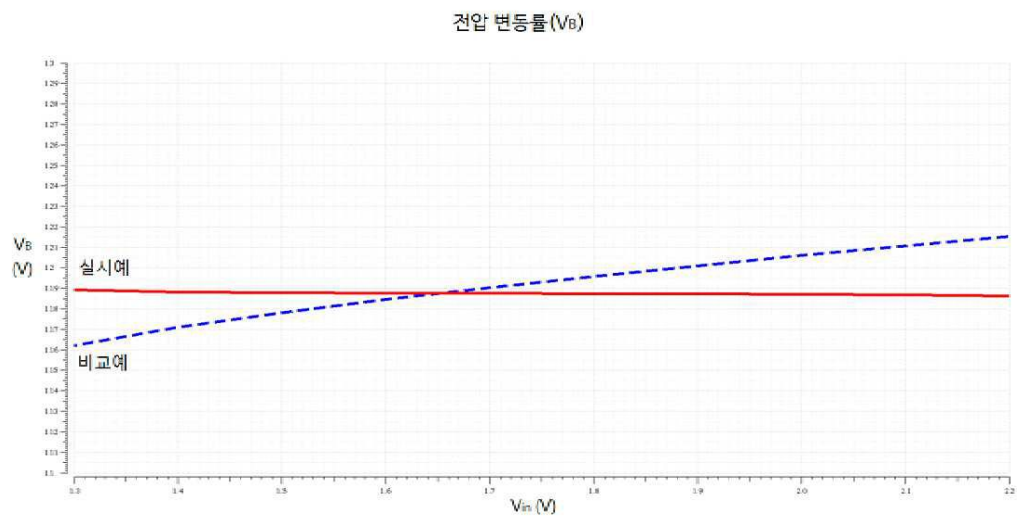
도면2



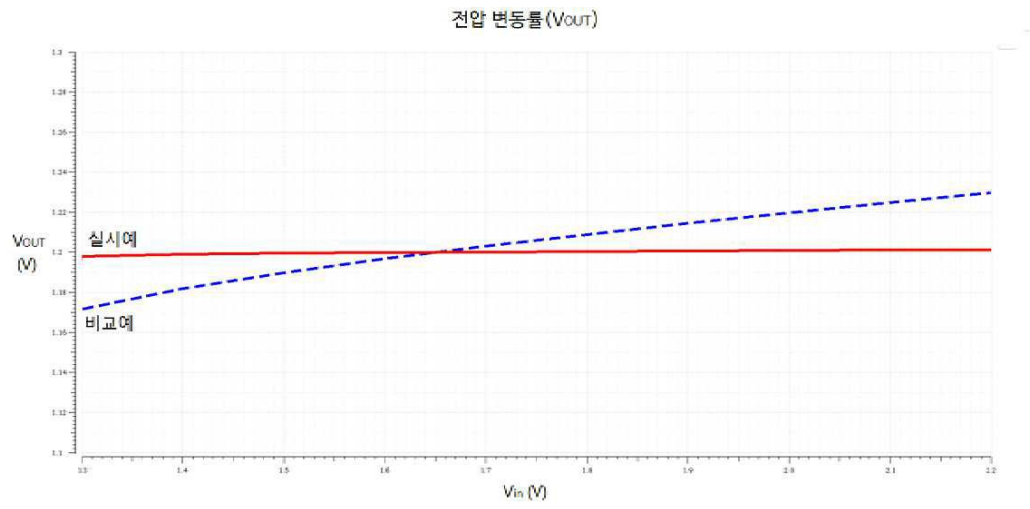
도면3



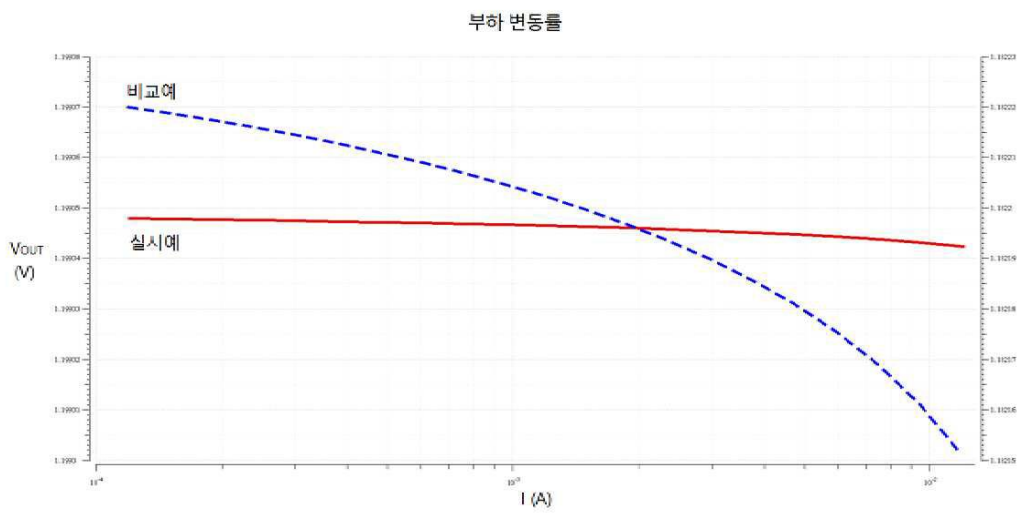
도면4



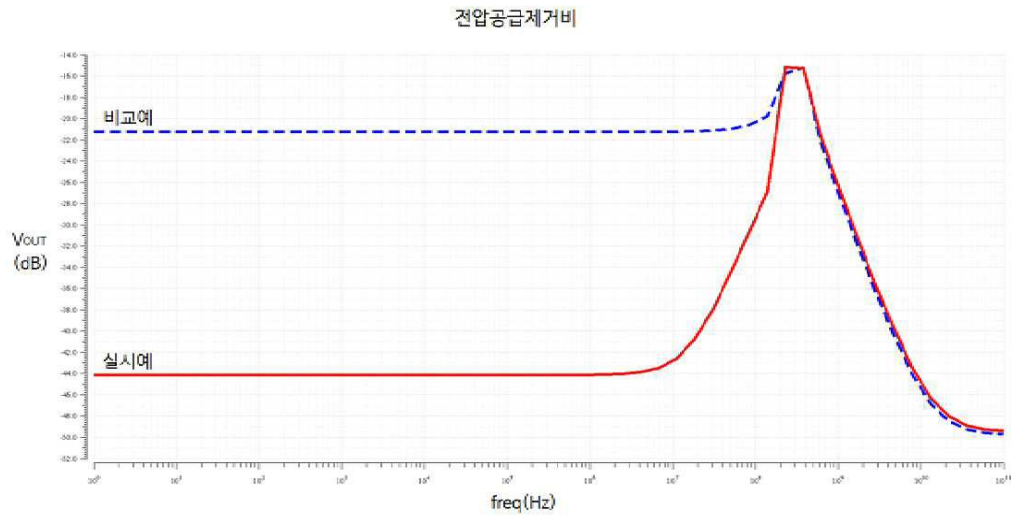
도면5



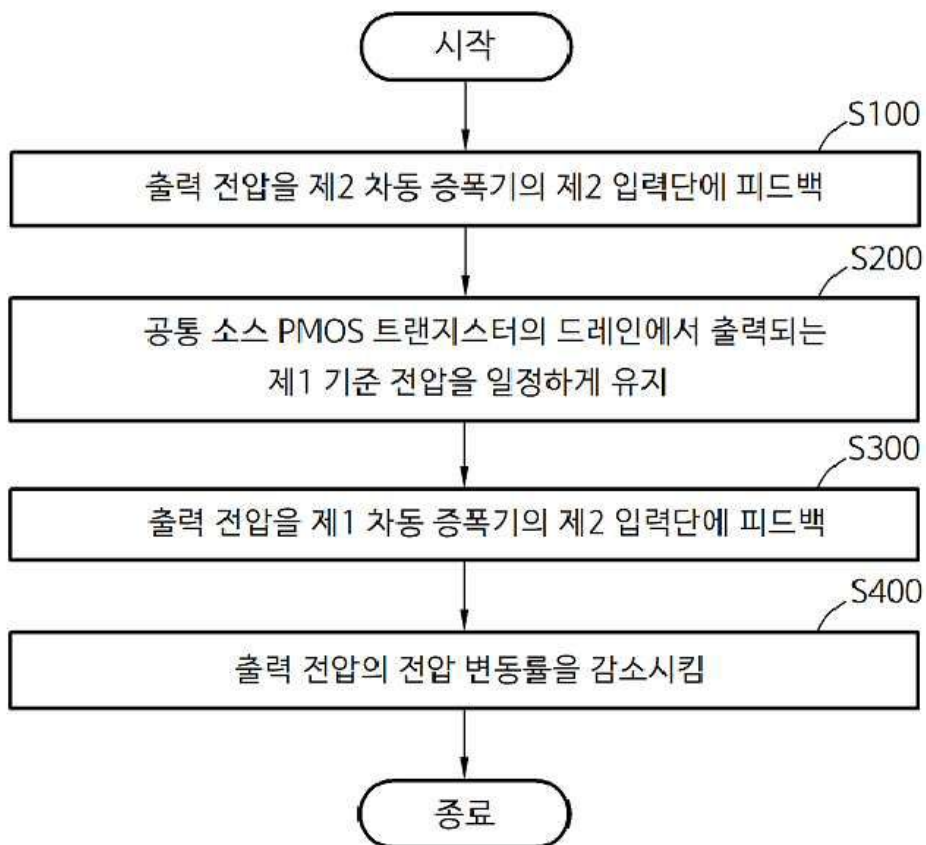
도면6



도면7



도면8



도면9

