

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-29794
(P2016-29794A)

(43) 公開日 平成28年3月3日(2016.3.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 7/18 (2006.01)	HO4N 7/18 D	2H193
HO4N 5/225 (2006.01)	HO4N 5/225 F	5C006
GO9G 3/36 (2006.01)	GO9G 3/36	5C024
GO9G 3/30 (2006.01)	GO9G 3/30 H	5C054
GO9G 3/20 (2006.01)	GO9G 3/20 611A	5C080
審査請求 未請求 請求項の数 13 O L (全 46 頁) 最終頁に続く		

(21) 出願番号 特願2015-136131 (P2015-136131)
 (22) 出願日 平成27年7月7日 (2015.7.7)
 (31) 優先権主張番号 特願2014-147717 (P2014-147717)
 (32) 優先日 平成26年7月18日 (2014.7.18)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 池田 隆之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H193 ZA04 ZD36
 5C006 AA02 AF19 AF44 AF81 BB16
 BC06 BC20 EC02 FA04 FA47
 5C024 BX04 CY15 CY26 CY42 CY50
 EX43 EX52 GX03 GX16 GY31
 HX22 HX23 HX29 HX50 HX60
 最終頁に続く

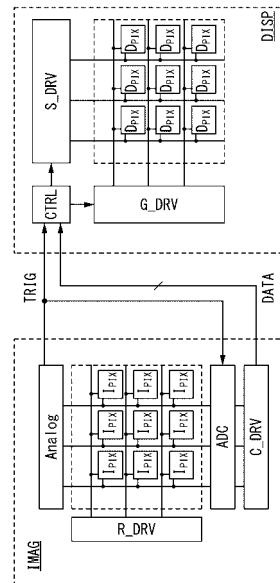
(54) 【発明の名称】 表示システム、撮像装置、監視装置、表示装置、及び電子機器

(57) 【要約】 (修正有)

【課題】消費電力の低減が可能な表示システムを提供する。

【解決手段】撮像装置IMAGは、第1の撮像モードと第2の撮像モードで動作する機能を有する。第1の撮像モードにおいて、撮像装置が有するデジタル処理回路ADCは、第1の画素IPIXが撮像した第3の撮像データをデジタルデータに変換し、画像データDATAとして表示装置DISPに供給する。第2の撮像モードにおいて、撮像装置が有するアナログ処理回路Analogは、差分データを検出し、第1の撮像データと第2の撮像データの差のある場合に判定信号TRIGをアクティブな値とする。表示装置は、第1の表示モードと第2の表示モードで動作する機能を有する。第1の表示モードは、画像データを更新して表示を行う。第2の表示モードは、画像データを更新することなく表示を行う。撮像モード及び表示モードの遷移は、判定信号をアクティブな値にすることで行われる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

撮像装置と、表示装置と、を有する表示システムであって、

前記撮像装置は、

第 1 の画素と、

アナログ処理回路と、

デジタル処理回路と、を有し、

前記第 1 の画素は、撮像データを出力する機能を有し、

前記第 1 の画素は、第 1 の前記撮像データと、第 2 の前記撮像データとの差分データを保持する機能を有し、

前記撮像装置は、第 1 の撮像モードと第 2 の撮像モードで動作する機能を有し、

前記第 1 の撮像モードにおいて、前記デジタル処理回路は、前記第 1 の画素が撮像した第 3 の前記撮像データをデジタルデータに変換し、

前記第 2 の撮像モードにおいて、前記アナログ処理回路は、前記差分データを検出し、第 1 の前記撮像データと第 2 の前記撮像データの差のある場合に判定信号をアクティブな値とし、

前記表示装置は、第 1 の表示モードと第 2 の表示モードで動作する機能を有し、

前記第 1 の表示モードは、前記画像データを更新して表示を行う機能を有し、

前記第 2 の表示モードは、画像データを更新することなく表示を行う機能を有し、

前記第 2 の撮像モードから前記第 1 の撮像モードへの遷移、及び前記第 2 の表示モードから前記第 1 の表示モードへの遷移は、前記判定信号をアクティブな値にすることで行われることを特徴とする表示システム。

【請求項 2】

請求項 1 において、

前記アナログ処理回路は、前記差分データの差分絶対値和演算を行い、前記演算の結果が規定値と同一でない場合に前記判定信号をアクティブな値とする回路であることを特徴とする表示システム。

【請求項 3】

請求項 2 において、前記アナログ処理回路は、減算回路、絶対値回路及び加算回路を有することを特徴とする表示システム。

【請求項 4】

請求項 1 において、

前記アナログ処理回路は、前記差分データに応じた前記電流値と、前記基準電流値と、の差の大小関係に従って電流の供給を行い、前記電流の供給に差が生じた場合に前記判定信号をアクティブな値とする回路であることを特徴とする表示システム。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記デジタル処理回路は、A / D 変換回路を有することを特徴とする表示システム。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記撮像装置は、一定時間が経過した場合に、前記第 2 のモードから前記第 1 のモードに遷移することを特徴とする表示システム。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、

前記第 1 の画素は、第 1 のトランジスタと、光電変換素子と、を有し、

前記表示装置は、第 2 の画素を有し、

前記第 2 の画素は、第 2 のトランジスタと、表示素子と、を有し、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、酸化物半導体をチャンネル形成領域に有することを特徴とする表示システム。

【請求項 8】

請求項 7 において、前記光電変換素子は、セレンを有する化合物半導体であることを特徴とする表示システム。

【請求項 9】

請求項 7 又は 8 において、

前記表示素子は、液晶素子又は発光素子であることを特徴とする表示システム。

【請求項 10】

画像データを更新して表示を行う第 1 の表示モードと、画像データを更新しないで表示を行う第 2 の表示モードと、を切り替える機能を有する表示装置に、判定信号と画像データとを出力する撮像装置であって、

第 1 の画素と、

アナログ処理回路と、

デジタル処理回路と、を有し、

前記第 1 の画素は、撮像データを出力する機能を有し、

前記第 1 の画素は、第 1 の前記撮像データと、第 2 の前記撮像データとの差分データを保持する機能を有し、

前記撮像装置は、第 1 の撮像モードと第 2 の撮像モードで動作する機能を有し、

前記第 1 の撮像モードにおいて、前記デジタル処理回路は、前記第 1 の画素が撮像した第 3 の前記撮像データをデジタルデータに変換し、該デジタルデータを前記画像データとして前記表示装置に出力し、

前記第 2 の撮像モードにおいて、前記アナログ処理回路は、前記差分データを検出し、第 1 の前記撮像データと第 2 の前記撮像データの差のある場合に前記判定信号をアクティブな値とし、

前記第 2 の撮像モードから前記第 1 の撮像モードへの遷移、及び前記第 2 の表示モードから前記第 1 の表示モードへの遷移を、前記判定信号をアクティブな値にすることで行うことを特徴とする撮像装置。

【請求項 11】

画像データを更新して表示を行う第 1 の表示モードと、画像データを更新しないで表示を行う第 2 の表示モードと、を切り替える機能を有する表示装置であって、

第 2 の画素と、

ソースドライバと、

ゲートドライバと、

制御回路と、を有し、

前記制御回路は、撮像装置から出力される判定信号をアクティブな値にすることで、前記第 2 の表示モードから前記第 1 の表示モードへの遷移を行う機能を有し、

前記ソースドライバ及び前記ゲートドライバは、前記第 1 の表示モードにおいて、前記第 2 の画素に与える前記画像データに応じたビデオ電圧を更新することで画像を表示するように動作する機能、及び第 2 の表示モードにおいて、前記第 2 の画素に与える前記画像データに応じたビデオ電圧を画素に保持することで画像を表示するように動作する機能と、を有することを特徴とする表示装置。

【請求項 12】

請求項 1 乃至 10 のいずれか一に記載の、撮像装置及び表示装置を有する表示システムを有し、

前記撮像装置に機能的に接続された記憶装置と、

前記撮像装置に機能的に接続された警報装置と、

を有することを特徴とする監視装置。

【請求項 13】

請求項 12 に記載の監視装置と、

操作キーと、

を有することを特徴とする電子機器。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明の一態様は、表示システム、撮像装置、監視装置、表示装置、及び電子機器に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、撮像装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げる事ができる。

10

【背景技術】

【0003】

リーク電流の小さいトランジスタを画素のトランジスタに用いて、画像データが更新される頻度を減らす表示装置が提案されている（例えば特許文献1）。画像データの更新は、現フレームの画像データと、前のフレームの画像データを差分処理によるデジタル処理によって比較し、このデジタル処理結果に基づいて、画像データの更新の要否を判定している。画像データが更新される頻度を減らすことで、表示装置における消費電力の低減を図っている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許出願公開第2011/0090204号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

表示システム全体でのさらなる消費電力の低減を図るためには、デジタル処理に要する消費電力の低減が重要となる。

【0006】

本発明の一態様は、新規な表示システム、新規な撮像装置、新規な表示装置、新規な電子機器等を提供することを課題の一とする。

30

【0007】

または、本発明の一態様は、消費電力の低減を実現できる、新規な構成の表示システム等を提供することを課題の一とする。または、本発明の一態様は、表示品位を低下させることなく画像データの更新の要否を判定できる、新規な構成の表示システム等を提供することを課題の一とする。

【0008】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び/又は他の課題のうち、少なくとも一つの課題を解決するものである。

40

【課題を解決するための手段】

【0009】

本発明の一態様は、撮像装置と、表示装置と、を有する表示システムであって、撮像装置は、第1の画素と、アナログ処理回路と、デジタル処理回路と、を有し、第1の画素は、撮像データを出力する機能を有し、第1の画素は、第1の撮像データと、第2の撮像データとの差分データを保持する機能を有し、撮像装置は、第1の撮像モードと第2の撮像モードで動作する機能を有し、第1の撮像モードにおいて、デジタル処理回路は、第1の画

50

素が撮像した第3の撮像データをデジタルデータに変換し、第2の撮像モードにおいて、アナログ処理回路は、差分データを検出し、第1の撮像データと第2の撮像データの差のある場合に判定信号をアクティブな値とし、表示装置は、第1の表示モードと第2の表示モードで動作する機能を有し、第1の表示モードは、画像データを更新して表示を行う機能を有し、第2の表示モードは、画像データを更新することなく表示を行う機能を有し、第2の撮像モードから第1の撮像モードへの遷移、及び第2の表示モードから第1の表示モードへの遷移は、判定信号をアクティブな値にすることで行われる表示システムである。

【0010】

本発明の一態様において、アナログ処理回路は、前記差分データの差分絶対値和演算を行い、演算の結果が規定値と同一でない場合に判定信号をアクティブな値とする回路である表示システムが好ましい。

10

【0011】

本発明の一態様において、アナログ処理回路は、減算回路、絶対値回路及び加算回路を有する表示システムが好ましい。

【0012】

本発明の一態様において、アナログ処理回路は、前記差分データに応じた電流値と、基準電流値と、の差の大小関係に従って電流の供給を行い、電流の供給に差が生じた場合に判定信号をアクティブな値とする回路である表示システムが好ましい。

【0013】

本発明の一態様において、デジタル処理回路は、A/D変換回路を有する表示システムが好ましい。

20

【0014】

本発明の一態様において、撮像装置は、一定時間が経過した場合に、第2のモードから第1のモードに遷移する表示システムが好ましい。

【0015】

本発明の一態様において、第1の画素は、第1のトランジスタと、光電変換素子と、を有し、表示装置は、第2の画素を有し、第2の画素は、第2のトランジスタと、表示素子と、を有し、第1のトランジスタ及び第2のトランジスタは、酸化物半導体をチャンネル形成領域に有する表示システムが好ましい。

30

【0016】

本発明の一態様において、光電変換素子は、セレンを有する化合物半導体である表示システムが好ましい。

【0017】

本発明の一態様において、表示素子は、液晶素子又は発光素子である表示システムが好ましい。

【0018】

本発明の一態様は、画像データを更新して表示を行う第1の表示モードと、画像データを更新しないで表示を行う第2の表示モードと、を切り替える機能を有する表示装置に、判定信号と画像データとを出力する撮像装置であって、第1の画素と、アナログ処理回路と、デジタル処理回路と、を有し、第1の画素は、撮像データを出力する機能を有し、第1の画素は、第1の撮像データと、第2の撮像データとの差分データを保持する機能を有し、撮像装置は、第1の撮像モードと第2の撮像モードで動作する機能を有し、第1の撮像モードにおいて、デジタル処理回路は、第1の画素が撮像した第3の撮像データをデジタルデータに変換し、該デジタルデータを画像データとして表示装置に出力し、第2の撮像モードにおいて、アナログ処理回路は、差分データを検出し、第1の撮像データと第2の撮像データの差のある場合に判定信号をアクティブな値とし、第2の撮像モードから第1の撮像モードへの遷移、及び第2の表示モードから第1の表示モードへの遷移は、判定信号をアクティブな値にすることで行われる撮像装置である。

40

【0019】

50

本発明の一態様は、画像データを更新して表示を行う第1の表示モードと、画像データを更新しないで表示を行う第2の表示モードと、を切り替える機能を有する表示装置であって、第2の画素と、ソースドライバと、ゲートドライバと、制御回路と、を有し、制御回路は、撮像装置から出力される判定信号をアクティブな値にすることで、第2の表示モードから第1の表示モードへの遷移を行う機能を有し、ソースドライバ及びゲートドライバは、第1の表示モードにおいて、第2の画素に与える画像データに応じたビデオ電圧を更新することで画像を表示するように動作する機能、及び第2の表示モードにおいて、第2の画素に与える画像データに応じたビデオ電圧を画素に保持することで画像を表示するように動作する機能と、を有する表示装置である。

【0020】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【発明の効果】

【0021】

本発明の一態様は、新規な構成の表示システム、新規な撮像装置、新規な表示装置、新規な電子機器等を提供することができる。

【0022】

または、本発明の一態様は、消費電力の低減を実現できる、新規な構成の表示システム等を提供することができる。または、本発明の一態様は、表示品位を低下させることなく画像データの更新の要否を判定できる、新規な構成の表示システム等を提供することができる。

【0023】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び/又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【0024】

【図1】本発明の一態様を説明するためのブロック図。

【図2】本発明の一態様を説明するためのフローチャート。

【図3】本発明の一態様を説明するための概念図。

【図4】本発明の一態様を説明するための回路図及びタイミングチャート。

【図5】本発明の一態様を説明するためのタイミングチャート。

【図6】本発明の一態様を説明するための回路図。

【図7】本発明の一態様を説明するための回路図。

【図8】本発明の一態様を説明するためのタイミングチャート。

【図9】本発明の一態様を説明するためのブロック図。

【図10】本発明の一態様を説明する回路図。

【図11】本発明の一態様を説明する回路図。

【図12】本発明の一態様を説明する回路図。

【図13】本発明の一態様を説明する断面図。

【図14】本発明の一態様を説明する断面図。

【図15】監視システムの構成の一例を示すブロック図。

【図16】表示システムを用いた電子機器を示す図。

【図17】本発明の一態様を説明するための回路図。

【図18】本発明の一態様を説明するための回路図。

【図19】本発明の一態様を説明するための回路図。

10

20

30

40

50

【図 2 0】本発明の一態様を説明するための回路図。

【図 2 1】本発明の一態様を説明するための回路図。

【図 2 2】本発明の一態様を説明するための回路図及び断面図。

【図 2 3】本発明の一態様を説明するための模式図。

【図 2 4】本発明の一態様を説明するための断面図。

【図 2 5】本発明の一態様を説明するための回路図。

【発明を実施するための形態】

【0025】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

10

【0026】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0027】

また本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域又はドレイン電極）とソース（ソース端子、ソース領域又はソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。

20

【0028】

ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソース又はドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと呼ばず、ソースとドレインとの一方を第 1 電極と表記し、ソースとドレインとの他方を第 2 電極と表記する場合がある。

30

【0029】

なお本明細書にて用いる「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0030】

なお本明細書において、A と B とが接続されている、とは、A と B とが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、A と B とが電氣的に接続されているとは、A と B との間で、何らかの電氣的作用を有する対象物が存在するとき、A と B との電気信号の授受を可能とするものをいう。

【0031】

なお本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

40

【0032】

なお図面におけるブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現しうるように設けられている場合もある。また図面における各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックにおいては一つの回路ブロックで行う処理を、複数の回路ブロックで行うよう設けられている場合もある。

50

【0033】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0034】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0035】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

10

【0036】

(実施の形態1)

<表示システムの構成>

本発明の一態様の表示システムの構成について、図1を用いて説明する。

【0037】

本明細書等において表示システムとは、表示装置を有するシステム全般を指す。表示システムは、表示装置の他、トランジスタなどの半導体素子をはじめ、半導体装置、演算装置、記憶装置、撮像装置などを有していてもよい。

20

【0038】

本明細書等において、表示装置とは、表示機能を有する装置全般を指す。表示装置は、複数の画素、及び画素を駆動する駆動回路等を有する。また、表示装置は、制御回路、電源回路、信号生成回路等を含む場合がある。

【0039】

本明細書等において撮像装置とは、撮像機能を有する装置全般を指す。又は、撮像機能を有する回路、あるいは該回路を含むシステム全体を撮像装置という。

【0040】

図1は、本発明の一態様の表示システムの構成を示すブロック図である。表示システムは、撮像装置IMAGと、表示装置DISPとを有する。

30

【0041】

まず撮像装置IMAGの説明をする。

【0042】

図1において、撮像装置IMAGは、画素 I_{PIX} 、アナログ処理回路Analog、A/D変換回路ADC、列ドライバC_DRV、及び行ドライバR_DRV、を有する。

【0043】

撮像装置IMAGは、第1の撮像モードと第2の撮像モードとによって動作する。

【0044】

第1の撮像モードでは、行ドライバR_DRVによって各行の画素 I_{PIX} を順次選択し、選択された各行の画素 I_{PIX} は撮像データを出力する。なお第1の撮像モードは、第1のモード(1st mode)、又はデジタル動作(Digital Operation)モードをいう場合がある。

40

【0045】

第2の撮像モードでは、行ドライバR_DRVによって各行の画素 I_{PIX} を順次選択し、選択された各行の画素 I_{PIX} から基準フレームの撮像データと現フレームの撮像データとの差分の情報を含むデータ(差分データ)を出力する。なお第2の撮像モードは、第2のモード(2nd mode)、又はアナログ動作(Analog Operation)モードをいう場合がある。

【0046】

50

なお第2の撮像モードにおける、基準フレームの撮像データを第1の撮像データという場合がある。また第2の撮像モードにおける、現フレームの撮像データを第2の撮像データという場合がある。また第1の撮像モードにおける、撮像データを第3の撮像データという場合がある。

【0047】

画素 $I_{P I X}$ は、光電変換素子と、少なくとも一つ以上のトランジスタと、を有する。画素 $I_{P I X}$ は、撮像によって撮像データを取得する機能を有する。また画素 $I_{P I X}$ は、基準フレームの撮像データと現フレームの撮像データとの差分データを保持する機能を有する。撮像データを取得する機能、差分データを保持する機能を有する画素 $I_{P I X}$ の具体的な回路構成については、後述する。

10

【0048】

なお画素 $I_{P I X}$ が有するトランジスタを第1のトランジスタという場合がある。また、光電変換素子は、例えばフォトダイオードのように光起電力効果を利用した素子や、セレンを有する半導体のように光導電効果を利用した素子を用いることができる。

【0049】

アナログ処理回路 $A n a l o g$ は、各画素 $I_{P I X}$ から出力されたアナログデータである撮像データに対してアナログデータ処理をする回路である。より具体的には、各画素 $I_{P I X}$ から出力された差分データを検出して、基準フレームの撮像データと現フレームの撮像データとの差分があると判定した場合は判定信号 $T R I G$ をアクティブな値とし、差分が無いと判定した場合は判定信号 $T R I G$ を非アクティブな値とする。

20

【0050】

なおアナログ処理回路 $A n a l o g$ における差分データの検出には、各画素 $I_{P I X}$ から出力された差分データについて差分絶対値和演算を行い、演算の結果が規定値と同一であるか否かによって判定する構成、あるいは、各画素 $I_{P I X}$ から出力された差分データに応じた電流値と、基準電流値と、の差の大小関係に従って電流の供給を行い、電流の供給に差が生じるか否かによって判定する構成等を用いることができる。基準フレームの撮像データと現フレームの撮像データとの差分の有無に従って判定信号 $T R I G$ を出力できるアナログ処理回路 $A n a l o g$ の具体的な回路構成については、後述する。

【0051】

なお判定信号 $T R I G$ をアクティブな値にするとは、判定信号 $T R I G$ によって動作する回路がハイアクティブの回路の場合に、“H”の信号(Hレベルともいう)を出力することをいう場合がある。逆に判定信号 $T R I G$ を非アクティブな値にするとは、判定信号 $T R I G$ によって動作する回路がハイアクティブの回路の場合に、例えば“L”の信号(Lレベルともいう)を出力することをいう。判定信号 $T R I G$ によって動作する回路がローアクティブの回路の場合には、出力される信号のレベル(“H”と“L”)を入れ替えて考えればよい。

30

【0052】

判定信号 $T R I G$ は、第2の撮像モードから第1の撮像モードへと、撮像装置 $I M A G$ のモードを遷移させるための信号である。また判定信号 $T R I G$ は、後述する第2の表示モードから第1の表示モードへと、表示装置 $D I S P$ のモードを遷移させるための信号である。

40

【0053】

A/D変換回路 $A D C$ は、各画素 $I_{P I X}$ から出力された撮像データをA/D変換によりデジタルデータに変換し、列ドライバ $C _ D R V$ によって各列におけるデジタルデータをデータ $D A T A$ として順次表示装置 $D I S P$ に出力する。データ $D A T A$ は、表示装置 $D I S P$ に供給される画像データである。

【0054】

行ドライバ $R _ D R V$ と列ドライバ $C _ D R V$ には、様々な回路、例えば、デコーダやシフトレジスタ等が用いられる。

【0055】

50

次いで表示装置DISPの説明をする。

【0056】

表示装置DISPは、第1の表示モードと第2の表示モードとによって動作する。第1の表示モードと第2の表示モードとによって動作する表示装置DISPの具体的な構成例については、後述する。

【0057】

図1において、表示装置DISPは、画素DP_{IX}、制御回路CTRL、ソースドライバS_{DRV}、及びゲートドライバG_{DRV}、を有する。

【0058】

表示装置DISPは、第1の表示モードにおいて、画像データを更新して表示を行う機能を有する。なお第1の表示モードは、第3のモード(3rd mode)、又は通常表示(Normal Display)モードをいう場合がある。

10

【0059】

また表示装置DISPは、第2の表示モードにおいて、画像データを更新することなく表示を行う機能を有する。なお第2の表示モードは、第4のモード(4th mode)、又はアイドルストップ(Idle Stop)モードをいう場合がある。

【0060】

画素DP_{IX}は、表示素子と、少なくとも一つ以上のトランジスタと、を有する。画素DP_{IX}は、画像データに応じたビデオ電圧によって画像を表示する機能を有する。また画素DP_{IX}は、画像データが更新されないことでビデオ電圧を保持し続けることができる機能を有する。

20

【0061】

なお画素DP_{IX}が有するトランジスタを第2のトランジスタという場合がある。また、表示素子は、例えば液晶素子、発光素子等である。

【0062】

なお画素DP_{IX}が有するトランジスタは、オフ電流が小さいことが好ましい。このようなトランジスタとして、酸化物半導体をチャネル形成領域に用いたトランジスタ(OSトランジスタ)であることが好ましい。

【0063】

OSTランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にすることでオフ電流を極めて低くできるため好ましい。オフ電流が小さいOSTランジスタを、画素DP_{IX}が有するビデオ電圧を保持するトランジスタに用いることで、オフ電流が小さいことを利用して一度書きこんだ電位を保持し続けることができるため、ビデオ電圧を更新することなく表示を行うことができる。そのため、ソースドライバS_{DRV}、及びゲートドライバG_{DRV}の動作を止めることでビデオ電圧の更新頻度を低減でき、低消費電力化を図ることができる。

30

【0064】

制御回路CTRLは、制御信号をソースドライバS_{DRV}及びゲートドライバG_{DRV}に供給する。ゲートドライバG_{DRV}に供給する制御信号は、ゲートスタートパルス、ゲートクロック信号等がある。ソースドライバS_{DRV}に供給する制御信号は、ソーススタートパルス、ソースクロック信号等がある。また制御回路CTRLは、データDATAを基に、画素DP_{IX}に書きこむビデオ電圧を生成し、ソースドライバS_{DRV}に供給する。

40

【0065】

制御回路CTRLは、第1の表示モードと第2の表示モードとで、制御信号及びビデオ電圧の供給を切り替えるように制御する。

【0066】

例えば、第1の表示モードにおいて、制御回路CTRLは、制御信号の供給、及びビデオ電圧の供給を行う。表示装置DISPは、画素DP_{IX}に書きこまれるビデオ電圧を更新して表示を行う。第1の表示モードでは、撮像装置IMAGから供給される画像データを

50

基にビデオ電圧を更新して表示を行うことができる。

【0067】

また、第2の表示モードにおいて、制御回路CTRLは、制御信号の供給、及びビデオ電圧の供給を停止する。表示装置DISPは、一度画素DPIXに書きこんだビデオ電圧を保持し続けることで表示を行う。第2の表示モードでは、撮像装置IMAGから供給される画像データを用いることなく、画素DPIXに書きこんだビデオ電圧を保持するだけで表示を行うことができる。

【0068】

ソースドライバS_DRV及びゲートドライバG_DRVには、シフトレジスタ、バッファ等が用いられる。

10

【0069】

次いで、図1に示す撮像装置IMAG及び表示装置DISPを有する表示システムの動作について、図2、3を用いて説明する。

【0070】

まず、第1の撮像モードの動作について説明する(図2(A)参照)。第1の撮像モードでは、画素IPIXが撮像した第3の撮像データをA/D変換してデジタルデータに変換する。例えば、第3の撮像データが木立と人物の画像のデータである場合(図3(C)参照)、第3の撮像データをデジタルデータに変換する。

【0071】

なお第1の撮像モードにおいて、判定信号TRIGはアクティブな値(以下、“H”とする)としておく。第1の撮像モードでは、撮像を1回もしくは複数回繰り返す。

20

【0072】

次いで第1の撮像モードから第2の撮像モードに遷移するときの動作について説明する(図2(A)のステップS01参照)。これは、あらかじめ条件を設定しておくことで行われる。例えば、特定の期間が経過、あるいは、デジタル処理を終了する制御信号の入力、などの条件である。この条件が満たされた場合に、第1の撮像モードから第2の撮像モードに遷移する。

【0073】

なお第1の撮像モードから第2の撮像モードに遷移する際、判定信号TRIGは非アクティブな値(以下、“L”とする)としておく。なお第2の撮像モードにおける、基準フレームは、第1の撮像モードから第2の撮像モードに遷移する直前の撮像フレームに相当する。すなわち第2の撮像モードにおける、基準フレームの撮像データは、第1の撮像モードで取得した最後の撮像データとなる。

30

【0074】

次いで第2の撮像モードの動作について説明する(図2(A)参照)。第2の撮像モードでは、アナログ処理回路Analogにて、基準フレームの撮像データと現フレームの撮像データとの差分に関する差分データを検出するアナログ処理を行う。このアナログ処理によって第1の撮像データと第2の撮像データとの差分が無ければ、すなわち、判定信号TRIGが発生しなければ、引き続きアナログ処理を行う。一方、当該アナログ処理により第1の撮像データと第2の撮像データとの差分があれば、すなわち、判定信号TRIGが発生すれば、第1の撮像モードに遷移する(図2(A)のステップS02参照)。

40

【0075】

例えば、第1の撮像データが木立の画像のデータ(図3(A1)参照)であり、第2の撮像データも木立の画像のデータ(図3(A2)参照)である場合、その差分はゼロである。よって、判定信号TRIGは発生しない。一方、第1の撮像データが木立の画像のデータ(図3(B1)参照)であり、第2の撮像データは木立と人物の画像のデータ(図3(B2))である場合、その差分はゼロではないため、判定信号TRIGが発生する。そして、判定信号TRIGの発生に伴い、撮像装置IMAGのモードは第2の撮像モードから第1の撮像モードに遷移する。なお、図示した例では、第1の撮像データと第2の撮像データは同じ風景を撮像したものであり、撮像した時間が異なるものである。そのため、第

50

1の撮像データは第1の状態の撮像データと表記し、第2の撮像データは第2の状態の撮像データと表記する場合がある。

【0076】

第2の撮像モードにおいて、基準フレームの撮像データと、現フレームの撮像データとの差分データを取得する。基準フレームの撮像データと現フレームの撮像データとの差分が無いと判定した場合は判定信号TRIGを”L”とし、第2の撮像モードでの撮像を繰り返す。一方、差分があると判定した場合は判定信号TRIGを”H”とし、再度第1の撮像モードに遷移する。

【0077】

再度第1の撮像モードに遷移した後は、撮像を1回もしくは複数回繰り返した後に、再度第2の撮像モードに遷移するが、第1の撮像モードから第2の撮像モードへの遷移する条件は、過去の遷移履歴を参考にして決めることができる。例えば、第2の撮像モードが非常に短時間だった場合、撮像している画像の変動が激しい場合に相当するので、第1の撮像モードに留まる時間を長くする構成が有効である。また、第1の撮像モードから一定時間後に第2の撮像モードに遷移する動作が有効である。

10

【0078】

なお、第1の撮像モードから第2の撮像モードに遷移する直前の撮像フレームは、第2の撮像モードにおける基準フレームとなる。そのため、予め第1の撮像モードでの最後の撮像フレームでは、第2の撮像モードにおける基準フレームの撮像データとなるように、撮像する構成が有効である。このようにすることで、撮像に要する消費電力を低減することができる。

20

【0079】

図1に示す画素 I_{PIX} を有する撮像装置において、第2の撮像モードでは、A/D変換などの膨大な電力を消費するデジタル処理を行わず、また、判定信号TRIGを生成するための最低限のアナログ処理を行うだけで良いため、消費電力を低減することができる。また、第1の撮像モードでは、デジタル処理により、判定信号TRIGが生成した原因、すなわち、第1の撮像データと第2の撮像データとの違いを詳細に確認することができる。

【0080】

次いで、第1の表示モードの動作について説明する(図2(B)参照)。第1の表示モードでは、撮像装置IMAGから出力される画像データを基にビデオ電圧を更新して表示を行う。例えば、表示装置DISPでは、撮像装置IMAGから連続して供給される画像データに応じたビデオ電圧を画素 D_{PIX} に書きこむことで、先に書きこまれたビデオ電圧を更新して表示を行う。

30

【0081】

次いで第1の表示モードから第2の表示モードに遷移するときの動作について説明する(図2(B)のステップS03参照)。これは、あらかじめ条件を設定しておくことで行われる。例えば、判定信号TRIGが”H”の場合は、第1の表示モードでの表示を繰り返し、一方、判定信号TRIGが”L”の場合に第2の表示モードに遷移する、などの条件である。この条件によって、第1の表示モードから第2の表示モードに遷移する。

40

【0082】

表示装置DISPの第1の表示モードから第2の表示モードへの遷移について、撮像装置IMAGが第1の撮像モードから第2の撮像モードに遷移する前に、第1の表示モードから第2の表示モードに遷移する構成が好ましい。このような構成とすることで、撮像装置IMAGから表示装置DISPへのデータDATAが途切れることがない。したがって、表示装置DISPにおける表示が異常となることを避けることができる。

【0083】

第2の表示モードの動作について説明する(図2(B)参照)。第2の表示モードでは、撮像装置IMAGから出力される画像データを用いることなく、画素 D_{PIX} に書きこんだビデオ電圧を保持するだけで表示を行う。例えば、表示装置DISPでは、画素 D_{PIX}

50

に書きこまれたビデオ電圧を保持し続けることで表示を行う。

【0084】

次いで第2の表示モードから第1の表示モードに遷移するときの動作について説明する(図2(B)のステップS04参照)。これは、あらかじめ条件を設定しておくことで行われる。例えば、判定信号TRIGが"L"の場合は、第2の表示モードでの表示を繰り返し、一方、判定信号TRIGが"H"になった場合は、第1の表示モードに戻る、などの条件である。この条件が満たされた場合に、第2の表示モードから第1の表示モードに遷移する。

【0085】

表示装置DISPの第2の表示モードから第1の表示モードへの遷移について、撮像装置IMAGが第2の撮像モードから第1の撮像モードに遷移した後、第2の表示モードから第1の表示モードに遷移する構成が好ましい。このような構成とすることで、撮像装置IMAGから表示装置DISPへのデータDATAが途切れることがない。したがって、表示装置DISPにおける表示が異常となることを避けることができる。

【0086】

以上説明したように、図1に示す画素 I_{PIX} を有する撮像装置IMAG、及び画素 D_{PIX} を有する表示装置DISPにおいて、第2の撮像モードでは、A/D変換などの膨大な電力を消費するデジタル処理を行わず、また、判定信号TRIGを生成するための最低限のアナログ処理を行うだけで良いため、消費電力を低減することができる。この第2の撮像モードへの遷移と共に、第2の表示モードでは、画素 D_{PIX} に書きこむビデオ電圧の更新をなくし、ソースドライバ S_DRV 及びゲートドライバ G_DRV の動作を最小限にとどめることができるため、消費電力を低減することができる。また判定信号TRIGは、画素 I_{PIX} で保持した差分データをアナログ処理することで得ることができるため、差分処理等のデジタル処理によって撮像データ間の差分を検知する構成に場合に比べ、消費電力を低減することができる。

【0087】

<撮像装置の画素の構成>

次いで、撮像装置IMAGが有する画素 I_{PIX} 、及び動作の一例について、図4、図5を用いて説明する。

【0088】

図4(A)に示す画素 I_{PIX} は、トランジスタ111乃至トランジスタ115と、容量素子121と、容量素子122と、フォトダイオード123と、を有する。また、画素 I_{PIX} は、電源線VPD、電源線VPR、電源線VC、電源線VFR及び電源線VOから電位が供給され、信号線TX、信号線PR、信号線FR及び信号線SELから制御信号が供給され、信号線OUTに画素の撮像データが出力される。また、ノードFD1に撮像データに対応する電荷が蓄積する。ここで、容量素子121の容量値は、容量素子122の容量値とトランジスタ114のゲート容量の容量値との和より大きい構成が好ましい。

【0089】

トランジスタ111は、ゲートが信号線TXに、ソース又はドレインの一方がフォトダイオード123の一方の端子に、ソース又はドレインの他方がトランジスタ112のソース又はドレインの一方に電氣的に接続されている。トランジスタ112は、ゲートが信号線PRに、ソース又はドレインの他方が電源線VPRに電氣的に接続されている。トランジスタ113は、ゲートが信号線FRに、ソース又はドレインの一方が容量素子122の一方の電極に、ソース又はドレインの他方が電源線VFRに電氣的に接続されている。トランジスタ114は、ゲートが容量素子122の一方の電極に、ソース又はドレインの一方が電源線VOに、ソース又はドレインの他方がトランジスタ115のソース又はドレインの一方に電氣的に接続されている。トランジスタ115は、ゲートが信号線SELに、ソース又はドレインの他方が信号線OUTに電氣的に接続されている。容量素子121は、一方の電極がトランジスタ111のソース又はドレインの他方とトランジスタ112のソース又はドレインの一方に接続され、他方の電極が容量素子122の一方の電極とトラン

10

20

30

40

50

ジスタ 113 のソース又はドレインの一方に電氣的に接続されている。容量素子 122 の他方の電極は電源線 VC に電氣的に接続されている。フォトダイオード 123 の他方の端子は電源線 VPD に電氣的に接続されている。

【0090】

画素 I_{PIX} の動作について、図 4 (B)、図 5 を用いて説明する。ここで、例えば、電源線 VPD は低電位、電源線 VPR は高電位、電源線 VC は低電位、電源線 VFR は高電位、電源線 VO は高電位とする。

【0091】

第 1 の撮像モードにおける動作について、図 4 (B) を用いて説明する。

【0092】

時刻 T1 乃至時刻 T2 において、信号線 PR を "H"、信号線 FR を "H"、信号線 TX を "H" とする。この時、ノード FD1 の電位は電源線 VFR の電位 (V_1 とする) に設定され、ノード FD2 の電位は電源線 VPR の電位 (V_2 とする) に設定される。時刻 T2 乃至時刻 T3 において、信号線 PR を "L"、信号線 FR を "L"、信号線 TX を "H" とする。この時、フォトダイオード 123 に照射する光に応じて、ノード FD2 の電位は低下する。ここで、ノード FD2 の電圧降下分を V_2 とすると、ノード FD2 の電位は $V_2 - V_2$ となる。また、容量素子 121 (容量値 C_1) と、容量素子 122 (容量値 C_2) とトランジスタ 114 のゲート容量 (容量値 C_g) との合成容量と、の容量結合により、ノード FD1 の電位も低下する。ここで、ノード FD1 の電圧降下分を V_1 とすると、 $V_1 = V_2 \cdot C_1 / (C_1 + C_2 + C_g) = V_2 \cdot$ であり、ノードの電位は $V_1 - V_1$ となる。なお、フォトダイオード 123 に照射する光が強い程、ノード FD2 の電位は低下する。また、ノード FD1 の電位も低下する。時刻 T4 乃至時刻 T5 において、信号線 SEL を "H" とする。この時、ノード FD1 の電位に応じて、信号線 OUT に撮像データに対応する信号が出力される。なお、ノード FD1 の電位が低いほど、信号線 OUT の電位は低くなる。すなわち、フォトダイオード 123 に照射する光が強い程、信号線 OUT の電位は低くなる。時刻 T6 乃至時刻 T10 についても、時刻 T1 乃至時刻 T5 と同様の説明ができる。

【0093】

次に、第 2 の撮像モードにおける動作について、図 5 を用いて説明する。

【0094】

時刻 T01 乃至時刻 T06 は、基準フレームの撮像データを取得する期間に相当する。時刻 T01 乃至時刻 T02 において、信号線 PR を "H"、信号線 FR を "H"、信号線 TX を "H" とする。この時、ノード FD1 の電位は電源線 VFR の電位 (V_1) に設定され、ノード FD2 の電位は電源線 VPR の電位 (V_2) に設定される。時刻 T02 乃至時刻 T03 において、信号線 PR を "L"、信号線 FR を "H"、信号線 TX を "H" とする。この時、フォトダイオード 123 に照射する光に応じて、ノード FD2 の電位は低下する。ここで、ノード FD2 の電圧降下分を V_2 とすると、ノード FD2 の電位は $V_2 - V_2$ となる。なお、フォトダイオード 123 に照射する光が強い程、ノード FD2 の電位は低下する。なお、ノード FD1 の電位は変化しない。時刻 T03 乃至時刻 T04 において、信号線 PR を "L"、信号線 FR を "L"、信号線 TX を "H" とする。なお、時刻 T02 乃至時刻 T03 の間隔と時刻 T03 乃至時刻 T04 の間隔とは T で等しいとする。この時、フォトダイオード 123 に照射する光に応じて、ノード FD2 の電位は低下し、 $V_2 - 2 \cdot V_2$ となる。また、容量素子 121 と、容量素子 122 とトランジスタ 114 のゲート容量と、の容量結合により、ノード FD1 の電位も低下する。ここで、ノード FD1 の電圧降下分を V_1 とすると、 $V_1 = V_2 \cdot$ であり、ノード FD1 の電位は $V_1 - V_1$ となる。なお、フォトダイオード 123 に照射する光が強い程、ノード FD2 の電位は低下する。また、ノード FD1 の電位も低下する。なお、ここでは、時刻 T02 乃至時刻 T03 の間隔と時刻 T03 乃至時刻 T04 の間隔とは T で等しいとしたが、時刻 T02 乃至時刻 T03 と時刻 T03 乃至時刻 T04 におけるノード FD2 の電圧降下分が等しくなるように設定することが本質である。したがって、上記条件を満たすよ

10

20

30

40

50

うに、時刻 T_{02} 乃至時刻 T_{03} と時刻 T_{03} 乃至時刻 T_{04} の間隔を適宜調整する構成が好ましい。時刻 T_{05} 乃至時刻 T_{06} において、信号線 SEL を "H" とする。この時、ノード FD1 の電位に応じて、信号線 OUT に撮像データに対応する信号が出力される。なお、ノード FD1 の電位が低いほど、信号線 OUT の電位は低くなる。すなわち、フォトダイオード 123 に照射する光が強い程、信号線 OUT の電位は低くなる。

【0095】

時刻 T_{11} 乃至時刻 T_{15} は、現フレームでの撮像データの取得によって、差分データを取得する期間に相当する。特に、第1の撮像データと第2の撮像データとの差分がゼロの場合に相当する。時刻 T_{11} 乃至時刻 T_{12} において、信号線 PR を "H"、信号線 FR を "L"、信号線 TX を "H" とする。この時、ノード FD2 の電位は電源線 VPR の電位 (V_2) に設定される。すなわち、時刻 T_{02} 乃至時刻 T_{04} における電圧降下分 ($2 \cdot V_2$)、電位が上昇する。一方、容量素子 121 と、容量素子 122 とトランジスタ 114 のゲート容量と、の容量結合により、ノード FD1 の電位も上昇するが、上昇分 ($2 \cdot V_1$) は、時刻 T_{03} 乃至時刻 T_{04} における電圧降下分の2倍に相当する。すなわち、電源線 VFR の電位 (V_1) に、時刻 T_{03} 乃至時刻 T_{04} における電圧降下分 (V_1) を加えた電位 ($V_1 + V_1$) となる。時刻 T_{12} 乃至時刻 T_{13} において、信号線 PR を "L"、信号線 FR を "L"、信号線 TX を "H" とする。この時、フォトダイオード 123 に照射する光に応じて、ノード FD2 の電位は低下し、また、容量素子 121 と、容量素子 122 とトランジスタ 114 のゲート容量と、の容量結合により、ノード FD1 の電位も低下する。なお、フォトダイオード 123 に照射する光が強い程、ノード FD2 の電位は低下する。また、ノード FD1 の電位も低下する。

10

20

【0096】

ここで、時刻 T_{12} 乃至時刻 T_{13} の間隔を T とし、時刻 T_{02} 乃至時刻 T_{04} と同強度の光がフォトダイオード 123 に照射しているものとする。ノード FD2 の電圧降下分は時刻 T_{03} 乃至時刻 T_{04} での降下分 V_2 に等しい。また、ノード FD1 の電圧降下分も時刻 T_{03} 乃至時刻 T_{04} での降下分 V_1 に等しい。したがって、ノード FD1 の電位は、 V_1 になる。これは、第1の撮像データと第2の撮像データとの差分はゼロに対応する。なおノード FD1 の電位は、画素 I_{PIX} で保持される差分データに相当する。

【0097】

時刻 T_{14} 乃至時刻 T_{15} において、信号線 SEL を "H" とする。この時、ノード FD1 の電位に応じて、信号線 OUT に撮像データに対応する信号が出力される。なお、当該信号の電位は、第1の撮像データと第2の撮像データとの差分はゼロの場合の電位になる。また、信号線 OUT から出力される信号の電位は、ノード FD1 で保持された差分データに相当する電位である。

30

【0098】

時刻 T_{21} 乃至時刻 T_{25} は、第2の状態での第2の撮像データの取得に相当する。特に、時刻 T_{11} 乃至時刻 T_{15} と同様に第1の撮像データと第2の撮像データとの差分がゼロの場合に相当する。

【0099】

時刻 T_{31} 乃至時刻 T_{35} は、第2の状態での第2の撮像データの取得する期間に相当する。特に、第1の撮像データと第2の撮像データとの差分が有限(負)の場合に相当する。時刻 T_{31} 乃至時刻 T_{32} において、信号線 PR を "H"、信号線 FR を "L"、信号線 TX を "H" とする。この時、ノード FD2 の電位は電源線 VPR の電位 (V_2) に設定される。すなわち、時刻 T_{12} 乃至時刻 T_{13} における電圧降下分 (V_2)、電位が上昇する。一方、容量素子 121 と、容量素子 122 とトランジスタ 114 のゲート容量と、の容量結合により、ノード FD1 の電位も上昇するが、上昇分 (V_1) は、時刻 T_{12} 乃至時刻 T_{13} における電圧降下分に相当する。すなわち、電源線 VFR の電位 (V_1) に、時刻 T_{03} 乃至時刻 T_{04} における電圧降下分 (V_1) を加えた電位 ($V_1 + V_1$) となる。時刻 T_{32} 乃至時刻 T_{33} において、信号線 PR を "L"、信号線 FR を "L"、信号線 TX を "H" とする。この時、フォトダイオード 123 に照射する光に

40

50

応じて、ノードFD2の電位は低下し、また、容量素子121と、容量素子122とトランジスタ114のゲート容量との容量結合により、ノードFD1の電位も低下する。なお、フォトダイオード123に照射する光は、時刻T12乃至時刻T13に照射した光より強いとする。ここで、時刻T32乃至時刻T33の間隔をTとすると、ノードFD2の電圧降下分 ($V2'$) は時刻T12乃至時刻T13での降下分 ($V2$) より大きい ($V2' > V2$)。また、ノードFD1の電圧降下分 ($V1' = V2' \cdot$) も時刻T12乃至時刻T13での降下分 ($V1$) より大きい ($V1' > V1$)。したがって、ノードFD1の電位 ($V1 + V1 - V1'$) は、電源線VFRの電位 ($V1$) より低いことになる。これは、第1の撮像データと第2の撮像データとの差分が有限(負)に対応する。

10

【0100】

時刻T34乃至時刻T35において、信号線SELを"H"とする。この時、ノードFD1の電位に応じて、信号線OUTに撮像データに対応する信号が出力される。なお、当該信号の電位は、時刻T24乃至時刻T25における当該信号の電位より低く、第1の撮像データと第2の撮像データとの差分が有限(負)の場合の電位になる。

【0101】

時刻T41乃至時刻T45は、第2の状態での第2の撮像データの取得する期間に相当する。特に、第1の撮像データと第2の撮像データとの差分が再びゼロの場合に相当する。時刻T41乃至時刻T42において、信号線PRを"H"、信号線FRを"L"、信号線TXを"H"とする。この時、ノードFD2の電位は電源線VPRの電位 ($V2$) に設定される。すなわち、時刻T32乃至時刻T33における電圧降下分 ($V2'$)、電位が上昇する。一方、容量素子121と、容量素子122とトランジスタ114のゲート容量と、の容量結合により、ノードFD1の電位も上昇するが、上昇分 ($V1'$) は、時刻T32乃至時刻T33における電圧降下分に相当する。すなわち、電源線VFRの電位 ($V1$) に、時刻T03乃至時刻T04における電圧降下分 ($V1$) を加えた電位 ($V1 + V1$) となる。時刻T42乃至時刻T43において、信号線PRを"L"、信号線FRを"L"、信号線TXを"H"とする。この時、フォトダイオード123に照射する光に応じて、ノードFD2の電位は低下し、また、容量素子121と、容量素子122とトランジスタ114のゲート容量と、の容量結合により、ノードFD1の電位も低下する。なお、フォトダイオード123に照射する光が強い程、ノードFD2の電位は低下する。また、ノードFD1の電位も低下する。ここで、時刻T42乃至時刻T43の間隔をTとし、時刻T02乃至時刻T04と同強度の光がフォトダイオード123に照射しているものとする、ノードFD2の電圧降下分は時刻T03乃至時刻T04での降下分 $V2$ に等しい。また、ノードFD1の電圧降下分も時刻T03乃至時刻T04での降下分 $V1$ に等しい。したがって、ノードFD1の電位は、 $V1$ になる。これは、第1の撮像データと第2の撮像データとの差分がゼロに対応する。時刻T44乃至時刻T45において、信号線SELを"H"とする。この時、ノードFD1の電位に応じて、信号線OUTに撮像データに対応する信号が出力される。なお、当該信号の電位は、第1の撮像データと第2の撮像データとの差分がゼロの場合の電位になる。

20

30

【0102】

時刻T51乃至時刻T55は、第2の状態での第2の撮像データの取得する期間に相当する。特に、第1の撮像データと第2の撮像データとの差分が有限(正)の場合に相当する。時刻T51乃至時刻T52において、信号線PRを"H"、信号線FRを"L"、信号線TXを"H"とする。この時、ノードFD2の電位は電源線VPRの電位 ($V2$) に設定される。すなわち、時刻T42乃至時刻T43における電圧降下分 ($V2$)、電位が上昇する。一方、容量素子121と、容量素子122とトランジスタ114のゲート容量と、の容量結合により、ノードFD1の電位も上昇するが、上昇分 ($V1$) は、時刻T42乃至時刻T43における電圧降下分に相当する。すなわち、電源線VFRの電位 ($V1$) に、時刻T03乃至時刻T04における電圧降下分 ($V1$) を加えた電位 ($V1 + V1$) となる。

40

50

【 0 1 0 3 】

時刻 T 5 2 乃至時刻 T 5 3 において、信号線 P R を " L "、信号線 F R を " L "、信号線 T X を " H " とする。この時、フォトダイオード 1 2 3 に照射する光に応じて、ノード F D 2 の電位は低下し、また、容量素子 1 2 1 と、容量素子 1 2 2 とトランジスタ 1 1 4 のゲート容量と、の容量結合により、ノード F D 1 の電位も低下する。なお、フォトダイオード 1 2 3 に照射する光は、時刻 T 1 2 乃至時刻 T 1 3 に照射した光より弱いとする。

【 0 1 0 4 】

ここで、時刻 T 5 2 乃至時刻 T 5 3 の間隔を T とすると、ノード F D 2 の電圧降下分 ($V 2' - V 2$) は時刻 T 1 2 乃至時刻 T 1 3 での降下分 ($V 2 - V 2'$) より小さい ($V 2' - V 2 < V 2 - V 2'$)。また、ノード F D 1 の電圧降下分 ($V 1' - V 1 = V 2' - V 2 \cdot \dots$) も時刻 T 1 2 乃至時刻 T 1 3 での降下分 ($V 1 - V 1'$) より小さい ($V 1' - V 1 < V 1 - V 1'$)。したがって、ノード F D 1 の電位 ($V 1 + V 1' - V 1$) は、電源線 V F R の電位 ($V 1$) より高いことになる。これは、第 1 の撮像データと第 2 の撮像データとの差分が有限 (正) に対応する。

10

【 0 1 0 5 】

時刻 T 5 4 乃至時刻 T 5 5 において、信号線 S E L を " H " とする。この時、ノード F D 1 の電位に応じて、信号線 O U T に撮像データに対応する信号が出力される。なお、当該信号の電位は、時刻 T 2 4 乃至時刻 T 2 5 における当該信号の電位より高く、第 1 の撮像データと第 2 の撮像データとの差分が有限 (正) の場合の電位になる。

20

【 0 1 0 6 】

なお、本実施の形態では、時刻 T 0 5 乃至時刻 T 0 6 において、第 1 の撮像データを出力する場合について説明したが、第 1 の撮像データと第 2 の撮像データとの差分データが取得できれば十分な場合、すなわち、第 1 の撮像データを出力する必要が無い場合は、時刻 T 0 3 乃至時刻 T 0 6 の動作を省略することが可能である。時刻 T 0 3 乃至時刻 T 0 6 の動作を省略した場合の動作は次のようになる。すなわち、時刻 T 1 1 乃至時刻 T 1 2 において、信号線 P R を " H "、信号線 F R を " L "、信号線 T X を " H " とした時、ノード F D 2 の電位は時刻 T 0 3 における電位 $V 2 - V 2'$ から電位 $V 2$ に設定される。また、ノード F D 1 の電位は時刻 T 0 3 における電位 $V 1$ から電位 $V 1 + V 1'$ に上昇する。なお、時刻 T 1 2 以降の動作は、上記と同様に説明できる。

30

【 0 1 0 7 】

以上のような構成とすることで画素 $I_{P I X}$ は、撮像による撮像データの取得、及び基準フレームの撮像データと現フレームの撮像データとの差分データの保持及び出力、をすることができる。

【 0 1 0 8 】

なお図 4 (A) に図示するトランジスタ 1 1 1 及びフォトダイオード 1 2 3 は、複数設けられていてもよい。例えば、図 1 7 (A) に示す画素 $I_{P I X}$ のように、フォトダイオード 1 2 3 A 及びフォトダイオード 1 2 3 B を設け、トランジスタ 1 1 1 A のゲートに信号線 T X A を接続し、トランジスタ 1 1 1 B のゲートに信号線 T X B を接続してもよい。あるいは、例えば、図 1 7 (B) に示す画素 $I_{P I X}$ のように、フォトダイオード 1 2 3 A 乃至 1 2 3 C を設け、トランジスタ 1 1 1 A のゲートに信号線 T X A を接続し、トランジスタ 1 1 1 B のゲートに信号線 T X B を接続し、トランジスタ 1 1 1 C のゲートに信号線 T X C を接続してもよい。

40

【 0 1 0 9 】

なお、図 1 7 (A)、(B) のようにフォトダイオードを複数配置する場合、フォトダイオードの受光面の大きさを異ならせた素子を配置してもよい。この場合、図 1 8 (A) に図示する画素 $I_{P I X}$ のように、トランジスタ毎に異なる大きさの受光面を有するフォトダイオード 1 2 3 A とフォトダイオード 1 2 3 B とを設ける構成とすればよい。なおフォトダイオード 1 2 3 A は電源線 V P D __ A に接続され、フォトダイオード 1 2 3 B は電源線 V P D __ B に接続される。電源線 V P D __ A と電源線 V P D __ B とは、同じ電位でもよいし、異なる電位でもよい。または、図 1 8 (B) に図示する画素 $I_{P I X}$ のように、一

50

つのトランジスタ 111 に異なる大きさの受光面を有するフォトダイオード 123 A とフォトダイオード 123 B とを設ける構成としてもよい。図 18 (A) あるいは図 18 (B) の構成とすることで、分光感度の異なるフォトダイオードを設け、明暗の異なる場所の撮像を同時に行うことができる。なおフォトダイオード間の分光感度を異ならせる手段としては、フォトダイオードの受光面の大きさを異ならせる他、異なる種類の半導体材料を受光面に設けて実現してもよい。

【0110】

なお図 4 (A) では、トランジスタ 114 を流れる電流を電源線 V O から信号線 O U T の向きに流れるとして動作を説明したが、逆方向でもよい。すなわち、トランジスタ 114 を流れる電流は、信号線 O U T から電源線 V O の向きに流れる回路構成としてもよい。この場合、例えば、図 19 に示す画素 I_{PIX} の回路構成としてもよい。なお図 19 に示す画素 I_{PIX} の回路構成の場合、電源線 V O に低電位を与え、信号線 O U T に高電位を与える構成とすればよい。

10

【0111】

なお図 4 (A) では、同じ電位を与える配線であっても異なる配線として図示したが、同じ配線としてもよい。例えば、図 20 (A) に示す画素 I_{PIX} のように、高電位を与える電源線 V C と電源線 V O とを同じ配線としてもよい。または、図 20 (B) に示す画素 I_{PIX} のように、高電位を与える電源線 V P R と電源線 V C とを同じ配線としてもよい。または、図 21 (A) に示す画素 I_{PIX} のように、高電位を与える電源線 V P R と電源線 V O とを同じ配線としてもよい。または、図 21 (B) に示す画素 I_{PIX} のように、高電位を与える電源線 V P R と電源線 V C と電源線 V O とを同じ配線としてもよい。

20

【0112】

上述した構成とすることで本発明の一態様は、差分処理等のデジタル処理を要することなく、簡単な構成でビデオ電圧を更新するための判定信号を生成し、ビデオ電圧の更新頻度を少なくすることで消費電力の低減を実現できる、新規な構成の表示システムとすることができる。

【0113】

<アナログ処理回路の構成>

次いで撮像装置 I M A G が含むアナログ処理回路 A n a l o g の構成の一例について図 6 乃至 8 を用いて説明する。本実施の形態では、アナログ処理回路 A n a l o g が取りうる回路構成について、2 つの回路構成を説明する。

30

【0114】

まず図 6 では、アナログ処理回路 A n a l o g _ A について説明する。

【0115】

アナログ処理回路 A n a l o g _ A は、減算回路 S U B [1] 乃至 S U B [n]、絶対値回路 A B S [1] 乃至 A B S [n]、加算回路 S U M を有する。

【0116】

減算回路 S U B [1] 乃至減算回路 S U B [n] は、参照電位 V R E F から各列の画素の信号線 O U T [1] 乃至信号線 O U T [n] の電位の減算演算を行う。ここで、参照電位 V R E F は、画素 I_{PIX} と等価な回路構成のダミー回路を用意し、ノード F D 1 の電位を V F R とした時の信号線 O U T の電位とすることで、生成することができる。減算回路 S U B [1] 乃至減算回路 S U B [n] は、各々 O P アンプ O P 0、抵抗 R 0 1 乃至抵抗 R 0 4 を有する。ここで、減算回路 S U B [1] について、信号線 O U T [1] の電位 V 1 0、V R E F の電位を V 2 0 とする。また、抵抗 R 0 1 乃至抵抗 R 0 4 の抵抗値を下記の式 (1)、(2) を満たすように設定する。

40

【0117】

$$R 0 1 = R 0 4 \quad (1)$$

【0118】

$$R 0 4 / R 0 1 = R 0 3 / R 0 2 \quad (2)$$

【0119】

50

そうすると、減算回路SUB[1]の出力は、下記式(3)を満たす。

【0120】

$$V_0 = V_{20} - V_{10} \quad (3)$$

【0121】

なお、減算回路SUB[2]乃至減算回路SUB[n]の出力についても同様に説明できる。

【0122】

絶対値回路ABS[1]乃至絶対値回路ABS[n]は、減算回路SUB[1]乃至減算回路SUB[n]の出力の絶対値を各々出力する。絶対値回路ABS[1]乃至絶対値回路ABS[n]は、各々OPアンプOP11、OPアンプOP12、抵抗R11乃至抵抗R15、ダイオードD11、ダイオードD12を有する。ここで、絶対値回路ABS[1]について、入力信号を電位V10'とし、R11=R12、R13×2=R14=R15となるように抵抗値を設定すると、絶対値回路ABS[1]の出力V0'=|V10'|となる。

【0123】

なお、絶対値回路ABS[2]乃至絶対値回路ABS[n]の出力についても同様に説明できる。

【0124】

加算回路SUMは、絶対値回路ABS[1]乃至絶対値回路ABS[n]の出力の和を出力する。加算回路SUMは、OPアンプOP21、OPアンプOP22、抵抗R21乃至抵抗R2n、抵抗R31乃至抵抗R33を有する。ここで、絶対値回路ABS[1]乃至絶対値回路ABS[n]の各々の出力の電位をV10''乃至Vn0''とし、R21=(中略)=R2n=R31、R32=R33となるように抵抗値を設定すると、加算回路SUMの出力は、V10''+(中略)+Vn0''となる。これを判定信号TRIGとすると、第1の撮像データと第2の撮像データが同一の場合、判定信号TRIGは"L"となる。一方、第1の撮像データと第2の撮像データが異なる場合、判定信号TRIGは"H"となる。

【0125】

次いで図7では、アナログ処理回路Analog_Bについて説明する。

【0126】

アナログ処理回路は、トランジスタ136、トランジスタ137、トランジスタ138、トランジスタ139、トランジスタ140、トランジスタ141、トランジスタ142、トランジスタ143、トランジスタ144、トランジスタ145、トランジスタ146、トランジスタ147、トランジスタ148、容量149、コンパレータCMP+、コンパレータCMP-、から構成される。参照電位線Vref+、参照電位線Vref-の電位は適宜設定する。

【0127】

図8は、アナログ処理回路Analog_Bの動作を示すタイミングチャートである。

【0128】

時刻T61乃至時刻T62において、信号線ABUを"H"、信号線AOPを"L"、信号線ATCを"H"とする。また、信号線FRを"H"、信号線SEL[x]を"H"とする。なお信号線SEL[x]は、任意の行(第x行;xはm以下の自然数)の信号線SELである。この時、第y列の信号線OUT[y](yはn以下の自然数)に供給される電流は、第x行における各画素PIXのトランジスタ114のゲート電位をVFRとした時の電流値、すなわち、基準フレームの撮像データと現フレームの撮像データとで差分がゼロの時の電流量I0[y]になる。この電流量I0[y]は、(第y列の)基準電流量という場合もある。なお、各列の基準電流量にあたる電流量I0[1]乃至電流量I0[n]は常に同じではないが、以下の議論で明らかのように、電流量I0[1]乃至電流量I0[n]の個々の値は、回路の動作に直接影響しない。したがって、以後、電流量I0[1]乃至電流量I0[n]はすべて電流量I0と表記する。

10

20

30

40

50

【0129】

トランジスタ136を介して流れる電流 $I_p[1]$ 乃至電流 $I_p[n]$ の電流値は電流値 I_0 に等しく、また、電流 $I_c[1]$ 乃至電流 $I_c[n]$ の電流値も電流値 I_0 に等しい。さらに、トランジスタ138により、ドレインとゲートを接続されたトランジスタ137に流れる電流の電流値も電流値 I_0 に等しい。特に、容量149に充電される電位は、電流値 I_0 を流すのに必要なゲート電圧に相当する電位に設定される。

【0130】

時刻 T_{63} 乃至時刻 T_{64} において、信号線 ABU を" H "、信号線 AOP を" H "、信号線 ATC を" L "とし、信号線 $SEL[1]$ を" H "とする。この時、第1の行における各画素の差分データに相当する電流が各列の信号線 $OUT[1]$ 乃至信号線 $OUT[n]$ に供給される。ここで、第1の行における各画素の差分データはゼロとすると、各列の信号線 $OUT[1]$ 乃至信号線 $OUT[n]$ に供給される電流の電流値は I_0 、トランジスタ136を介して流れる電流 $I_p[1]$ 乃至電流 $I_p[n]$ の電流値は I_0 に等しく、また、電流 $I_c[1]$ 乃至電流 $I_c[n]$ の電流値も I_0 に等しい。

10

【0131】

時刻 T_{64} 乃至時刻 T_{65} において、信号線 ABU を" H "、信号線 AOP を" H "、信号線 ATC を" L "とし、信号線 $SEL[2]$ を" H "とする。この時、第2の行における各画素の差分データに相当する電流が各列の信号線 $OUT[1]$ 乃至信号線 $OUT[n]$ に供給される。ここで、第2の行における各画素の差分データは有限(負)とし、第 y 列の信号線 $OUT[v]$ に供給される電流の電流値を $(I_0 - I_v)$ とすると、第 v 列のトランジスタ136を介して流れる電流 $I_p[v]$ は $(I_0 - I_v)$ に等しく、また、電流 $I_c[v]$ の電流値は I_0 に等しいため、第 v 列のトランジスタ139とトランジスタ140を介して、電流値 I_v の電流が流れることになる。

20

【0132】

ここで、各列のトランジスタ140に電流値 I_1 乃至電流 I_n の電流を流すためには、これらの和に相当する電流値 I^- の電流を供給する必要がある。ここで、コンパレータ $CMP-$ とトランジスタ142の働きにより、当該電流 I^- が供給される。ここで、トランジスタ142を介して各列のトランジスタ140に供給される電流の和が I^- より少ない(多い)場合は、コンパレータ $CMP-$ の+端子の電位が下がる(上がる)ことになり、コンパレータの出力は低下(上昇)する。すなわち、トランジスタ142のゲート電圧が低下(上昇)し、より多い(少ない)電流 I^- を供給することができるようになる。

30

【0133】

さらに、トランジスタ142のゲートと同電位の電位がトランジスタ143に印加されるため、トランジスタ142に対するトランジスタ143の W/L 比 (n_1) 倍した電流 $n_1 \cdot I^-$ がトランジスタ143に流れる。また、トランジスタ148とトランジスタ143とで構成されるバッファにより、信号 $TRIG$ が" H "となる。なおトランジスタ148は、ゲートにバイアス電圧 $bias$ が与えられる。バイアス電圧 $bias$ は適宜設定することができる。

【0134】

時刻 T_{66} 乃至時刻 T_{67} において、信号線 ABU を" H "、信号線 AOP を" H "、信号線 ATC を" L "とし、信号線 $SEL[m]$ を" H "とする。この時、第 m の行における各画素の差分データに相当する電流が各列の信号線 $OUT[1]$ 乃至信号線 $OUT[n]$ に供給される。ここで、第 m の行における各画素の差分データは、第1列が有限(正)、第2列が有限(正)、第 n 列が有限(負)、その他の列がゼロとし、各列の信号線 $OUT[1]$ 、信号線 $OUT[2]$ 、信号線 $OUT[n]$ に供給される電流の電流値が $(I_0 + I_1)$ 、 $(I_0 + I_2)$ 、 $(I_0 - I_n)$ とすると、トランジスタ136を介して流れる電流 $I_p[1]$ 、電流 $I_p[2]$ 、電流 $I_p[n]$ の電流値は $(I_0 + I_1)$ 、 $(I_0 + I_2)$ 、 $(I_0 - I_n)$ に等しく、また、電流 $I_c[1]$ 乃至電流 $I_c[n]$ の電流値は I_0 に等しいため、第1列、第2列のトランジスタ139とトランジスタ1

40

50

40を介して、電流値 I_1 、 I_2 の電流が流れ、第 n 列のトランジスタ 139 とトランジスタ 141 を介して、電流値 I_n の電流が流れることになる。

【0135】

ここで、第1列、第2列のトランジスタ 140 に電流値 I_1 、 I_2 の電流を流すためには、これらの和に相当する電流値 $I^- = I_1 + I_2$ の電流を供給する必要がある。ここで、コンパレータ CMP- とトランジスタ 142 の働きにより、当該電流 I^- が供給される。ここで、トランジスタ 142 を介して各列のトランジスタ 140 に供給される電流 I^- が $I_1 + I_2$ より少ない(多い)場合は、コンパレータ CMP- の+端子の電位が下がる(上がる)ことになり、コンパレータ CMP- の出力は低下(上昇)する。すなわち、トランジスタ 142 のゲート電圧が低下(上昇)し、より多い(少ない)電流 I^- を供給することができるようになる。

10

【0136】

また、第 n 列のトランジスタ 141 に電流値 I_n の電流を流すためには、電流値 $I^+ = I_n$ の電流を流す必要がある。ここで、コンパレータ CMP+ とトランジスタ 144 の働きにより、当該電流 I^+ が流せる。ここで、第 n 列のトランジスタ 141 からトランジスタ 144 に流れ込める電流 I^+ が I_n より少ない(多い)場合は、コンパレータ CMP+ の+端子の電位が上がる(下がる)ことになり、コンパレータの出力は上昇(低下)する。すなわち、トランジスタ 144 のゲート電圧が上昇(低下)し、より多い(少ない)電流 I^+ を流すことができるようになる。

【0137】

また、トランジスタ 142 のゲートと同電位の電位がトランジスタ 143 に印加されるため、トランジスタ 142 に対するトランジスタ 143 の W/L 比 ($n1$) 倍した電流 $n1 \cdot I^-$ がトランジスタ 143 に流れる。

20

【0138】

さらに、トランジスタ 144 のゲートと同電位の電位がトランジスタ 145 に印加されるため、トランジスタ 144 に対するトランジスタ 145 の W/L 比 ($n2$) 倍した電流 $n2 \cdot I^+$ がトランジスタ 145 に流れる。トランジスタ 145 に流れる電流がトランジスタ 146 にも流れ、さらに、トランジスタ 146 に対するトランジスタ 147 の W/L 比 ($n3$) 倍した電流 $n3 \cdot n2 \cdot I^+$ がトランジスタ 147 に流れる。トランジスタ 148 とトランジスタ 143 とトランジスタ 147 とで構成されるバッファにより、判定信号 TRIG が "H" となる。

30

【0139】

上述した構成とすることで本発明の一態様は、差分処理等のデジタル処理を要することなく、簡単な構成でビデオ電圧を更新するための判定信号を生成できる。

【0140】

<表示装置の構成>

図9(A)は、一例として、表示装置 DISP の構成のうち、画素 D_{PIX} 、ソースドライバ S_DRV 、及びゲートドライバ G_DRV を示すブロック図である。図9(A)では、ゲートドライバ G_DRV に接続されるゲート線 x_1 乃至 x_m (m は自然数)、ソースドライバ S_DRV に接続されるソース線 y_1 乃至 y_n (n は自然数)とし、画素 D_{PIX} ではそれぞれに $(1, 1)$ 乃至 (n, m) の符号を付している。

40

【0141】

次いで図9(B)には、図9(A)で示す表示素子部におけるゲート線及びソース線に与える信号のタイミングチャート図である。図9(B)では、ビデオ電圧を書き換えるフレームと、ビデオ電圧を書き換えないフレームと、に分けて示している。また、図9(B)では、帰線期間等の期間を考慮していない。

【0142】

上述した第1の表示モードでは、画像データを基に、1フレーム期間毎にビデオ電圧を書き換える。この場合、 x_1 乃至 x_m のゲート線には、順に走査信号が与えられる。走査信号がHレベルの期間である水平走査期間 1H では、各列のソース線 y_1 乃至 y_n

50

には、ビデオ電圧 D が与えられる。

【0143】

上述した第2の表示モードでは、画像データを用いることなく、ビデオ電圧 D を保持する。この場合、 x_1 乃至 x_m のゲート線に与える走査信号を停止する。また水平走査期間 $1H$ では、各列のソース線 y_1 乃至 y_n に与えるビデオ電圧 D の供給を停止する。

【0144】

次いで図10には、画素 D_{PIX} の構成例を示す回路図である。図10(A)は、表示素子として液晶素子を用いる画素の例であり、図10(B)は、表示素子として発光素子を用いる画素の例である。

【0145】

図10(A)に示す画素 D_{PIX} は、トランジスタ Tr 、液晶素子 LC 、容量素子 CAP を有する。

【0146】

トランジスタ Tr は、液晶素子 LC とソース線 L_Y との電気的接続を制御するスイッチング素子であり、そのゲートから入力される走査信号によりオン、オフが制御される。なおトランジスタ Tr には、オフ電流を小さくできる OS トランジスタが好適である。

【0147】

次いで図10(B)に示す画素 D_{PIX} は、トランジスタ $Tr1$ 、トランジスタ $Tr2$ 、発光素子 EL を有する。

【0148】

トランジスタ $Tr1$ は、トランジスタ $Tr2$ のゲートとソース線 L_Y との電気的接続を制御するスイッチング素子であり、そのゲートから入力される走査信号によりオン、オフが制御される。なおトランジスタ $Tr1$ には、オフ電流を小さくできる OS トランジスタが好適である。またトランジスタ $Tr2$ のソース又はドレインには、電源線 L_V が電気的に接続される。

【0149】

なお図10(A)、(B)に示した回路図においては、 OS トランジスタであることを明示するために、酸化物半導体を用いたトランジスタの回路記号に「 OS 」の記載を付している。

【0150】

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、 n チャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、 p チャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、 n チャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

【0151】

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従って、トランジスタのオフ電流が I 以下である、とは、トランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを言う場合がある。トランジスタのオフ電流は、所定の V_{gs} におけるオフ状態、所定の範囲内の V_{gs} におけるオフ状態、または、十分に低減されたオフ電流が得られる V_{gs} におけるオフ状態、等におけるオフ電流を指す場合がある。

【0152】

一例として、しきい値電圧 V_{th} が $0.5V$ であり、 V_{gs} が $0.5V$ におけるドレイン電流が $1 \times 10^{-9} A$ であり、 V_{gs} が $0.1V$ におけるドレイン電流が $1 \times 10^{-13} A$ であり、 V_{gs} が $-0.5V$ におけるドレイン電流が $1 \times 10^{-19} A$ であり、 V_{gs} が $-0.8V$ におけるドレイン電流が $1 \times 10^{-22} A$ であるような n チャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が $-0.5V$ において、または、 V_{gs} が $-0.5V$ 乃至 $-0.8V$ の範囲において、 $1 \times 10^{-19} A$ 以下であ

10

20

30

40

50

るから、当該トランジスタのオフ電流は 1×10^{-19} A 以下である、と言う場合がある。当該トランジスタのドレイン電流が 1×10^{-22} A 以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は 1×10^{-22} A 以下である、と言う場合がある。

【0153】

本明細書では、チャンネル幅 W を有するトランジスタのオフ電流を、チャンネル幅 W あたりを流れる電流値で表す場合がある。また、所定のチャンネル幅（例えば $1 \mu\text{m}$ ）あたりを流れる電流値で表す場合がある。後者の場合、オフ電流の単位は、電流 / 長さの次元を持つ単位（例えば、 $\text{A} / \mu\text{m}$ ）で表される場合がある。

【0154】

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、 60 、 85 、 95 、または 125 におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等に要求される信頼性において用いられる温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 5 乃至 35 のいずれか一の温度）におけるオフ電流、を表す場合がある。トランジスタのオフ電流が I 以下である、とは、室温、 60 、 85 、 95 、 125 、当該トランジスタが含まれる半導体装置に要求される信頼性において用いられる温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 5 乃至 35 のいずれか一の温度）、におけるトランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを指す場合がある。

10

【0155】

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} が 0.1V 、 0.8V 、 1V 、 1.2V 、 1.8V 、 2.5V 、 3V 、 3.3V 、 10V 、 12V 、 16V 、または 20V におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等に要求される信頼性において用いられる V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} におけるオフ電流、を表す場合がある。トランジスタのオフ電流が I 以下である、とは、 V_{ds} が 0.1V 、 0.8V 、 1V 、 1.2V 、 1.8V 、 2.5V 、 3V 、 3.3V 、 10V 、 12V 、 16V 、 20V 、当該トランジスタが含まれる半導体装置に要求される信頼性において用いられる V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} 、におけるトランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを指す場合がある。

20

30

【0156】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

【0157】

本明細書では、オフ電流と同じ意味で、リーク電流と記載する場合がある。

【0158】

本明細書において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

【0159】

なお画素 D_{PIX} は、第2の表示モードにおいて、画素内でビデオ電圧 D を保持することができればよい。そのため、オフ電流の小さいトランジスタを用いる構成に限らない。画素 D_{PIX} は、画素内にビデオ電圧を保持可能なメモリを有する構成でもよい。

40

【0160】

画素 D_{PIX} 内にメモリを有する構成について図25(A)に示す。画素 D_{PIX} は、メモリ m_{em} を有することで、ビデオデータを保持することができる。メモリとしては、SRAMやDRAM等におけるメモリ回路を適用すればよい。図25(B)には、メモリ m_{em} にSRAMを適用した場合の回路図の一例を示す。

【0161】

なお表示装置の断面図の一例について図24に示す。なお図24(A)のA-Bは、画素

50

D_PI_Xのトランジスタ付近の断面の模式図であり、図24(B)のC-Dは、端子部付近の断面の模式図である。

【0162】

図24(A)、(B)において、基板300、トランジスタ301、画素電極302、コモン電極303、絶縁膜304、配向膜305、液晶306、基板307、配向膜308、配線309、封止層310、FPC311、導電性樹脂312を示している。

【0163】

図24(A)、(B)は、画素電極302とコモン電極との間に電位差を与える、所謂横電界方式(例えばIPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード)の液晶表示装置を示しているが、所謂縦電界方式(例えば、TNモード、VAモード、MVAモード、PVAモード、STNモード、OCBモードなど)としてもよい。

10

【0164】

画素D_PI_Xに用いられるトランジスタ301は、ビデオ電圧を保持できるトランジスタであればよい。一例としては、OSTランジスタであることが好ましい。

【0165】

画素電極302及びコモン電極303は、透光性を有する導電層で構成すればよい。一例としては、インジウム錫酸化物(ITO)を用いることができる。

【0166】

なお図24(A)、(B)では、表示素子として、液晶を用いる構成について示したが、本発明の一態様はこれに限らず、様々な形態、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置は、例えば、EL(エレクトロルミネッセンス)素子(有機物及び無機物を含むEL素子、有機EL素子、無機EL素子)、LED(白色LED、赤色LED、緑色LED、青色LEDなど)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイ(PDP)、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子、デジタルマイクロミラーデバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、MIRASOL(登録商標)、IMOD(インターフェアレンス・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウエッチング素子、圧電セラミックディスプレイ、カーボンナノチューブなどの少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)又はSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク、電子粉流体(登録商標)、又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体層などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体層などを設けて、LEDを構成することができる。なお、グラフェン

20

30

40

50

やグラファイトと、結晶を有する n 型 GaN 半導体層との間に、AlN 層を設けてもよい。なお、LED が有する GaN 半導体層は、MOCVD で成膜してもよい。ただし、グラフェンを設けることにより、LED が有する GaN 半導体層は、スパッタ法で成膜することも可能である。

【0167】

なお基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI 基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又は SOI 基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

10

20

【0168】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

30

【0169】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

40

【0170】

上述した構成とすることで本発明の一態様は、画像データを基にしたビデオ電圧によって画像を表示する第 1 の表示モードと、画像データを用いることなくビデオ電圧を保持し続けて画像を表示する第 2 の表示モードと、を切り替えて表示装置を動作させることができる。

【0171】

（実施の形態 2）

本実施の形態では、上記実施の形態で説明した画素 $I_{p, I, X}$ の変形例について説明する。

【0172】

図 11 (A) には、図 4 (A) の回路図における、トランジスタの半導体層を酸化物半導

50

体とする回路図の変形例を示す。図11(A)に示す画素 I_{PIX} では、トランジスタ11乃至115を、酸化物半導体を半導体層に有する構成としている。

【0173】

OSトランジスタは、極めて低いオフ電流特性を有するといった特性を有する。そのため、撮像のダイナミックレンジを拡大することができる。図11(A)に示す回路図では、フォトダイオードに入射される光の強度が大きいときにノードFD1の電位が小さくなる。OSトランジスタは極めて低いオフ電流特性を有するため、ゲート電位が極めて小さい場合においても当該ゲート電位に応じた電流を正確に出力することができる。したがって、検出することのできる照度のレンジ、すなわちダイナミックレンジを広げることができる。

10

【0174】

また、OSトランジスタは極めて低いオフ電流特性を有するため、ノードFD1が電荷を保持できる期間を極めて長くすることができることから、回路構成や動作方法を複雑にすることなくグローバルシャッタ方式を適用することができる。したがって、動体であっても歪の小さい画像を容易に得ることができる。また、同様の理由により露光時間(電荷の蓄積動作を行う期間)を長くすることもできることから、低照度環境における撮像にも適する。

【0175】

また、OSトランジスタは、シリコンを半導体層に有するトランジスタ(Siトランジスタともいう)よりも電気特性変動の温度依存性が小さい。そのため、極めて広い温度範囲で使用することができる。したがって、OSトランジスタを有する撮像装置および半導体装置は、自動車、航空機、宇宙機などへの搭載にも適している。

20

【0176】

図11(A)に示すような構成とすることで、画素をシリコンで形成したフォトダイオードと、OSトランジスタと、で構成することができる。このような構成とすることで、画素にSiトランジスタを形成する必要が無いため、フォトダイオードの有効面積を増大することが容易になる。したがって、撮像感度を向上することができる。

【0177】

また、画素 I_{PIX} だけでなく、アナログ処理回路Analog、A/D変換回路ADC、行ドライバR_DRV、列ドライバC_DRVなどの周辺回路をOSトランジスタで形成する構成が有効である。周辺回路をOSトランジスタのみで形成する構成は、Siトランジスタの形成工程が不要となるため、撮像装置の低価格化に有効である。また、周辺回路をOSトランジスタとP型Siトランジスタのみで形成する構成は、N型Siトランジスタの形成工程が不要となるため、撮像装置の低価格化に有効である。さらに、周辺回路をCMOS回路とすることができるので、周辺回路の低消費電力化、すなわち、撮像装置の低消費電力化に有効である。

30

【0178】

また図11(B)には、図11(A)をさらに変形した画素 I_{PIX} の回路図の変形例を示す。図11(B)に示す画素 I_{PIX} では、トランジスタ114、115を、シリコンを半導体層に有する構成としている。

40

【0179】

Siトランジスタは、OSトランジスタに比べて優れた電界効果移動度を有するといった特性を有する。そのため、増幅トランジスタとして機能するトランジスタに流れる電流値を増やすことができる。例えば、図11(B)においてノードFD1に蓄積された電荷に応じて、トランジスタ114、115に流れる電流値を増やすことができる。

【0180】

また図12には、図4(A)の回路図における、フォトダイオードをセンサ S_{IS} とする画素 I_{PIX} の回路図を示す。

【0181】

センサ S_{IS} としては、与えられる物理量を、素子を流れる電流値 I_S に変換できる素子

50

であることが好ましい。あるいは、与えられる物理量を一度別の物理量に変換した上で、素子を通る電流値に変換できる素子であることが好ましい。

【0182】

センサ S_{IS} にはさまざまなセンサを用いることができる。例えば、センサ S_{IS} として、温度センサ、光センサ、ガスセンサ、炎センサ、煙センサ、湿度センサ、圧力センサ、流量センサ、振動センサ、音声センサ、磁気センサ、放射線センサ、匂いセンサ、花粉センサ、加速度センサ、傾斜角センサ、ジャイロセンサ、方位センサ、電力センサなどを用いることができる。

【0183】

例えば、センサ S_{IS} として、光センサを用いる場合は、上述したフォトダイオードや、

10

フォトトランジスタを用いることが可能である。

【0184】

また、センサ S_{IS} として、ガスセンサを用いる場合は、酸化スズなどの金属酸化物半導体にガスが吸着することによる抵抗の変化を検出する半導体式ガスセンサ、接触燃焼式ガスセンサ、固体電解質式ガスセンサなどを用いることが可能である。

【0185】

また図22(A)には、図4(A)の回路図におけるフォトダイオード、あるいは図12の回路図におけるセンサ S_{IS} をセレン系半導体 S_{Se} とする画素 I_{PIX} の回路図を示す。

【0186】

セレン系半導体 S_{Se} としては、電圧を印加することで1個の入射光子から複数の電子を取り出すことのできる、アバランシェ増倍という現象を利用して光電変換が可能な素子である。従って、セレン系半導体 S_{Se} を有する画素 I_{PIX} では、入射される光量に対する電子の増幅を大きく、高感度のセンサとすることができる。

20

【0187】

セレン系半導体 S_{Se} としては、非晶質性を有するセレン系半導体、あるいは結晶性を有するセレン系半導体を用いることができる。結晶性を有するセレン系半導体は、一例として、非晶質性を有するセレン系半導体を成膜後、熱処理することで得ればよい。なお結晶性を有するセレン系半導体の結晶粒径を画素ピッチより小さくすることで、画素ごとの特性ばらつきが低減し、得られる画像の画質が均一になり好ましい。

30

【0188】

セレン系半導体 S_{Se} の中でも結晶性を有するセレン系半導体は、光吸収係数を広い波長帯域にわたって有するといった特性を有する。そのため、可視光や紫外光に加えて、X線やガンマ線といった幅広い波長帯域の光電変換素子として利用することができ、X線やガンマ線といった短い波長帯域の光を直接電荷に変換できる、所謂直接変換型の素子として用いることができる。

【0189】

図22(B)には、図22(A)に示す回路構成の一部に対応する、断面構造の模式図である。図22(B)では、トランジスタ111、トランジスタ111に接続される電極 E_{PIX} 、セレン系半導体 S_{Se} 、電極 E_{VPD} 、及び基板 S_{ub} を図示している。

40

【0190】

電極 E_{VPD} 、及び基板 S_{ub} が設けられる側より、セレン系半導体 S_{Se} に向けて光を入射する。そのため電極 E_{VPD} 、及び基板 S_{ub} は透光性を有することが好ましい。電極 E_{VPD} としては、インジウム錫酸化物($ITO: Indium Tin Oxide$)を用い、基板 S_{ub} としては、ガラス基板を用いることができる。

【0191】

セレン系半導体 S_{Se} 、及びセレン系半導体 S_{Se} に積層して設ける電極 E_{VPD} は、画素ごとに形状を加工することなく用いることができる。形状を加工するための工程を削減することができるため、作製コストの低減、及び作製歩留まりの向上を図ることができる。

50

【0192】

なお、セレン系半導体 S_{Se} は、一例として、カルコパイライト系半導体を挙げることができる。具体例としては、 $CuIn_{1-x}Ga_xSe_2$ ($0 < x < 1$) (CIGSと略記) を挙げることができる。CIGSは、蒸着法、スパッタリング法等を用いて形成することができる。

【0193】

カルコパイライト系半導体であるセレン系半導体 S_{Se} は、数V (5乃至20V) 程度の電圧を印加することで、アバランシェ増倍を発現できる。セレン系半導体 S_{Se} に電圧を印加して光の照射によって生じる信号電荷の移動における直進性を高めることができる。なおセレン系半導体 S_{Se} の膜厚は、 $1\mu m$ 以下と薄くすることで、印加する電圧を小さくできる。

10

【0194】

なおセレン系半導体 S_{Se} の膜厚が薄い場合、電圧印加時に暗電流が流れるが、上述したカルコパイライト系半導体であるCIGSに暗電流が流れることを防ぐための層(正孔注入障壁層)を設けることで、暗電流が流れることを抑制できる。正孔注入障壁層としては、酸化物半導体を用いればよく、一例としては酸化ガリウムを用いることができる。正孔注入障壁層の膜厚は、セレン系半導体 S_{Se} の膜厚より小さいことが好ましい。

【0195】

図22(C)には、図22(B)とは異なる、断面構造の模式図である。図22(C)では、トランジスタ111、トランジスタ111に接続される電極 E_{PIX} 、セレン系半導体 S_{Se} 、電極 E_{VPD} 、及び基板 S_{ub} の他に、正孔注入障壁層 E_{OS} を図示している。

20

【0196】

以上説明したようにセンサとしてセレン系半導体 S_{Se} を用いることで、作製コストの低減、及び作製歩留まりの向上、画素ごとの特性ばらつき低減することができ、高感度のセンサとすることができる。

【0197】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0198】

(実施の形態3)

本実施の形態では、撮像装置を構成する素子の断面構造について、図面を参照して説明する。本実施の形態では一例として、上記実施の形態2で図11(B)を用いて説明した、Siトランジスタ及びOSTランジスタを用いて画素を構成する断面構造について説明する。

30

【0199】

図13(A)、(B)は、撮像装置を構成する素子の断面図である。図13(A)に示す撮像装置は、シリコン基板40に設けられたSiトランジスタ51、Siトランジスタ51上に積層して設けられたOSTランジスタ52およびOSTランジスタ53、ならびにシリコン基板40に設けられたフォトダイオード60を含む。各トランジスタおよびフォトダイオード60は、種々のコンタクトプラグ70および配線層71と電気的な接続を有する。また、フォトダイオード60のアノード61は、低抵抗領域63を介してコンタクトプラグ70と電気的な接続を有する。

40

【0200】

また撮像装置は、シリコン基板40に設けられたSiトランジスタ51およびフォトダイオード60を有する層1100と、層1100と接して設けられ、配線層71を有する層1200と、層1200と接して設けられ、OSTランジスタ52およびOSTランジスタ53を有する層1300と、層1300と接して設けられ、配線層72および配線層73を有する層1400を備えている。

【0201】

なお図13(A)の断面図の一例では、シリコン基板40において、Siトランジスタ5

50

1が形成された面とは逆側の面にフォトダイオード60の受光面を有する構成とする。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード60の受光面をSiトランジスタ51が形成された面と同じとすることもできる。

【0202】

なお上記実施の形態2で図11(A)を用いて説明した、OSTランジスタを用いて画素を構成する場合には、層1100を、OSTランジスタを有する層とすればよい。または層1100を省略し、OSTランジスタのみで画素を構成してもよい。

【0203】

なおSiトランジスタを用いて画素を構成する場合には、層1300を省略すればよい。層1300を省略した断面図の一例を図13(B)に示す。

10

【0204】

なお、シリコン基板40はバルクのシリコン基板に限らず、SOI基板であってもよい。また、シリコン基板40に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体を材料とする基板を用いることもできる。

【0205】

ここで、位置は限定されないが、Siトランジスタ51およびフォトダイオード60を有する層1100と、OSTランジスタ52およびOSTランジスタ53を有する層1300との間には絶縁層80が設けられる。

20

【0206】

Siトランジスタ51の活性領域近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端し、Siトランジスタ51の信頼性を向上させる効果がある。一方、上層に設けられるOSTランジスタ52およびOSTランジスタ53等の活性層である酸化物半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、OSTランジスタ52およびOSTランジスタ53等の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁層80を設けることが好ましい。絶縁層80により、下層から上層に水素が閉じ込めることでSiトランジスタ51の信頼性が向上することに加え、下層から上層に水素が拡散することが抑制されることでOSTランジスタ52およびOSTランジスタ53等の信頼性も同時に向上させることができる。

30

【0207】

絶縁層80としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。

【0208】

また、図13(A)の断面図において、層1100に設けるフォトダイオード60と、層1300に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

40

【0209】

また、図23(A1)及び図23(B1)に示すように、撮像装置IMAGを湾曲させてもよい。図23(A1)は、撮像装置IMAGを同図中の二点鎖線X1-X2の方向に湾曲させた状態を示している。図23(A2)は、図23(A1)中の二点鎖線X1-X2で示した部位の断面図である。図23(A3)は、図23(A1)中の二点鎖線Y1-Y2で示した部位の断面図である。

【0210】

図23(B1)は、撮像装置IMAGを同図中の二点鎖線X3-X4の方向に湾曲させ、かつ、同図中の二点鎖線Y3-Y4の方向に湾曲させた状態を示している。図23(B2)は、図23(B1)中の二点鎖線X3-X4で示した部位の断面図である。図23(B

50

3) は、図 23 (B1) 中の二点鎖線 Y3 - Y4 で示した部位の断面図である。

【0211】

撮像装置 I M A G を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置 I M A G と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置 I M A G を用いた撮像装置などの小型化や軽量化を容易とすることができる。また、撮像された画像の品質を向上させる事ができる。

【0212】

なお、本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0213】

(実施の形態 4)

本実施の形態では、撮像装置にカラーフィルタ等を付加した形態の一例の断面構造について、図面を参照して説明する。

【0214】

図 14 (A) は、図 13 (A)、(B) に示す撮像装置にカラーフィルタ等を付加した形態の一例の断面図であり、3画素分の回路(回路 91a、回路 91b、回路 91c)が占める領域を示している。層 1100 に形成されるフォトダイオード 60 上には絶縁層 1500 が形成される。絶縁層 1500 は可視光に対して透光性の高い酸化シリコン膜などを用いることができる。また、パッシベーション膜として窒化シリコン膜を積層する構成としてもよい。また、反射防止膜として、酸化ハフニウムなどの誘電体膜を積層する構成としてもよい。

【0215】

絶縁層 1500 上には、遮光層 1510 が形成される。遮光層 1510 は、上部のカラーフィルタを通る光の混色を防止する作用を有する。遮光層 1510 には、アルミニウム、タンゲステンなどの金属層や当該金属層と反射防止膜としての機能を有する誘電体膜を積層する構成とすることができる。

【0216】

絶縁層 1500 および遮光層 1510 上には平坦化膜として有機樹脂層 1520 が形成され、回路 91a、回路 91b および回路 91c 上においてそれぞれカラーフィルタ 1530a、カラーフィルタ 1530b およびカラーフィルタ 1530c が対になるように形成される。カラーフィルタ 1530a、カラーフィルタ 1530b およびカラーフィルタ 1530c には、それぞれ R (赤)、G (緑)、B (青) などの色を割り当てることにより、カラー画像を得ることができる。

【0217】

カラーフィルタ 1530a、カラーフィルタ 1530b およびカラーフィルタ 1530c 上にはマイクロレンズアレイ 1540 が設けられ、一つのレンズを通る光が直下のカラーフィルタを通り、フォトダイオードに照射されるようになる。

【0218】

また、層 1400 に接して支持基板 1600 が設けられる。支持基板 1600 としては、シリコン基板などの半導体基板、ガラス基板、金属基板、セラミック基板などの硬質基板を用いることができる。なお、層 1400 と支持基板 1600 との間には接着層となる無機絶縁層や有機樹脂層が形成されていてもよい。

【0219】

上記撮像装置の構成において、カラーフィルタ 1530a、カラーフィルタ 1530b およびカラーフィルタ 1530c の代わりに光学変換層 1550 を用いてもよい(図 14 (B) 参照)。光学変換層 1550 を用いることにより、様々な波長領域における画像が得られる撮像装置とすることができる。

【0220】

例えば、光学変換層 1550 に可視光線の波長以下の光を遮るフィルタを用いれば、赤外線撮像装置とすることができる。また、光学変換層 1550 に赤外線の波長以下の光を遮

10

20

30

40

50

るフィルタを用いれば、遠赤外線撮像装置とすることができる。また、光学変換層 1550 に可視光線の波長以上の光を遮るフィルタを用いれば紫外線撮像装置とすることができる。

【0221】

また、光学変換層 1550 にシンチレータを用いれば、医療用の X 線撮像装置など、放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過した X 線等の放射線がシンチレータに入射されると、フォトルミネッセンスと呼ばれる現象により可視光線や紫外光線などの光（蛍光）に変換される。そして、当該光をフォトダイオード 60 で検知することにより画像データを取得する。

【0222】

シンチレータは、X 線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質、または当該物質を含む材料からなり、例えば、 $Gd_2O_2S: Tb$ 、 $Gd_2O_2S: Pr$ 、 $Gd_2O_2S: Eu$ 、 $BaFCl: Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO などの材料や、それらを樹脂やセラミクスに分散させたものが知られている。

【0223】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0224】

(実施の形態 5)

本実施の形態では、上記実施の形態で説明した O S トランジスタについて説明する。

【0225】

O S トランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にする事でオフ電流を低くすることができる。ここで、実質的に真性とは、酸化物半導体中のキャリア密度が、 $1 \times 10^{17} / cm^3$ 未満であること、好ましくは $1 \times 10^{15} / cm^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / cm^3$ 未満であることを指す。酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。

【0226】

真性または実質的に真性にした酸化物半導体を用いたトランジスタは、キャリア密度が低いため、閾値電圧がマイナスとなる電気特性になることが少ない。また、当該酸化物半導体を用いたトランジスタは、酸化物半導体のキャリアトラップが少ないため、電気特性の変動が小さく、信頼性の高いトランジスタとなる。また、当該酸化物半導体を用いたトランジスタは、オフ電流を非常に低くすることが可能となる。

【0227】

なおオフ電流を低くした O S トランジスタでは、室温 (25 程度) にてチャネル幅 $1 \mu m$ あたりの規格化されたオフ電流が $1 \times 10^{-18} A$ 以下、好ましくは $1 \times 10^{-21} A$ 以下、更に好ましくは $1 \times 10^{-24} A$ 以下、又は 85 にて $1 \times 10^{-15} A$ 以下、好ましくは $1 \times 10^{-18} A$ 以下、更に好ましくは $1 \times 10^{-21} A$ 以下とすることができる。

【0228】

なおオフ電流とは、n チャネル型トランジスタの場合、トランジスタが非導通状態のときにソースとドレインとの間に流れる電流をいう。n チャネル型トランジスタの閾値電圧が、例えば、0 V 乃至 2 V 程度であれば、ゲートとソースの間に印加される電圧が負の電圧の場合に、ソースとドレインとの間を流れる電流をオフ電流とすることができる。

【0229】

なお O S トランジスタの半導体層に用いる酸化物半導体としては、少なくともインジウム (In) 又は亜鉛 (Zn) を含むことが好ましい。特に In 及び Zn を含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好まし

10

20

30

40

50

い。スタビライザーとしては、ガリウム (Ga)、スズ (Sn)、ジルコニウム (Zr)、ハフニウム (Hf) 及びアルミニウム (Al) の少なくともいずれかを有すればよい。

【0230】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種又は複数種を有してもよい。

【0231】

トランジスタの半導体層に用いる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物 (IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

10

20

【0232】

例えば、In:Ga:Zn = 1:1:1、In:Ga:Zn = 3:1:2、あるいはIn:Ga:Zn = 2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0233】

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理 (脱水素化処理) を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

30

【0234】

なお、酸化物半導体膜への脱水化処理 (脱水素化処理) によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理 (脱水素化処理) によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

【0235】

このように、酸化物半導体膜は、脱水化処理 (脱水素化処理) により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型 (真性) 化又はi型に限りなく近く実質的にi型 (真性) である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく (ゼロに近く)、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

40

【0236】

このように、i型又は実質的にi型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。

【0237】

50

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0238】

(実施の形態6)

本実施の形態では、上記実施の形態1で説明した表示システムを監視装置(監視システムともいう)に利用する場合について説明する。

【0239】

図15は、本実施の形態の監視装置の構成例を示すブロック図である。監視装置は、カメラ200、記憶装置211、表示装置212、および警報装置213を有する。カメラ200は、撮像装置220を有する。カメラ200、記憶装置211、表示装置212、および警報装置213は、それぞれ機能的に接続される。カメラ200で撮影された画像は、記憶装置211に記録され、表示装置212に表示される。また、警報装置213は、カメラ200が動きを検出した場合等に管理者に警報を行う。

10

【0240】

撮像装置220は、カメラ200で差分データを検知したときに、判定信号を発生する。この判定信号に基づいて撮像装置220では、アナログ処理を行い、デジタル処理を行う。そのため、膨大な電力を消費するデジタル処理を継続的に行わなくてもよいため、消費電力を低減することができる。また表示装置212は、判定信号に従った撮像モードの切り替えに応じて、画像データの更新を行うか否かの表示モードの切り替えを行う構成とすることができる。そのため、表示装置212が有する画素を駆動するための駆動回路での消費電力を低減することができる。

20

【0241】

例えば、第1の状態を監視区域内に侵入者が確実にいない状態、第2の状態を現在の状態とする。ここで、撮像装置220が第2の撮像モードで動作する場合に侵入者がいない場合は、第1の撮像データと第2の撮像データとは同一のため、差分データはゼロに対応する。したがって、アナログ処理回路で各画素から読み出した差分データに対して、差分絶対値和演算を行った結果はゼロで、判定信号が発生しない。一方、侵入者がいる場合は、第1の撮像データと第2の撮像データとは異なるため、差分データは有限である。したがって、アナログ処理回路で各画素から読み出した差分データに対して、差分絶対値和演算を行った結果は有限で、判定信号が発生する。判定信号の発生に伴い、撮像装置220は第1の撮像モードに遷移し、第3の撮像データをデジタル処理回路でデジタルデータに変換し、PCなどでのデジタル処理により、撮像画像に関する詳細の解析を実行する。その結果、侵入者の詳細な情報を取得することができる。加えて表示装置212では、撮像装置220の撮像モードの切り替えに応じて、画像データの更新を行うか否かの表示モードの切り替えを行う構成とすることができる。そのため、表示装置212が有する画素を駆動するための駆動回路での消費電力を低減することができる。

30

【0242】

そのため画像に動きが検出されない期間は、撮像装置220はデジタル処理を行わない。その結果、カメラ200での電力消費を抑えることができる。また、記憶装置211は、動きが検出されない期間での画像データ分の、記憶装置211の記憶容量の節約ができるため、より長時間の録画が可能になる。表示装置212では、画像データを更新しない期間での駆動回路の動作を停止することによる消費電力の低減を図ることができる。

40

【0243】

なお、警報装置213による周囲への警報は、判定信号が発生した場合に行えばよい。あるいは、認証システムでの照合を基に判定し、警報を行うか否かの判定を行ってもよい。

【0244】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0245】

(実施の形態7)

50

本実施の形態では、本発明の一態様に係る撮像装置及び表示装置を用いた表示システムを適用できる電子機器の一例について説明する。

【0246】

本発明の一態様に係る表示システムを適用できる電子機器として、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD(Digital Versatile Disc)などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、ナビゲーションシステム、置き時計、壁掛け時計、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、タブレット型端末、パチンコ機などの大型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍端末、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器などの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、懐中電灯、チェーンソー等の工具、煙感知器、透析装置等の医療機器、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電力の平準化やスマートグリッドのための等の蓄電装置等が挙げられる。また、電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車(EV)、内燃機関と電動機を併せ持ったハイブリッド車(HEV)、プラグインハイブリッド車(PHEV)、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船などが挙げられる。

10

20

【0247】

図16(A)はビデオカメラであり、筐体941、筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は筐体941に設けられており、表示部943は筐体942に設けられている。そして、筐体941と筐体942とは、接続部946により接続されており、筐体941と筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における筐体941と筐体942との間の角度に従って切り替える構成としても良い。レンズ945の焦点となる位置には撮像装置を備え、表示部943と共に本発明の一態様の表示システムを用いることができる。

30

【0248】

図16(B)は携帯電話であり、筐体951に、表示部952、マイク957、スピーカー954、カメラ959、入出力端子956、操作作用のボタン955等を有する。カメラ959及び表示部には本発明の一態様の表示システムを用いることができる。

【0249】

図16(C)はデジタルカメラであり、筐体921、シャッターボタン922、マイク923、発光部927、レンズ925等を有する。レンズ925の焦点となる位置には撮像装置を備え、筐体921にある表示部(図示せず)と共に本発明の一態様の表示システムを用いることができる。

40

【0250】

図16(D)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイク905、スピーカー906、操作キー907、スタイラス908、カメラ909等を有する。なお、図16(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。カメラ909及び表示部903には本発明の一態様の表示システムを用いることができる。

50

【 0 2 5 1 】

図 1 6 (E) は腕時計型の情報端末であり、筐体 9 3 1、表示部 9 3 2、リストバンド 9 3 3、カメラ 9 3 9 等を有する。表示部 9 3 2 はタッチパネルとなってもよい。カメラ 9 3 9 及び表示部 9 3 2 には本発明の一態様の表示システムを用いることができる。

【 0 2 5 2 】

図 1 6 (F) は携帯データ端末であり、筐体 9 1 1、表示部 9 1 2、カメラ 9 1 9 等を有する。表示部 9 1 2 が有するタッチパネル機能により情報の入出力を行うことができる。カメラ 9 1 9 及び表示部 9 1 2 には本発明の一態様の表示システムを用いることができる。

【 0 2 5 3 】

なお、本発明の一態様の表示システムを適用できる撮像装置及び表示装置を具備していれば、上記で示した電子機器に特に限定されないことは言うまでもない。

10

【 0 2 5 4 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 符号の説明 】

【 0 2 5 5 】

I M A G	撮像装置	
D I S P	表示装置	
A n a l o g	アナログ処理回路	20
A n a l o g _ _ A	アナログ処理回路	
A n a l o g _ _ B	アナログ処理回路	
A D C	A / D 変換回路	
C T R L	制御回路	
S U M	加算回路	
S U B	減算回路	
A B S	絶対値回路	
O P 0	オペアンプ	
C 1	容量値	
C 2	容量値	30
D 1 1	ダイオード	
D 1 2	ダイオード	
F D 1	ノード	
F D 2	ノード	
I 0	電流値	
M 1	トランジスタ	
n 1	電流	
n 2	電流	
n 3	電流	
O P 1 1	O P アンプ	40
O P 1 2	O P アンプ	
O P 2 1	O P アンプ	
O P 2 2	O P アンプ	
R 0 1	抵抗	
R 2 n	抵抗	
R 0 4	抵抗	
R 1 1	抵抗	
R 1 5	抵抗	
R 2 1	抵抗	
R 3 1	抵抗	50

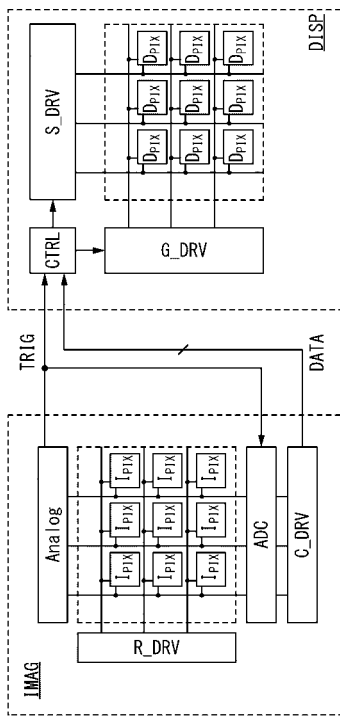
R 3 3	抵抗	
T 0 1	時刻	
T 1	時刻	
T 0 2	時刻	
T 2	時刻	
T 0 3	時刻	
T 3	時刻	
T 0 4	時刻	
T 4	時刻	
T 0 5	時刻	10
T 5	時刻	
T 0 6	時刻	
T 6	時刻	
T 1 0	時刻	
T 1 1	時刻	
T 1 2	時刻	
T 1 3	時刻	
T 1 4	時刻	
T 1 5	時刻	
T 2 1	時刻	20
T 2 4	時刻	
T 2 5	時刻	
T 3 1	時刻	
T 3 2	時刻	
T 3 3	時刻	
T 3 4	時刻	
T 3 5	時刻	
T 4 1	時刻	
T 4 2	時刻	
T 4 3	時刻	30
T 4 4	時刻	
T 4 5	時刻	
T 5 1	時刻	
T 5 2	時刻	
T 5 3	時刻	
T 5 4	時刻	
T 5 5	時刻	
T 6 1	時刻	
T 6 2	時刻	
T 6 3	時刻	40
T 6 4	時刻	
T 6 5	時刻	
T 6 6	時刻	
T 6 7	時刻	
T r 1	トランジスタ	
T r 2	トランジスタ	
x __ m	ゲート線	
x __ 1	ゲート線	
y __ n	ソース線	
y __ 1	ソース線	50

4 0	シリコン基板	
5 1	S iトランジスタ	
5 2	O Sトランジスタ	
5 3	O Sトランジスタ	
6 0	フォトダイオード	
6 1	アノード	
6 3	低抵抗領域	
7 0	コンタクトプラグ	
7 1	配線層	
7 2	配線層	10
7 3	配線層	
8 0	絶縁層	
9 1 a	回路	
9 1 b	回路	
9 1 c	回路	
1 1 1	トランジスタ	
1 1 1 A	トランジスタ	
1 1 1 B	トランジスタ	
1 1 1 C	トランジスタ	
1 1 2	トランジスタ	20
1 1 3	トランジスタ	
1 1 4	トランジスタ	
1 1 5	トランジスタ	
1 2 1	容量素子	
1 2 2	容量素子	
1 2 3	フォトダイオード	
1 2 3 A	フォトダイオード	
1 2 3 B	フォトダイオード	
1 2 3 C	フォトダイオード	
1 2 3 D	フォトダイオード	30
1 3 6	トランジスタ	
1 3 7	トランジスタ	
1 3 8	トランジスタ	
1 3 9	トランジスタ	
1 4 0	トランジスタ	
1 4 1	トランジスタ	
1 4 2	トランジスタ	
1 4 3	トランジスタ	
1 4 4	トランジスタ	
1 4 5	トランジスタ	40
1 4 6	トランジスタ	
1 4 7	トランジスタ	
1 4 8	トランジスタ	
1 4 9	容量	
2 0 0	カメラ	
2 1 1	記憶装置	
2 1 2	表示装置	
2 1 3	警報装置	
2 2 0	撮像装置	
3 0 0	基板	50

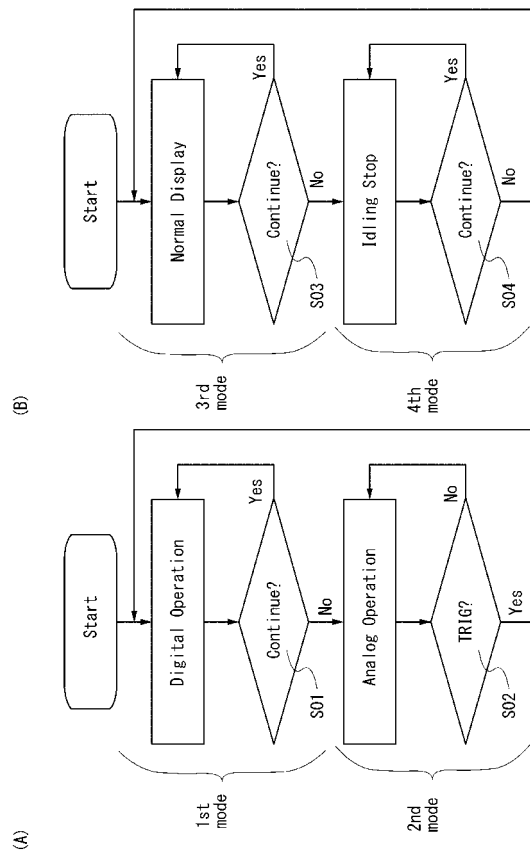
3 0 1	トランジスタ	
3 0 2	画素電極	
3 0 3	コモン電極	
3 0 4	絶縁膜	
3 0 5	配向膜	
3 0 6	液晶	
3 0 7	基板	
3 0 8	配向膜	
3 0 9	配線	
3 1 0	封止層	10
3 1 1	F P C	
3 1 2	導電性樹脂	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイク	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	20
9 0 9	カメラ	
9 1 1	筐体	
9 1 2	表示部	
9 1 9	カメラ	
9 2 1	筐体	
9 2 2	シャッターボタン	
9 2 3	マイク	
9 2 5	レンズ	
9 2 7	発光部	
9 3 1	筐体	30
9 3 2	表示部	
9 3 3	リストバンド	
9 3 9	カメラ	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	筐体	40
9 5 2	表示部	
9 5 4	スピーカー	
9 5 5	ボタン	
9 5 6	入出力端子	
9 5 7	マイク	
9 5 9	カメラ	
1 1 0 0	層	
1 2 0 0	層	
1 3 0 0	層	
1 4 0 0	層	50

- 1 5 0 0 絶縁層
- 1 5 1 0 遮光層
- 1 5 2 0 有機樹脂層
- 1 5 3 0 a カラーフィルタ
- 1 5 3 0 b カラーフィルタ
- 1 5 3 0 c カラーフィルタ
- 1 5 4 0 マイクロレンズアレイ
- 1 5 5 0 光学変換層
- 1 6 0 0 支持基板

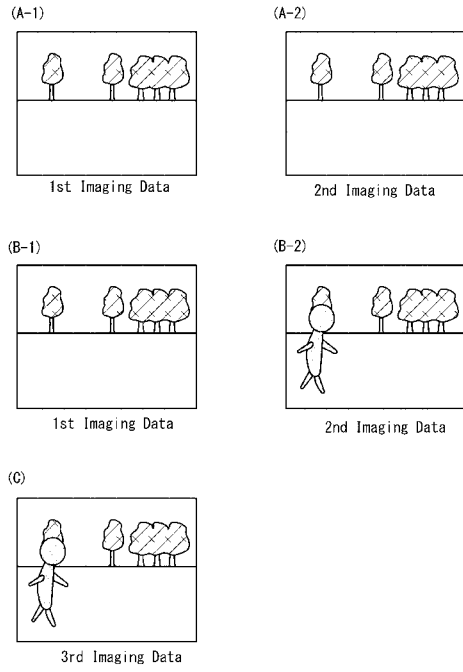
【 図 1 】



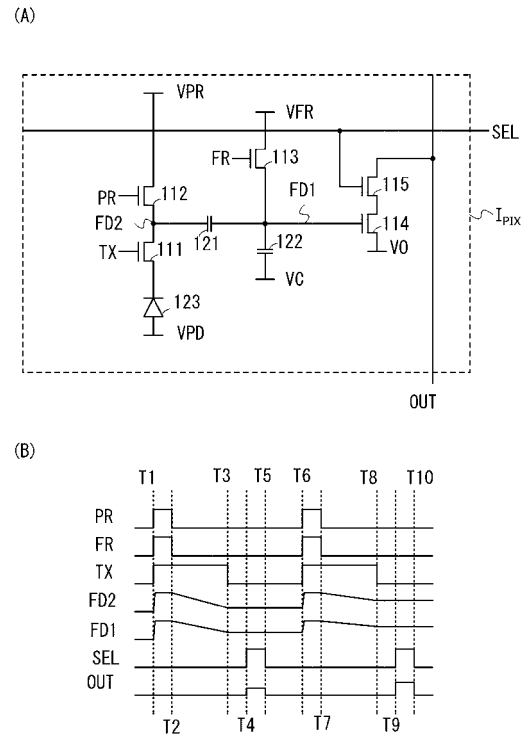
【 図 2 】



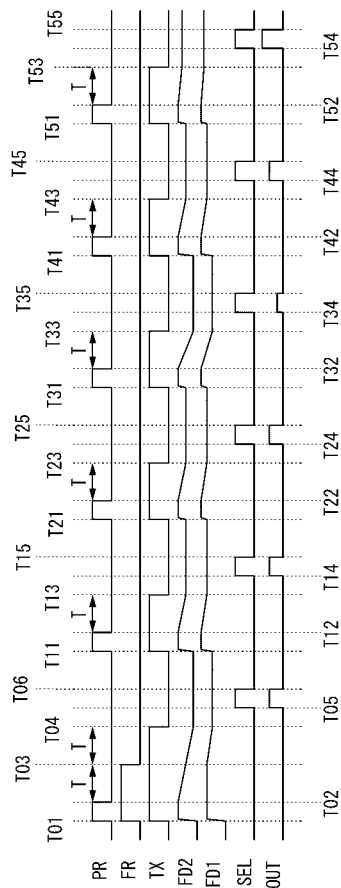
【 図 3 】



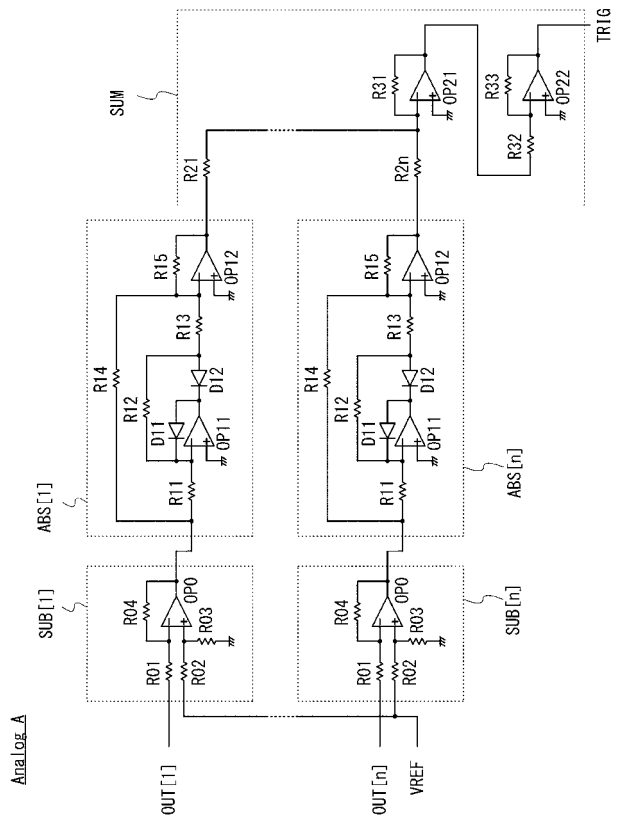
【 図 4 】



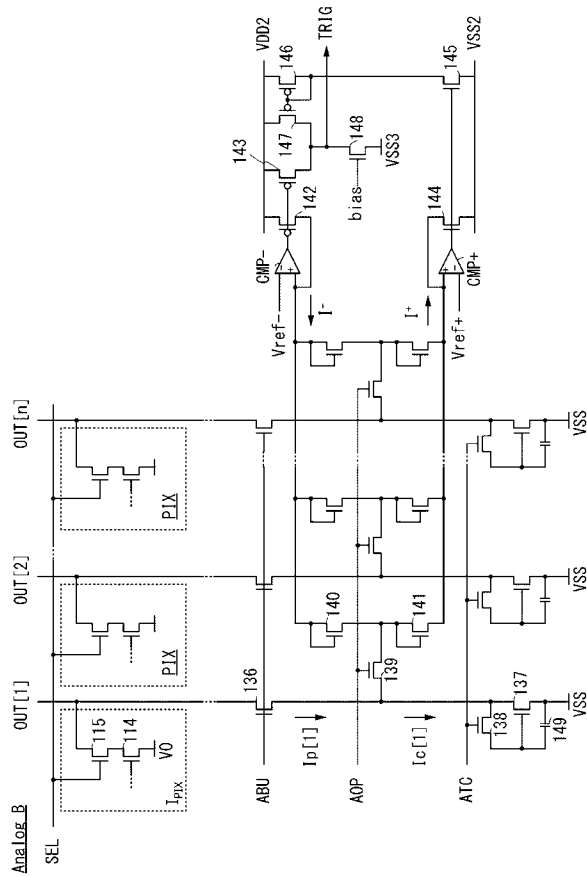
【 図 5 】



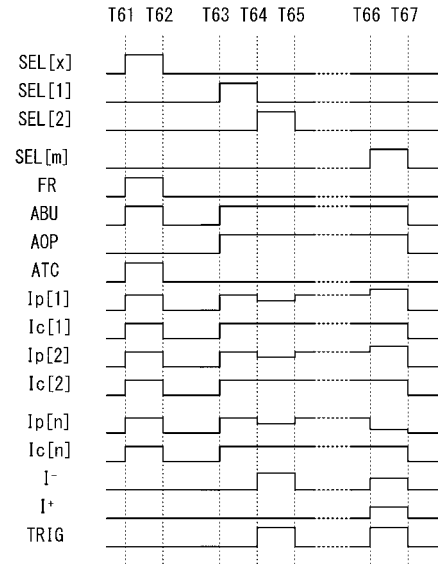
【 図 6 】



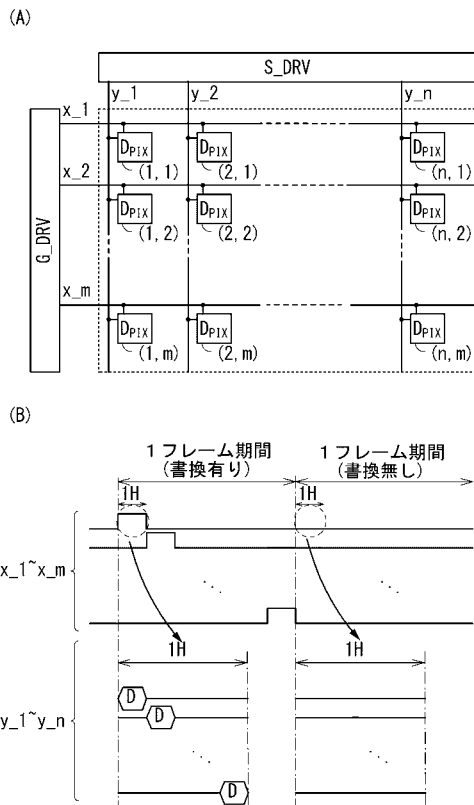
【 図 7 】



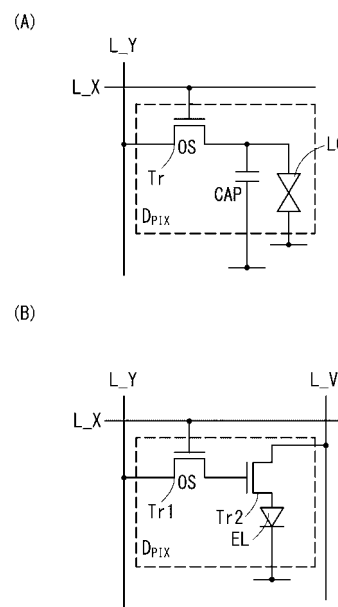
【 図 8 】



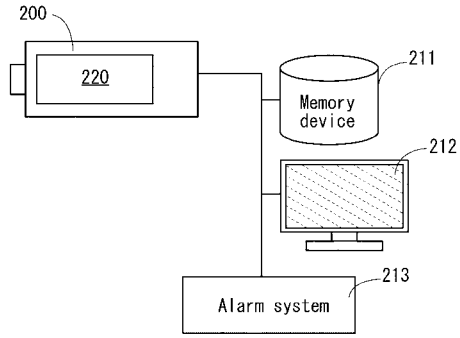
【 図 9 】



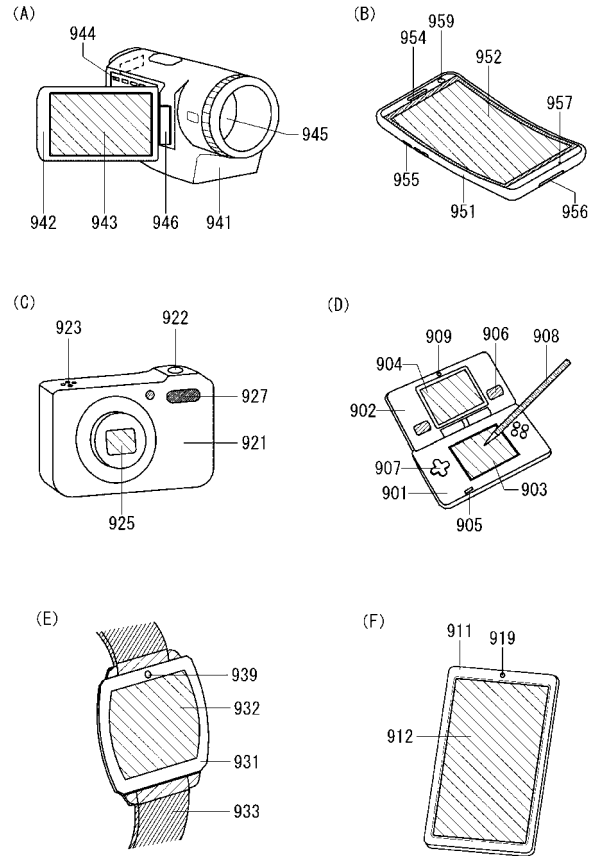
【 図 10 】



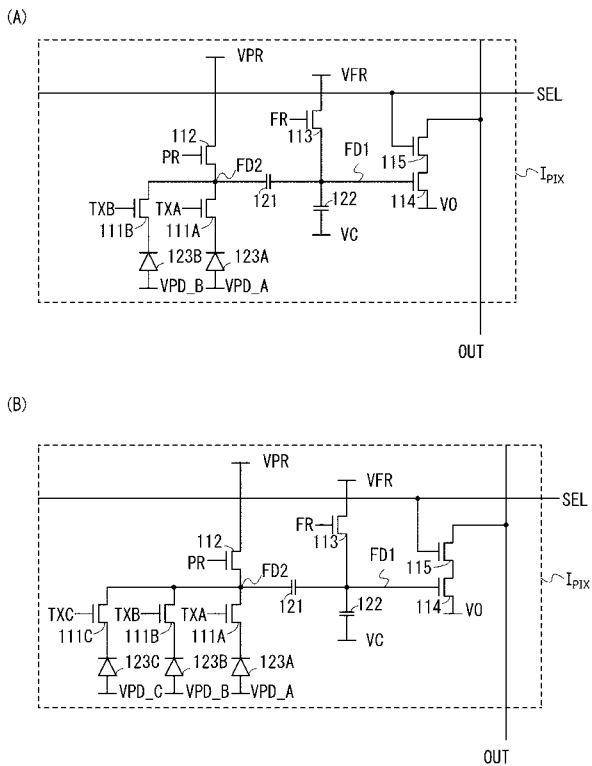
【 図 1 5 】



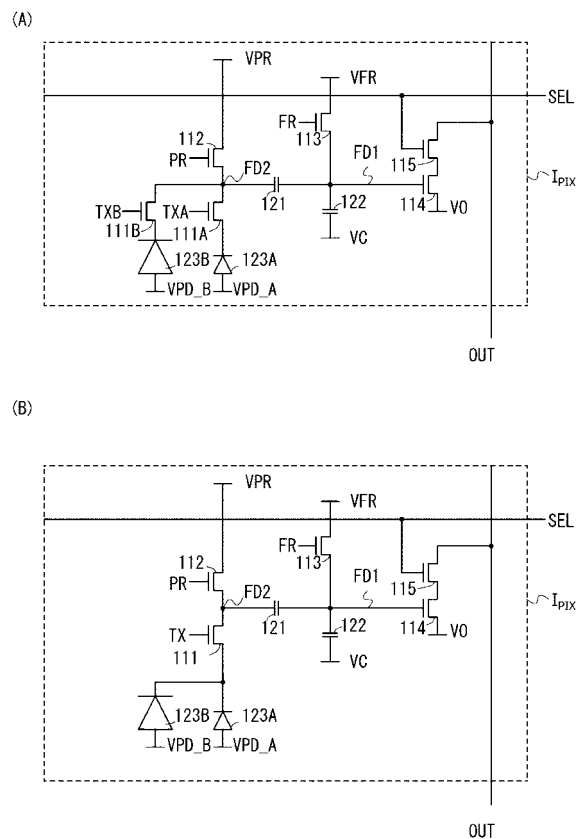
【 図 1 6 】



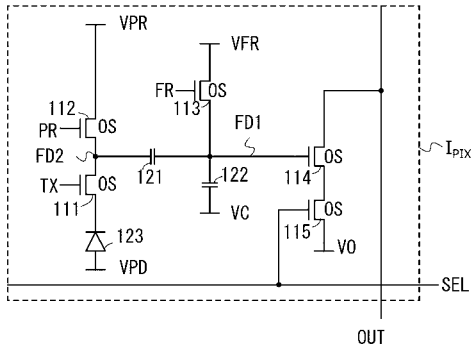
【 図 1 7 】



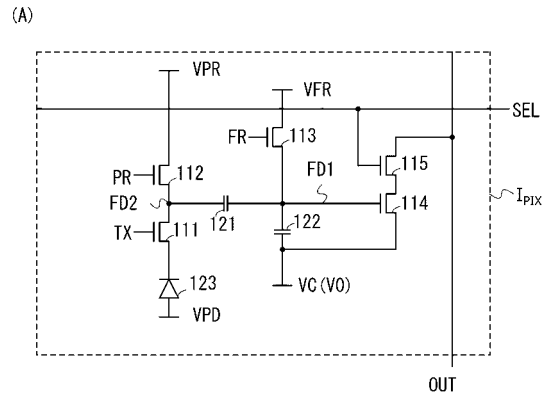
【 図 1 8 】



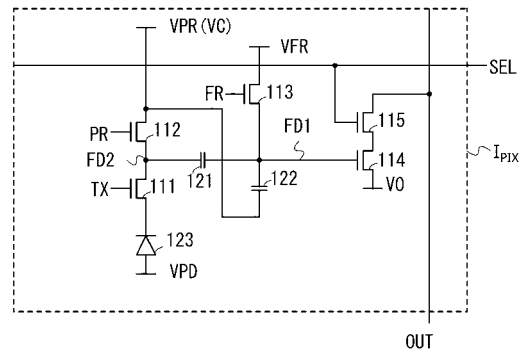
【 図 19 】



【 図 20 】

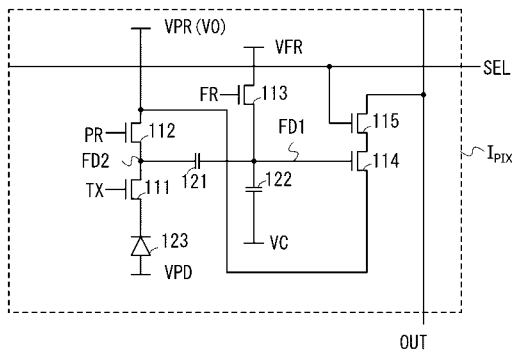


(B)

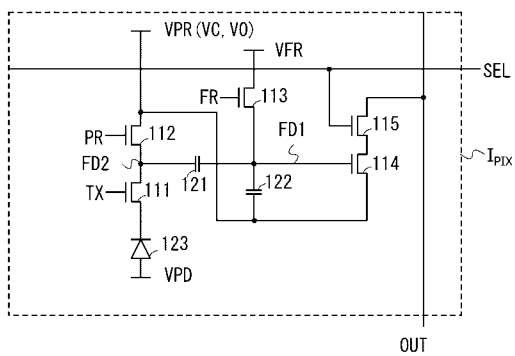


【 図 21 】

(A)

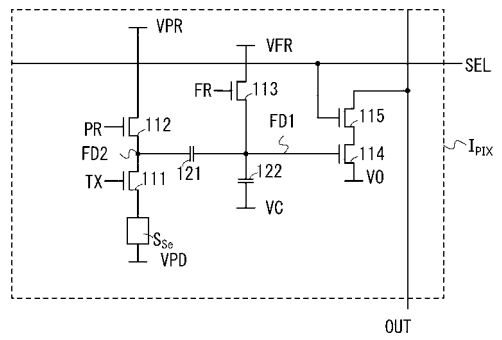


(B)

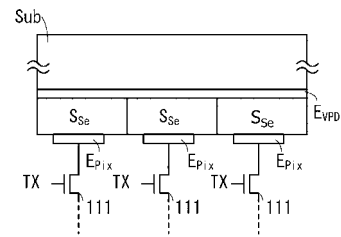


【 図 22 】

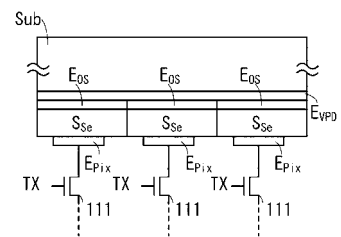
(A)



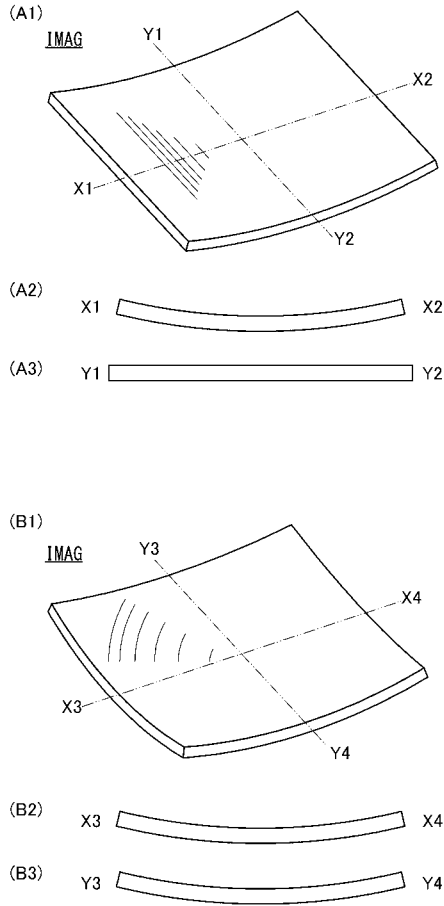
(B)



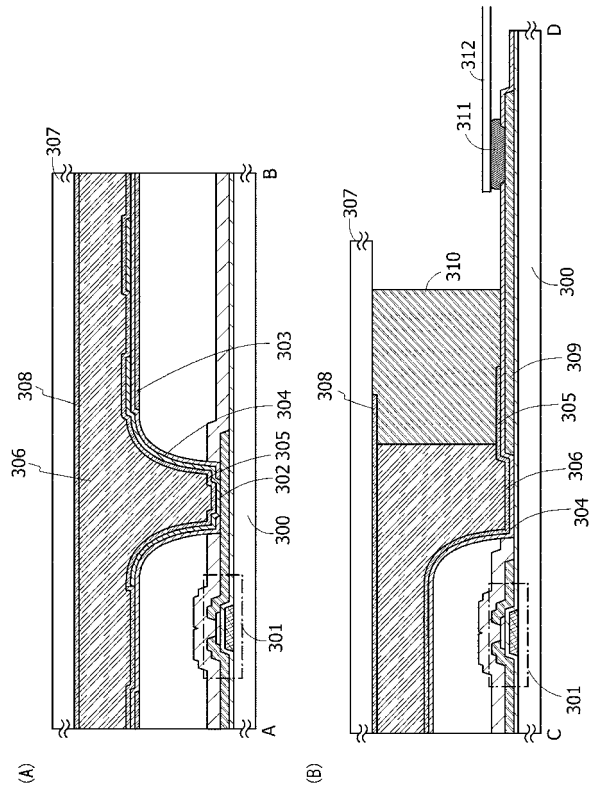
(C)



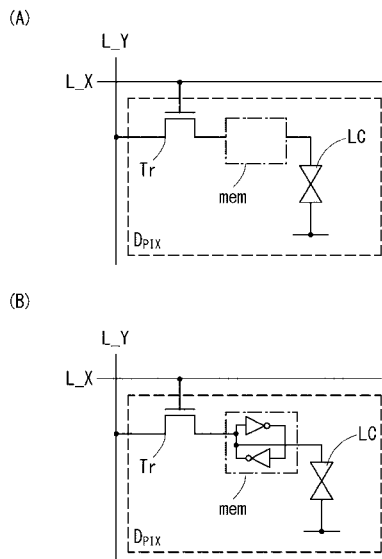
【 図 2 3 】



【 図 2 4 】



【 図 2 5 】



フロントページの続き

(51) Int.Cl.	F I			テーマコード(参考)		
<i>H 0 4 N 5/232 (2006.01)</i>	G 0 9 G	3/20	6 9 1 G	5 C 1 2 2		
<i>H 0 4 N 5/351 (2011.01)</i>	H 0 4 N	5/225	C	5 C 3 8 0		
<i>H 0 4 N 5/378 (2011.01)</i>	H 0 4 N	5/232	Z			
<i>G 0 2 F 1/133 (2006.01)</i>	H 0 4 N	5/335	5 1 0			
<i>H 0 4 N 101/00 (2006.01)</i>	H 0 4 N	5/335	7 8 0			
	G 0 2 F	1/133	5 5 0			
	H 0 4 N	101:00				

Fターム(参考) 5C054 EA01 EB05 EB07 FC01 FE28 GB01
 5C080 AA06 AA10 BB05 CC03 DD26 FF11 JJ01 JJ02 JJ03 JJ04
 JJ06 JJ07 KK07 KK43 KK49
 5C122 DA11 EA52 FH11 FK23 FK24 FL03 HA87 HB01 HB02 HB05
 5C380 AA01 AA02 AB06 AB18 AB29 AB34 AC09 BA01 CC26 CC33
 CC62 CD072 DA58 FA10