



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0083885  
(43) 공개일자 2009년08월04일

- |   |  |
|---|--|
| <p>(51) Int. Cl.<br/><i>G02F 1/1337</i> (2006.01)</p> <p>(21) 출원번호 10-2009-0061067(분할)</p> <p>(22) 출원일자 2009년07월06일<br/>심사청구일자 2009년07월06일</p> <p>(62) 원출원 특허 10-2004-0054276<br/>원출원일자 2004년07월13일</p> <p>(30) 우선권주장 JP-P-2003-273872 2003년07월14일 일본(JP)</p> | <p>(71) 출원인<br/>가부시킴가이샤 한도오따이 에네루기 켄큐쇼<br/>일본국 가나가와켄 아쓰기시 하세 398</p> <p>(72) 발명자<br/>야마자키 순페이<br/>일본국 가나가와켄 아쓰기시 하세 398 가부시킴가이샤 한도오따이 에네루기 켄큐쇼 나이</p> <p>(74) 대리인<br/>이화익, 김홍두</p> |
|---|--|

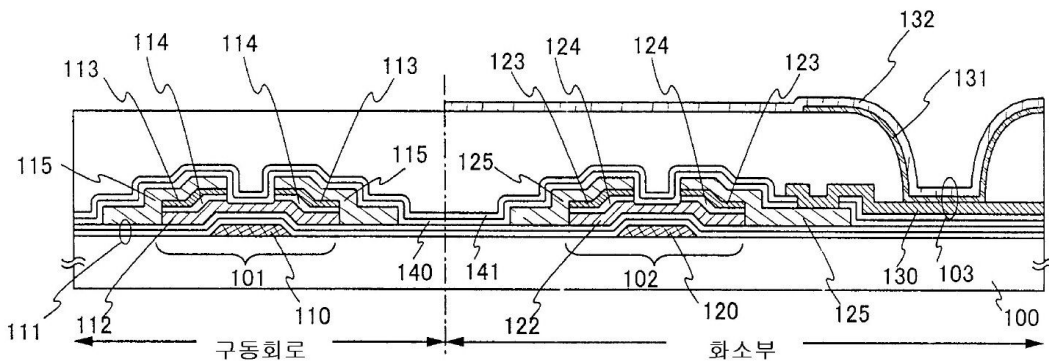
전체 청구항 수 : 총 12 항

(54) 표시장치

(57) 요약

본 발명은, TFT의 공정을 복잡화시키지 않고 시스템 온 패널화를 실현하고, 게다가 종래의 발광장치보다 비용을 감소시킬 수 있는 발광장치의 제공한다. 발광장치는 화소부에 발광소자와, 발광소자에의 전류의 공급을 제어하는 TFT를 갖는 화소가 설치되어 있고, 구동회로에 포함된 TFT와 발광소자에의 전류의 공급을 제어하는 TFT는, 게이트전극과, 게이트전극상에 형성된 게이트절연막과, 게이트절연막을 통해 게이트전극과 겹쳐 있는 제 1 반도체막과, 제 1 반도체막상에 형성된 한 쌍의 제 2 반도체막을 갖고, 상기 한 쌍의 제 2 반도체막에는 일 도전형을 부여하는 불순물이 도핑되어 있고, 제 1 반도체막은 세미아모퍼스 반도체로 형성되어 있다.

대표도



**특허청구의 범위**

**청구항 1**

기판 위에 형성된 게이트 전극과,

상기 게이트 전극 위에 형성된 게이트 절연막과,

상기 게이트 절연막을 사이에 두고 상기 게이트 전극 위에 형성된 세미아모퍼스 실리콘으로 이루어진 제 1 반도체층과,

상기 제 1 반도체층 위에 형성된 제 2 반도체층과,

적어도 상기 제 1 반도체층과 한 쌍의 제 3 반도체층의 사이에, 상기 한 쌍의 제 3 반도체층보다 낮은 도전성을 갖는 상기 제 2 반도체층을 두어 상기 제 1 반도체층 위에 형성되는, n형의 도전성을 갖는 상기 한 쌍의 제 3 반도체층과,

상기 한 쌍의 제 3 반도체층 위에 형성된 제 1 도전층 및 제 2 도전층과,

상기 제 1 도전층 및 상기 제 2 도전층 중의 하나에 전기적으로 접속된 화소전극을 구비하고,

상기 한 쌍의 제 3 반도체층 중의 하나는 상기 한 쌍의 제 3 반도체층 중의 다른 하나의 엣지를 둘러싸도록 배열되어 있는 표시장치.

**청구항 2**

기판 위에 형성된 게이트 전극과,

상기 게이트 전극 위에 형성된 게이트 절연막과,

상기 게이트 절연막을 사이에 두고 상기 게이트 전극 위에 형성된 세미아모퍼스 실리콘으로 이루어진 제 1 반도체층과,

상기 제 1 반도체층 위에 형성되어서, 버퍼층으로서 기능하는 제 2 반도체층과,

적어도 상기 제 1 반도체층과 한 쌍의 제 3 반도체층의 사이에, 상기 제 2 반도체층을 두어 상기 제 1 반도체층 위에 형성되는, n형의 도전성을 갖는 상기 한 쌍의 제 3 반도체층과,

상기 한 쌍의 제 3 반도체층 위에 형성된 제 1 도전층 및 제 2 도전층과,

상기 제 1 도전층 및 상기 제 2 도전층 중의 하나에 전기적으로 접속된 화소전극을 구비하고,

상기 한 쌍의 제 3 반도체층 중의 하나는 상기 한 쌍의 제 3 반도체층 중의 다른 하나의 엣지를 둘러싸도록 배열되어 있는 표시장치.

**청구항 3**

기판 위에 형성된 게이트 전극과,

상기 게이트 전극 위에 형성된 게이트 절연막과,

상기 게이트 절연막을 사이에 두고 상기 게이트 전극 위에 형성된 미결정 실리콘으로 이루어진 제 1 반도체층과,

상기 제 1 반도체층 위에 형성된 제 2 반도체층과,

적어도 상기 제 1 반도체층과 한 쌍의 제 3 반도체층의 사이에, 상기 한 쌍의 제 3 반도체층보다 낮은 도전성을 갖는 상기 제 2 반도체층을 두어 상기 제 1 반도체층 위에 형성되는, n형의 도전성을 갖는 상기 한 쌍의 제 3 반도체층과,

상기 한 쌍의 제 3 반도체층 위에 형성된 제 1 도전층 및 제 2 도전층과,

상기 제 1 도전층 및 상기 제 2 도전층 중의 하나에 전기적으로 접속된 화소전극을 구비하고,

상기 한 쌍의 제 3 반도체층 중의 하나는 상기 한 쌍의 제 3 반도체층 중의 다른 하나의 엣지를 둘러싸도록 배열되어 있는 표시장치.

**청구항 4**

기판 위에 형성된 게이트 전극과,

상기 게이트 전극 위에 형성된 게이트 절연막과,

상기 게이트 절연막을 사이에 두고 상기 게이트 전극 위에 형성된 미결정 실리콘으로 이루어진 제 1 반도체층과,

상기 제 1 반도체층 위에 형성되어서, 버퍼층으로서 기능하는 제 2 반도체층과,

적어도 상기 제 1 반도체층과 한 쌍의 제 3 반도체층의 사이에, 상기 제 2 반도체층을 두어 상기 제 1 반도체층 위에 형성되는, n형의 도전성을 갖는 상기 한 쌍의 제 3 반도체층과,

상기 한 쌍의 제 3 반도체층 위에 형성된 제 1 도전층 및 제 2 도전층과,

상기 제 1 도전층 및 상기 제 2 도전층 중의 하나에 전기적으로 접속된 화소전극을 구비하고,

상기 한 쌍의 제 3 반도체층 중의 하나는 상기 한 쌍의 제 3 반도체층 중의 다른 하나의 엣지를 둘러싸도록 배열되어 있는 표시장치.

**청구항 5**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 한 쌍의 제 3 반도체층 사이에 있는 상기 제 1 반도체층의 일부는 상기 제 2 반도체층으로 덮여 있지 않은 표시장치.

**청구항 6**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 반도체층은 p형의 도전성의 불순물로 도핑되어 있는 표시장치.

**청구항 7**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 반도체층은 상기 한 쌍의 제 3 반도체층과 같은 도전형을 갖는 표시장치.

**청구항 8**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 반도체층은 도전성을 부여하기 위한 불순물로 도핑되어 있지 않은 표시장치.

**청구항 9**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 반도체층은 세미아모퍼스 실리콘 또는 비정질 실리콘으로 이루어진 표시장치.

**청구항 10**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 한 쌍의 제 3 반도체층은 세미아모퍼스 실리콘 또는 비정질 실리콘으로 이루어진 표시장치.

**청구항 11**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 표시장치가 발광장치인 표시장치.

**청구항 12**

제 1 항 또는 제 2 항에 있어서,

상기 제 1 반도체층은 0.5 내지 20nm의 결정립으로 이루어진 표시장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은, 박막트랜지스터를 구동회로 및 화소부에 사용한 발광장치에 관한 것이다.

**배경기술**

- <2> 영가의 유리기관을 사용하여 형성되는 반도체 표시장치는, 해상도가 높아짐에 따라서, 실장에 사용하는 화소부 주변의 영역(액자틀 영역)의 기관에 차지하는 비율이 증대하여, 소형화가 방해되는 경향이 있다. 그 때문에, 단 결정의 실리콘웨이퍼를 사용하여 형성된 IC를 유리기관에 실장하는 방식에는 한계가 있다고 생각되고 있고, 구동회로를 포함하는 집적회로를 화소부와 같은 유리기관상에 일체로 형성하는 기술, 소위 시스템 온 패널화가 중요시 되고 있다.
- <3> 다결정반도체막으로 형성된 박막트랜지스터(다결정 TFT)는, 비정질반도체막을 사용한 TFT와 비교하여 이동도가 2자리수 이상 높고, 반도체 표시장치의 화소부와 그 주변의 구동회로를 동일 기관상에 일체로 형성할 수 있다고 하는 이점을 가지고 있다. 그러나, 비정질반도체막을 사용한 경우와 비교하여, 반도체막의 결정화로 인해 공정이 복잡해지기 때문에, 그 만큼 수율이 감소하여, 비용이 증가한다고 하는 문제점이 있다.
- <4> 다결정반도체막의 형성에 일반적으로 사용하고 있는 레이저어닐링법의 경우, 결정성을 높이는 데 필요한 에너지 밀도를 확보해야 한다. 그 때문에, 레이저빔의 장축의 길이에 한계가 있고, 결정화의 공정에서의 스투풋을 저하시키거나, 레이저빔의 엣지 근방에 있어서 결정성에 격차가 생기거나 하기 때문에, 기관의 치수에 제한이 생기고 있다. 또한, 레이저광의 에너지 자체가 변동하는 것으로, 반도체막의 결정성에 격차가 생겨, 피처리몰에의 레이저어닐을 균일하게 행하는 것이 어렵다고 하는 문제점을 가지고 있다.
- <5> 그렇지만, 비정질반도체막에서 채널형성영역을 형성한 TFT의 전계 효과 이동도는 크더라도  $0.4 \sim 0.8 \text{cm}^2/\text{Vsec}$  정도밖에 얻을 수 없다. 그러므로, 화소부에 스위칭소자로서 사용할 수는 있지만, 화소를 선택하기 위한 주사선 구동회로나, 그 선택된 화소에 비디오신호를 공급하기 위한 신호선 구동회로 등, 고속동작이 요구되는 구동회로에는 적합하지 않다고 생각된다.
- <6> 반도체장치 중에서도 특히, 액티브매트릭스형 발광장치의 경우, 비디오신호의 입력을 제어하는 스위칭소자로서 기능하는 트랜지스터와, 해당 발광소자에의 전류의 공급을 제어하기 위한 트랜지스터 중, 적어도 2개의 트랜지스터가 화소내에 설치된다. 이 발광소자에의 전류의 공급을 제어하기 위한 트랜지스터는, 스위칭소자로서 사용하는 트랜지스터와 비교하여, 보다 높은 온(ON)전류를 얻을 수 있는 쪽이 바람직하고, 따라서 발광장치의 경우, 화소부에서도 보다 TFT의 이동도의 향상이 중요한 과제로 되어 있다.

**발명의 내용**

**해결 하고자하는 과제**

<7> 본 발명은 상술한 문제점을 감안하여, TFT의 공정을 복잡화시키지 않고 시스템 온 패널화를 실현하고, 게다가 종래의 발광장치보다 비용을 감소시킬 수 있는 발광장치를 제공하는데 그 목적이 있다.

**과제 해결수단**

<8> 본 발명은, 비정질반도체막의 속에 결정립이 분산되도록 존재하고 있는 세미아모퍼스(semiamorphous) 반도체막을 사용하여, 박막트랜지스터(TFT)를 제조하고, 해당 TFT를 화소부 또는 구동회로에 사용하여 발광장치를 제조한다. 세미아모퍼스 반도체막을 사용한 TFT는, 그 이동도가  $2 \sim 10 \text{cm}^2/\text{Vsec}$ 와, 비정질반도체막을 사용한 TFT의

이동도보다 2~20배의 이동도를 가지고 있기 때문에, 구동회로의 일부 또는 전체를, 화소부와 같은 기관상에 일체로 형성할 수 있다.

<9> 그리고 세미아모퍼스 반도체막(미결정 반도체막)은, 다결정반도체막과 다르고, 세미아모퍼스 반도체막으로서 직접 기관상에 막형성할 수 있다. 구체적으로는, SiH<sub>4</sub>를 유량비 2~1000배, 바람직하게는 10~100배로 희석하여, 플라즈마 CVD 법을 사용하여 막형성할 수 있다. 상기 방법을 사용하여 제조된 세미아모퍼스 반도체막은, 0.5nm~20nm의 결정립을 비정질반도체중에 포함하는 미결정 반도체막도 포함하고 있다. 따라서, 다결정반도체막을 사용하는 경우와 달리, 반도체막의 막형성후에 결정화의 공정이 필요하지 않다. 그리고, 레이저광을 사용한 결정화와 같이, 레이저빔의 장축의 길이에 한계가 있기 때문에, 기관의 치수에 제한이 생기지 않는다. 또한, TFT 제조에 있어서의 공정수를 삭감할 수 있어, 그 만큼 발광장치의 수율을 높여, 비용을 감소시킬 수 있다.

<10> 이때, 본 발명에서는, 세미아모퍼스 반도체막을 적어도 채널형성영역에 사용하여도 된다. 또한 채널형성영역은, 그 막두께 방향에서 전체적으로 세미아모퍼스 반도체일 필요는 없고, 적어도 일부에 세미아모퍼스 반도체를 포함하여도 된다.

<11> 또한, 발광장치는, 발광소자가 밀봉된 상태에 있는 패널과, 해당 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 본 발명은, 해당 발광장치를 제조하는 과정에서의, 발광소자가 완성되기 전의 일 실시예에 해당하는 소자 기관에 관한 것으로, 해당 소자기관은, 전류를 발광소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자기관은, 구체적으로는, 발광소자의 화소전극만이 형성된 상태이더라도 되거나, 또는 화소전극이 되는 도전막을 막형성한 후에, 패터닝하여 화소전극을 형성하기 전의 상태이더라도 되는, 모든 형태가 적합하다.

<12> 발광소자의 하나인 OLED(Organic Light Emitting Diode)은, 전류를 가할 때 루미네센스를 발생하는 (Electroluminescence) 전계발광재료를 포함하는 층(이하, 전계발광층이라고 함)과, 양극층과, 음극층을 가지고 있다. 전계발광층은 양극과, 음극의 사이에 설치되어 있고, 단층 또는 적층층으로 구성되어 있다. 구체적으로는, 정공주입층, 정공수송층, 발광층, 전자주입층, 전자수송층 등이 전계발광층에 포함된다. 전계발광층을 구성하는 층의 속에, 무기화합물을 함유하고 있는 경우도 있다. 전계발광층에서의 루미네센스에는, 단일항 여기상태로부터 기저상태로 되돌아갈 때의 발광(형광)과 3중항 여기상태로부터 기저상태로 되돌아갈 때의 발광(인광)이 포함된다.

**효 과**

<13> 본 발명은, 막형성된 반도체막의 결정화 공정을 줄일 수 있어, TFT의 공정을 복잡화시키지 않고, 발광장치의 시스템 온 패널화를 실현할 수 있다.

<14> 이하, 이들 발명내용과, 본 발명의 다른 목적, 특징 및 이점을 첨부된 도면을 참조하여 다음의 설명으로부터 명백해질 것이다.

**발명의 실시를 위한 구체적인 내용**

<15> 이하, 본 발명의 발광장치에 사용된 TFT의 구성에 관해서 설명한다. 도 1에, 구동회로에 사용되는 TFT의 단면도와, 화소부에 사용되는 TFT의 단면도를 나타낸다. 도면부호 101은 구동회로에 사용되는 TFT의 단면도에 해당하고, 102는 화소부에 사용되는 TFT 단면도에 해당하며, 103은 해당 TFT 102에 의해서 전류가 공급되는 발광소자의 단면도에 해당한다. TFT 102, 103 모두는 역스태거형(보텀 게이트형) TFT이다. 또 세미아모퍼스 TFT는 p형보다도 n형쪽이, 이동도가 높기 때문에 구동회로에 사용하는 데 보다 적합하지만, 본 발명에서는 TFT는 n형이더라도 p형이더라도 어느 쪽이더라도 된다. 어느 쪽 극성의 TFT를 사용하는 경우라도, 동일한 기관상에 형성하는 TFT를 모두 같은 극성으로 맞추어 놓은 것이, 공정수를 억제하기 위해서도 바람직하다.

<16> 구동회로의 TFT 101은, 기관(100)상에 형성된 게이트전극(110)과, 게이트전극(110)을 덮고 있는 게이트절연막(111)과, 게이트절연막(111)을 사이에 삽입하여 게이트전극(110)과 겹쳐 있다, 세미아모퍼스 반도체막으로 형성된 제 1 반도체막(112)을 가지고 있다. 또한, TFT 101은, 소스영역 또는 드레인영역으로서 기능하는 한 쌍의 제 2 반도체막(113)과, 제 1 반도체막(112)과 제 2 반도체막(113)의 사이에 설치된 제 3 반도체막(114)을 가지고 있다.

<17> 도 1에서는, 게이트절연막(111)이 2층의 절연막으로 형성되어 있지만, 본 발명은 이 구성에 한정되지 않는다. 게이트절연막(111)이 단층 또는 3층 이상의 절연막으로 형성되어도 된다.

- <18> 또한, 제 2 반도체막(113)은, 비정질 반도체막 또는 세미아모퍼스 반도체막으로 형성되어 있고, 해당 반도체막에 일 도전형을 부여하는 불순물이 도핑되어 있다. 그리고, 한 쌍의 제 2 반도체막(113)은, 제 1 반도체막(112)의 채널이 형성되는 영역을 통해 서로 마주 보고 있다.
- <19> 또한, 제 3 반도체막(114)은, 비정질 반도체막 또는 세미아모퍼스 반도체막으로 형성되어 있고, 제 2 반도체막(113)과 같은 도전형을 갖고, 게다가 제 2 반도체막(113)보다도 도전성이 낮게 되는 특성을 가지고 있다. 제 3 반도체막(114)은 LDD 영역으로서 기능하기 때문에, 드레인영역으로서 기능하는 제 2 반도체막(113)의 단부에 집중하는 전계를 완화하여, 핫캐리어 효과를 막을 수 있다. 제 3 반도체막(114)은 반드시 설치할 필요는 없지만, 설치함으로써 TFT의 내압성을 높여, 신뢰성을 향상시킬 수 있다. 이때, TFT 101가 n형인 경우, 제 3 반도체막(114)을 형성할 때에 특히 n형을 부여하는 불순물을 도핑하지 않고도, n형의 도전형을 얻을 수 있다. 따라서, TFT 101이 n형일 경우, 반드시 제 3 반도체막(114)에 n형의 불순물을 도핑할 필요는 없다. 그러나, 채널이 형성되는 제 1 반도체막에는, p형의 도전성을 부여하는 불순물을 도핑하고, 극히 I형에 가깝도록 그 도전형을 제어해 둔다.
- <20> 또한, 한 쌍의 제 3 반도체막(114)에 접하도록, 배선(115)이 형성되어 있다.
- <21> 구동회로의 TFT 102는, 기관(100)상에 형성된 게이트전극(120)과, 게이트전극(120)을 덮고 있는 게이트절연막(111)과, 게이트절연막(111)을 통해 게이트전극(120)과 겹쳐 있는 세미아모퍼스 반도체막으로 형성된 제 1 반도체막(122)을 가지고 있다. 또한, TFT 102는, 소스영역 또는 드레인영역으로서 기능하는 한 쌍의 제 2 반도체막(123)과, 제 1 반도체막(122)과 제 2 반도체막(123)의 사이에 형성된 제 3 반도체막(124)을 가지고 있다.
- <22> 또한 제 2 반도체막(123)은, 비정질반도체막 또는 세미아모퍼스 반도체막으로 형성되어 있고, 해당 반도체막에 일 도전형을 부여하는 불순물이 도핑되어 있다. 그리고 한 쌍의 제 2 반도체막(123)은, 제 1 반도체막(122)의 채널이 형성되는 영역을 통해 서로 대향하고 있다.
- <23> 또한 제 3 반도체막(124)은, 비정질반도체막 또는 세미아모퍼스 반도체막으로 형성되어 있고, 제 2 반도체막(123)과 같은 도전형을 갖고, 게다가 제 2 반도체막(123)보다도 도전성이 낮게 되는 특성을 가지고 있다. 제 3 반도체막(124)은 LDD 영역으로서 기능하기 때문에, 드레인영역으로서 기능하는 제 2 반도체막(123)의 단부에 집중하는 전계를 완화하여, 핫캐리어 효과를 막을 수 있다. 제 3 반도체막(124)은 반드시 설치할 필요는 없지만, 설치함으로써 TFT의 내압성을 높여, 신뢰성을 향상시킬 수 있다. 이때, TFT 102가 n형인 경우, 제 3 반도체막(124)을 형성할 때에 특히 n형을 부여하는 불순물을 도핑하지 않고도, n형의 도전형을 얻을 수 있다. 따라서, TFT 102가 n형일 경우, 반드시 제 3 반도체막(124)에 n형의 불순물을 도핑할 필요는 없다. 그러나, 채널이 형성되는 제 1 반도체막에는, p형의 도전성을 부여하는 불순물을 도핑하고, 극히 I형에 가깝도록 그 도전형을 제어해 둔다.
- <24> 또한, 한 쌍의 제 3 반도체막(124)에 접하도록 배선(125)이 형성되어 있다.
- <25> 또한, TFT 101, 102 및 배선 115, 125를 덮도록, 절연막으로 이루어진 제 1 패시베이션막(140) 및 제 2 패시베이션막(141)이 형성되어 있다. TFT 101, 102를 덮는 패시베이션막은, 2층에 한하지 않고, 단층이어도 되고, 3층 이상의 적층이어도 된다. 예를 들면, 제 1 패시베이션막(140)을 질화실리콘, 제 2 패시베이션막(141)을 산화실리콘으로 형성할 수 있다. 질화실리콘 또는 질화산화실리콘으로 패시베이션막을 형성함으로써, TFT 101, 102가 수분 또는 산소로 인해 열화하는 것을 막을 수 있다.
- <26> 그리고, 배선(125)의 한쪽의 엣지는, 발광소자(103)의 화소전극(130)에 접속되어 있다. 또한 화소전극(130)상에 전계발광층(131)이 형성된다. 해당 전계발광층(131)에 대향전극(132)이 형성되어 있다. 또한, 발광소자(103)는 양극과 음극을 가지고 있지만, 어느 한쪽을 화소전극, 다른쪽을 대향전극으로서 사용한다.
- <27> 본 발명에서는, 채널형성영역을 포함하고 있는 제 3 반도체막이, 세미아모퍼스 반도체로 형성되어 있기 때문에, 비정질반도체막을 사용한 TFT와 비교하여 높은 이동도의 TFT를 얻을 수 있고, 따라서 구동회로와 화소부를 동일한 한 기관에 형성할 수 있다.
- <28> 다음에, 본 발명의 발광장치가 갖는 화소의 구성에 관해서 설명한다. 도 2a에는 화소의 회로도의 일 실시예를, 도 2b에는 도 2a에 대응하는 화소의 단면구조의 일 실시예를 나타낸다.
- <29> 도 2a 및 도 2b에서, 도면부호 201은 화소에의 비디오신호의 입력을 제어하기 위한 스위칭용 TFT에 해당하고, 202는 발광소자(203)에의 전류의 공급을 제어하기 위한 구동용 TFT에 해당한다. 구체적으로는, 스위칭용 TFT 201을 통해 화소에, 입력된 비디오신호의 전위에 따라서, 구동용 TFT 202의 드레인전류가 제어되어, 해당 드레

인전류가 발광소자(203)에 공급된다. 또한, 도면부호 204는, 스위칭용 TFT 201이 오프(OFF)시에 구동용 TFT의 게이트와 소스간 전압(이하, 게이트전압)을 유지하기 위한 용량소자에 해당하고, 반드시 설치할 필요는 없다.

- <30> 구체적으로는, 스위칭용 TFT 201은, 게이트전극이 주사선 G에 접속되고, 소스영역과 드레인영역이, 한쪽은 신호선 S에 다른쪽은 구동용 TFT 202의 게이트에 접속되어 있다. 또한, 구동용 TFT 202의 소스영역과 드레인영역은, 한쪽이 전원선 V에, 다른쪽이 발광소자(203)의 화소전극(205)에 접속되어 있다. 용량소자(204)가 갖는 2개의 전극은, 한쪽이 구동용 TFT 202의 게이트전극에, 다른쪽이 전원선 V에 접속되어 있다.
- <31> 또한, 도 2a 및 도 2b에서는, 스위칭용 TFT 201이 직렬로 접속되고, 게다가 게이트전극이 접속된 복수의 TFT가, 제 1 반도체막을 공유하고 있는 구성을 가진 멀티게이트구조로 되어 있다. 멀티게이트구조로 함으로써, 스위칭용 TFT 201의 오프전류를 감소시킬 수 있다. 구체적으로, 도 2a 및 도 2b에서는 스위칭용 TFT 201이 2개의 TFT가 직렬로 접속된 구성을 가지고 있지만, 3개 이상의 TFT가 직렬로 접속되고, 게다가 게이트전극이 접속된 멀티게이트구조이어도 된다. 또한, 스위칭용 TFT는, 반드시 멀티게이트구조일 필요는 없고, 게이트전극과 채널형성영역이 단수인 통상의 싱글 게이트구조의 TFT이어도 된다.
- <32> 다음에, 본 발명의 발광장치가 갖는 TFT의 일 실시예는, 도 1, 도 2a 및 도 2b와는 다르다. 도 3에는, 구동회로에 사용되는 TFT의 단면도와, 화소부에 사용되는 TFT의 단면도를 나타낸다. 도면부호 301은 구동회로에 사용되는 TFT의 단면도에 해당하고, 302는 화소부에 사용되는 TFT와, 해당 TFT 302에 의해서 전류가 공급되는 발광소자(303)의 단면도에 해당한다.
- <33> 구동회로의 TFT 301과 화소부의 TFT 302는, 기판(300) 상에 형성된 게이트전극(310,320)과, 게이트전극(310,320)을 덮고 있는 게이트절연막(311)과, 게이트절연막(311)을 거쳐서 게이트전극(310,320)과 겹쳐 있다. 세미아모퍼스 반도체막으로 형성된 제 1 반도체막(312,322)을 각각 가지고 있다. 그리고, 제 1 반도체막(312,322)의 채널형성영역을 덮도록, 절연막으로 형성된 채널보호막(330,331)이 형성되어 있다. 채널보호막(330,331)은, TFT(301,302)의 제조공정에서, 반도체막(312,322)의 채널형성영역이 식각되어 버리는 것을 막기 위해서 설치한다. 또한, TFT 301,302는, 소스영역 또는 드레인영역으로서 기능하는 한 쌍의 제 2 반도체막(313,323)과, 제 1 반도체막(312)과 제 2 반도체막(313)의 사이에 설치된 제 3 반도체막(314,324)을 각각 가지고 있다.
- <34> 도 3에서는, 게이트절연막(311)이 2층의 절연막으로 형성되어 있지만, 본 발명은 이 구성에 한정되지 않는다. 게이트절연막(311)이 단층 또는 3층 이상의 절연막으로 형성되어도 된다.
- <35> 또한, 제 2 반도체막(313,323)은, 비정질반도체막 또는 세미아모퍼스 반도체막으로 형성되어 있고, 이 반도체막(313,323)에 일 도전형을 부여하는 불순물이 도핑되어 있다. 그리고, 한 쌍의 제 2 반도체막(313,323)은, 채널이 형성되는 영역을 통해 서로 마주 보고 있다.
- <36> 또한, 제 3 반도체막(314,324)은, 비정질반도체막 또는 세미아모퍼스 반도체막으로 형성되어 있고, 제 2 반도체막(313,323)과 같은 도전형을 갖고, 게다가 제 2 반도체막(313,323)보다도 도전성이 낮게 되는 특성을 가지고 있다. 제 3 반도체막(314,324)은 LDD 영역으로서 기능하기 때문에, 드레인영역으로서 기능하는 제 2 반도체막(313,323)의 단부에 집중하는 전계를 완화하여, 핫캐리어 효과를 막을 수 있다. 제 3 반도체막(314,324)은 반드시 설치할 필요는 없지만, 설치함으로써 TFT의 내압성을 높여, 신뢰성을 향상시킬 수 있다. 이때, TFT 301,302가 n형인 경우, 제 3 반도체막(314,324)을 형성할 때에 특히 n형을 부여하는 불순물을 도핑하지 않고도, n형의 도전형을 얻을 수 있다. 따라서, TFT 301,302가 n형일 경우, 반드시 제 3 반도체막(314,324)에 n형의 불순물을 도핑할 필요는 없다. 그러나, 채널이 형성된 제 1 반도체막에는, p형의 도전성을 부여하는 불순물을 도핑하여, 극히 I형에 가깝도록 그 도전형을 제어해 둔다.
- <37> 또한, 한 쌍의 제 3 반도체막(314,324)에 접하도록, 배선(315,325)이 각각 형성되어 있다.
- <38> 또한, TFT 301,302 및 배선(315,325)을 덮도록, 절연막으로 이루어진 제 1 패시베이션막(340) 및 제 2 패시베이션막(341)이 형성되어 있다. TFT 301,302를 덮는 패시베이션막은 2층에 한하지 않고, 단층이어도 되고, 3층 이상이어도 된다. 예를 들면, 제 1 패시베이션막(340)을 질화실리콘, 제 2 패시베이션막(341)을 산화실리콘으로 형성할 수 있다. 질화실리콘 또는 질화산화실리콘으로 패시베이션막을 형성함으로써, TFT 301,302가 수분 또는 산소로 인해 열화하는 것을 막을 수 있다.
- <39> 그리고, 배선(325)의 한쪽의 엣지는, 발광소자(303)의 화소전극(330)에 접속되어 있다. 또한, 화소전극(330)상에 전계발광층(331)이 형성되고, 그 전계발광층(331) 상에 대향전극(332)이 형성되어 있다. 또한, 발광소자(303)는 양극과 음극을 가지고 있지만, 어느 한쪽을 화소전극, 다른쪽을 대향전극으로서 사용한다.

- <40> 다음에, 본 발명의 발광장치에 사용되는 소자기관의 구성을 나타낸다.
- <41> 도 4에, 신호선 구동회로(6013)만을 별도로 형성하고, 기관(6011)상에 형성된 화소부(6012)와 접속하고 있는 소자기관의 형태를 나타낸다. 화소부(6012) 및 주사선 구동회로(6014)는, 세미아모퍼스 TFT를 사용하여 형성한다. 세미아모퍼스TFT보다도 높은 이동도를 얻을 수 있는 트랜지스터로 신호선 구동회로를 형성함으로써, 주사선 구동회로보다도 높은 구동 주파수가 요구되는 신호선 구동회로의 동작을 안정시킬 수 있다. 이때, 신호선 구동회로(6013)는, 단결정 반도체를 사용한 트랜지스터, 다결정의 반도체를 사용한 TFT, 또는 SOI를 사용한 트랜지스터이어도 된다. 화소부(6012)와, 신호선 구동회로(6013)와, 주사선 구동회로(6014)와, 각각 전원의 전위, 각종 신호 등이, FPC(6015)를 통해 공급된다.
- <42> 이때, 신호선 구동회로 및 주사선 구동회로를, 함께 화소부와 같은 기관상에 형성하여도 된다.
- <43> 또한, 구동회로를 별도로 형성하는 경우, 반드시 구동회로가 형성된 기관을, 화소부가 형성된 기관상에 접촉할 필요는 없고, 예를 들면 FPC 상에 접촉하도록 하여도 된다. 도 5a에, 신호선 구동회로(6023)만을 별도로 형성하고, 기관(6021) 상에 형성된 화소부(6022) 및 주사선 구동회로(6024)와 접속하고 있는 소자기관의 형태를 나타낸다. 화소부(6022) 및 주사선 구동회로(6024)는, 세미아모퍼스 TFT를 사용하여 형성한다. 신호선 구동회로(6023)는, FPC(6025)를 통해 화소부(6022)와 접속되어 있다. 화소부(6022)와, 신호선 구동회로(6023)와, 주사선 구동회로(6024)와, 각각 전원의 전위, 각종 신호 등이, FPC(6025)를 통해서 공급된다.
- <44> 또한, 신호선 구동회로의 일부 또는 주사선 구동회로의 일부만을, 세미아모퍼스 TFT를 사용하여 화소부와 같은 기관 상에 형성하고, 나머지를 별도로 형성하여 화소부와 전기적으로 접속하도록 하여도 된다. 도 5b에, 신호선 구동회로가 갖는 아날로그 스위치(6033a)를, 화소부(6032), 주사선 구동회로(6034)와 같은 기관(6031)상에 형성하고, 신호선 구동회로가 갖는 시프트 레지스터(6033b)를 별도로 다른 기관에 형성하여 접촉한 소자기관의 형태를, 도 5b에 나타낸다. 화소부(6032) 및 주사선 구동회로(6034)는, 세미아모퍼스 TFT를 사용하여 형성한다. 신호선 구동회로가 갖는 시프트 레지스터(6033b)는, FPC(6035)를 통해 화소부(6032)와 접속되어 있다. 화소부(6032)와, 신호선 구동회로(6033)와, 주사선 구동회로(6034)와, 각각 전원의 전위, 각종 신호 등이, FPC(6035)를 통해 공급된다.
- <45> 도 4 및 도 5a, 도 5b에 나타낸 바와 같이, 본 발명의 발광장치는, 구동회로의 일부 또는 전부를, 화소부와 같은 기관상에, 세미아모퍼스 TFT를 사용하여 형성할 수 있다.
- <46> 이때, 별도로 형성한 기관의 접속방법은, 특별히 한정되는 것이 아니라, 공지의 COG 방법, 와이어 본딩방법, 혹은 TAB 방법 등을 사용할 수 있다. 또한, 접속하는 위치는, 전기적인 접속이 가능하면, 도 6에 나타낸 위치로 한정되지 않는다. 또한, 컨트롤러, CPU, 메모리 등을 별도로 형성하여 접속하도록 하여도 된다.
- <47> 이때, 본 발명에서 사용하는 신호선 구동회로는, 시프트 레지스터와 아날로그 스위치만을 갖는 형태에 한정되지 않는다. 시프트 레지스터와 아날로그 스위치와 아울러, 버퍼, 레벨시프터, 소스 폴로워 등, 다른 회로를 가지고 있어도 된다. 또한, 시프트 레지스터와 아날로그 스위치는 반드시 설치할 필요는 없고, 예를 들면 시프트 레지스터 대신에 디코더회로와 같은 신호선을 선택할 수 있는 별도의 회로를 사용하여도 되고, 아날로그 스위치 대신에 래치 등을 사용하여도 된다.
- <48> 도 6a에 본 발명의 발광장치의 블록도를 나타낸다. 도 6a에 나타낸 발광장치는, 발광소자를 구비한 복수의 화소를 갖는 화소부(701)와, 각 화소를 선택하는 주사선 구동회로(702)와, 선택된 화소에의 비디오신호의 입력을 제어하는 신호선 구동회로(703)를 갖는다.
- <49> 도 6a에 있어서 신호선 구동회로(703)는, 시프트 레지스터(704) 및 아날로그 스위치(705)를 가지고 있다. 시프트 레지스터(704)에는, 클럭신호(CLK), 스타트 펄스신호(SP)가 입력되어 있다. 클럭신호(CLK)와 스타트 펄스신호(SP)가 입력되면, 시프트 레지스터(704)에서 타이밍신호가 생성되어, 아날로그 스위치(705)에 입력된다.
- <50> 또한, 아날로그 스위치(705)에는, 비디오신호(video signal)가 공급된다. 아날로그 스위치(705)는 입력된 타이밍신호에 따라서 비디오신호를 샘플링하여, 후단의 신호선에 공급한다
- <51> 다음에, 주사선 구동회로(702)의 구성에 관해서 설명한다. 주사선 구동회로(702)는, 시프트 레지스터(706) 및 버퍼(707)를 가지고 있다. 또한, 경우에 따라서는, 주사선 구동회로(702)는, 레벨시프터를 가지고 있어도 된다. 주사선 구동회로(702)에 있어서, 시프트 레지스터(706)에 클럭신호(CLK) 및 스타트 펄스신호(SP)가 입력됨으로써, 선택신호가 생성된다. 그 생성된 선택신호는, 버퍼(707)에서 완충 증폭되어, 대응하는 주사선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트가 접속되어 있다. 그리고, 1라인분의 화소의 트랜지스터를



일제히 ON으로 하지 않고서는 안되기 때문에, 버퍼(707)는 큰 전류를 흘리는 것이 가능한 것이 사용된다.

- <52> 풀칼라의 발광장치에서, R(빨강), G(초록), B(파랑)에 대응하는 비디오신호를, 순차로 샘플링하여 대응하는 신호선에 공급하고 있는 경우, 시프트 레지스터(704)와 아날로그 스위치(705)를 접속하기 위한 단자수가, 아날로그 스위치(705)와 화소부(701)의 신호선을 접속하기 위한 단자수의 1/3정도에 해당한다. 따라서, 아날로그 스위치(705)를 화소부(701)와 같은 기관상에 형성함으로써, 아날로그 스위치(705)를 화소부(701)와 다른 기관상에 형성한 경우와 비교하여, 별도로 형성한 기관의 접속에 사용하는 단자의 수를 감소시킬 수 있어, 접속불량의 발생확률을 억제하고, 수율을 높일 수 있다.
- <53> 도 6b에, 도 6a와는 다른 본 발명의 발광장치의 블록도를 나타낸다. 도 6b에서, 신호선 구동회로(713)는, 시프트 레지스터(714), 래치 A(715), 래치 B(716)를 가지고 있다. 주사선 구동회로(712)는, 도 6a의 경우와 같은 구성을 가지고 있는 것으로 한다.
- <54> 시프트 레지스터(714)에는, 클럭신호(CLK) 및 스타트 펄스신호(SP)가 입력되어 있다. 클럭신호(CLK)와 스타트 펄스신호(SP)가 입력되면, 시프트 레지스터(714)에서 타이밍신호가 생성되어, 첫 번째 단의 래치 A(715)에 순차로 입력된다. 래치 A(715)에 타이밍신호가 입력되면, 그 타이밍신호에 동기하여, 비디오신호가 순차로 래치 A(715)에 기록되어 유지된다. 이때, 도 6b에서는 래치 A(715)에 순차로 비디오신호를 기록하고 있다고 가정하지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 스테이지의 래치 A(715)를 몇 개의 그룹으로 나눠, 각 그룹마다 병행되어 비디오신호를 입력하는, 소위 분할구동을 행하여도 된다. 또 이때의 그룹의 수를 분할수라고 부른다. 예를 들면, 4개의 스테이지마다 래치를 그룹으로 나눈 경우, 4분할로 분할구동한다고 한다.
- <55> 래치 A(715)의 모든 스테이지의 래치로의 비디오신호의 기록이 종료하는데 필요한 시간을, 라인기간이라고 부른다. 실제로는, 상기 라인기간에 수평귀선기간이 추가된 기간을 라인기간에 포함하는 경우가 있다.
- <56> 1라인기간이 종료하면, 2번째 단의 래치 B(716)에 래치신호(Latch Signal)가 공급되어, 해당 래치신호에 동기하여 래치 A(715)에 유지되어 있는 비디오신호가, 래치 B(716)에 일제히 기록되어 유지된다. 비디오신호를 래치 B(716)에 송출 종료한 래치 A(715)에는, 다시 시프트 레지스터(714)로부터의 타이밍신호에 동기하여, 다음 비디오신호의 기록이 순차로 행해진다. 이 2순번재의 1라인기간중에는, 래치 B(716)에 기록되어, 유지되어 있는 비디오신호가 신호선에 입력된다.
- <57> 이때, 도 6a 및 도 6b에 나타난 구성은, 본 발명의 발광장치의 일 실시예를 나타낸 것에 지나지 않고, 신호선 구동회로와 주사선 구동회로의 구성은 도 6a 및 도 6b에 도시된 것으로 한정되지 않는다.
- <58> 다음에, 본 발명의 발광장치의 구체적인 제조방법에 관해서 설명한다.
- <59> 기관(10)은 유리 또는 석영 등의 그 외에, 플라스틱 재료를 사용할 수 있다. 또한, 기관(10)은, 스테인레스, 알루미늄 등의 금속재료 위에 절연막을 형성한 것을 사용하여도 된다. 이 기관(10)상에 게이트전극 및 게이트배선(주사선)을 형성하기 위한 도전막(11)을 형성한다. 제 1 도전막(11)에는 크롬, 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄 등의 금속재료 또는 그의 합금재료를 사용한다.(도 7a)
- <60> 제 1 도전막(11)을 식각가공하여 게이트전극(12,13)을 형성한다. 게이트전극 상에는 제 1 반도체막이나 배선층을 형성하기 때문에, 그 단부가 테이퍼형이 되도록 가공하는 것이 바람직하다. 또한, 도전막(11)을, 알루미늄을 주성분으로 하는 재료로 형성하는 경우에는, 식각가공 후에 양극 산화처리 등을 하여 표면을 절연화해 두어도 된다. 또한, (도시하지 않은) 공정에서 게이트전극에 접속하는 배선도 동시에 형성할 수 있다.(도 7b)
- <61> 제 1 절연막(14)과 제 2 절연막(15)은, 게이트전극(12,13)의 상층에 형성함으로써, 게이트절연막으로서 기능시킬 수 있다. 이 경우, 제 1 절연막(14)으로서 산화실리콘막을, 제 2 절연막(15)으로서 질화실리콘막을 형성하는 것이 바람직하다. 이것들의 절연막은 글로방전 분해법이나 스퍼터링법으로 형성할 수 있다. 특히, 낮은 막형성 온도에서 게이트 누설전류가 적은 치밀한 절연막을 형성하기 위해서는, 아르곤 등의 희가스원소를 반응가스에 포함시켜, 형성된 절연막 중에 혼입시켜도 된다.
- <62> 그리고, 이러한 제 1 및 제 2 절연막상에, 제 1 반도체막(16)을 형성한다. 제 1 반도체막(16)은, 비정질과 결정 구조(단결정, 다결정을 포함한다)의 중간 구조의 반도체를 포함하는 막으로 형성한다. 이 반도체는, 자유 에너지적으로 안정한 제 3 상태를 갖는 반도체이고, 단거리 질서를 갖고 격자왜곡을 갖는 결정질인 것으로, 그 입경을 0.5~20nm으로 하여서 비단결정 반도체중에 분산시켜 존재시키는 것이 가능하다. 또한, 미결합수(덴글링 본드)의 중화제로서 수소 또는 할로젠을 적어도 1원자% 또는 그 이상 함유하게 하고 있다. 여기서는, 편의상, 이러한 반도체를 세미아모퍼스 반도체(SAS)라고 부른다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희가스원소를 함

유하여 격자왜곡을 더욱 촉진시킴으로써 안정성이 늘어 양호한 SAS 를 얻을 수 있다. 이러한 SAS 반도체에 관한 기술은, 예를 들면, 미국특허4,409,134호에 개시되어 있다.(도 7c)

<63> 이 SAS는 규화물 기체를 글로방전(glow discharge) 분해하여 얻을 수 있다. 대표적인 규화물 기체로서는, SiH<sub>4</sub>이며, 그 외에도 Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 사용할 수 있다. 이 규화물 기체를 수소, 수소와 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 일종 또는 복수종의 희가스원소로 희석하여 사용함으로써 SAS를 용이하게 형성할 수 있다. 희석율은 10배~1000배의 범위에서 규화물 기체를 희석하는 것이 바람직하다. 물론, 글로방전분해에 의한 피막의 반응생성은 감압하에서 행하지만, 압력은 개략 0.1 Pa~133 Pa의 범위에서 행하면 된다. 글로방전을 형성하기 위한 전력은, 1 MHz~120 MHz, 바람직하게는 13 MHz~60 MHz의 고주파전력을 공급하면 된다. 기판가열온도는 300℃ 이하가 바람직하고, 100~200℃의 기판가열온도가 더욱 바람직하다.

<64> 또한, 규화물 기체중에, CH<sub>4</sub>, C<sub>2</sub>H<sub>6</sub>등의 탄화물기체, GeH<sub>4</sub>, GeF<sub>4</sub> 등의 게르마늄화 기체를 혼입시키고, 에너지 밴드폭을 1.5~2.4eV, 또는 0.9~1.1eV로 조절하여도 된다.

<65> 또한, SAS는, 가전자 제어를 목적으로 한 불순물원소를 의도적으로 도핑하지 않을 때에 약한 n형의 전기전도성을 나타내기 때문에, TFT의 채널형성영역을 설치하는 제 1 반도체막에 대해서는, p형을 부여하는 불순물원소를, 이 막형성과 함께, 혹은 막형성후에 도핑함으로써, 한계치 제어를 하는 것이 가능해진다. p형을 부여하는 불순물 원소로서는, 대표적으로는 비소이며, B<sub>2</sub>H<sub>6</sub>, BF<sub>3</sub> 등의 불순물기체를 1ppm~1000ppm의 비율로 규화물 기체에 혼입시켜도 된다. 그리고, 붕소의 농도를, 예를 들면,  $1 \times 10^{14} \sim 6 \times 10^{16}$  atoms/cm<sup>3</sup>로 하여도 된다.

<66> 다음에, 도 8a에 나타낸 바와 같이, 제 2 반도체막(17)을 형성한다. 제 2 반도체막(17)은, 가전자제어를 목적으로 한 불순물원소를 의도적으로 도핑하지 않고 형성한 것으로, 제 1 반도체막(16)과 마찬가지로 SAS로 형성하는 것이 바람직하다. 이 제 2 반도체막(17)은, 소스 및 드레인을 형성하는 일 도전형을 갖는 제 3 반도체막(18)과 제 1 반도체막(16)의 사이에 형성함으로써, 버퍼층적인 작용을 가지고 있다. 따라서, 약한 n형의 전기전도성을 갖고 제 1 반도체막(16)에 대하여, 동일 도전형으로 일 도전형을 갖는 제 3 반도체막(18)을 형성하는 경우에는 반드시 필요하지 않다. 한계치 제어를 하기 위해서, p형을 부여하는 불순물원소를 도핑하는 경우에는, 제 2 반도체막(17)은 단계적으로 불순물 농도를 변화시키는 효과를 갖고, 집합형성을 양호하게 하는 데에 있어서 바람직한 실시예가 된다. 즉, 형성된 TFT에서는, 채널형성영역과 소스 또는 드레인영역의 사이에 형성되는 저농도 불순물영역(LDD 영역)으로서의 기능을 갖게 하는 것이 가능해진다.

<67> 일 도전형을 갖는 제 3 반도체막(18)은 n채널형 TFT를 형성하는 경우에는, 대표적인 불순물원소로서 인을 도핑하면 되고, 규화물 기체에 PH<sub>3</sub> 등의 불순물기체를 가하면 된다. 일 도전형을 갖는 제 3 반도체막(18)은, 가전자 제어가 되어 있는 것을 제거하면, SAS와 같은 반도체, 비정질반도체, 또는 미결정반도체로 형성된 것이다.

<68> 이상, 제 1 절연막(14)으로부터 일 도전형을 갖는 제 3 반도체막(18)까지는 대기에 노출시키지 않고 형성하는 것이 가능하다. 따라서, 대기성분 또는 대기중에 부유하는 오염불 순물원소에 오염되지 않고 각 적층계면을 형성할 수 있기 때문에, TFT 특성의 격차를 감소할 수 있다.

<69> 다음에, 포토레지스트를 사용하여 마스크(19)를 형성하고, 제 1 반도체막(16), 제 2 반도체막(17), 일 도전형을 갖는 제 3 반도체막(18)을 식각하여 섬 형상으로 분리형성한다.(도 8b)

<70> 그 후, 소스 및 드레인에 접속하는 배선을 형성하기 위한 제 2 도전막(20)을 형성한다. 제 2 도전층(20)은 알루미늄, 또는 알루미늄을 주성분으로 하는 도전성재료로 형성하지만, 반도체막과 접하는 쪽의 층을 티타늄, 탄탈, 몰리브덴, 텅스텐, 구리 또는 이것들의 원소의 질화물로 형성한 적층구조로 하여도 된다. 예를 들면, 1번째층이 Ta이고 2번째층이 W, 1번째층이 TaN이고 2번째층이 Al, 1번째층이 TaN이고 2번째층이 Cu, 1번째층이 Ti이고 2번째층이 Al이고 3번째층이 Ti라고 한 조합도 생각할 수 있다. 또한 1번째층과 2번째층 중 어느 한쪽에 AgPdCu 합금을 사용하여도 된다. W, Al과 Si의 합금(Al-Si), TiN을 순차로 적층한 3층 구조로 하여도 된다. W 대신에 질화텅스텐을 사용하여도 되고, Al과 Si의 합금(Al-Si) 대신에 Al과 Ti의 합금막(Al-Ti막)을 사용하여도 되고, TiN 대신에 Ti를 사용하여도 된다. 알루미늄에는 내열성을 향상시키기 위해서 티타늄, 실리콘, 스칸듐, 네오븀, 구리 등의 원소를 0.5~5원자% 도핑시켜도 된다.(도 8c)

<71> 다음에, 마스크(21)를 형성한다. 마스크(21)는 소스 및 드레인과 접속하는 배선을 형성하기 위해서 패터닝된 마스크로, 동시에 일 도전형을 갖는 제 3 반도체막(18)을 제거하여 채널형성영역을 형성하기 위한 식각 마스크로서 병용되는 것이다. 알루미늄 또는 이것을 주성분으로 하는 도전막의 식각은 BCl<sub>3</sub>, Cl<sub>2</sub> 등의 염화물 기체를

사용하여 행하여도 된다. 이 식각가공으로 배선(23~26)을 형성한다. 또한, 채널형성영역을 형성하기 위한 식각에는 SF<sub>6</sub>, NF<sub>3</sub>, CF<sub>4</sub> 등의 플루오르화물 기체를 사용하여 식각을 행하지만, 이 경우에는 기저막이 되는 제 1 반도체막(16)과의 식각 선택비의 차이가 거의 없으므로, 처리시간을 적절히 조정하여 행하게 된다. 이상과 같이 하여, 채널 에치형 TFT의 구조를 형성할 수 있다.(도 9a)

<72> 다음에, 채널형성영역의 보호를 목적으로 한 제 3 절연막(27)을, 질화실리콘막으로 형성한다. 이 질화실리콘막은 스퍼터링법이나 글로방전분해법으로 형성가능하지만, 대기중에 부유하는 유기물, 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 치밀한 막이 요구된다. 따라서, 제 3 절연막(27)에 질화실리콘막을 사용함으로써, 제 1 반도체막(16)중의 산소농도를  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이하로 할 수 있다. 이 목적에서, 실리콘을 타겟으로 하여서, 질소와 아르곤 등의 희가스원소를 혼합시킨 스퍼터링 가스로 고주파 스퍼터링된 질화실리콘막에서, 막중의 희가스원소를 포함시킴으로써 치밀화가 촉진되게 된다. 또한, 글로방전분해법에서도, 규화물 기체를 아르곤 등의 규화물기체로 100배~500배로 희석하여 형성된 질화실리콘막은, 100℃ 이하의 저온에서도 치밀한 막을 형성가능 하여 바람직하다. 또한, 필요한 경우, 제 4 절연막(28)을 산화실리콘막으로 적층형성하여도 된다. 제 3 절연막(27)과 제 4 절연막(28)은 패시베이션막에 해당한다.

<73> 제 3 절연막(27) 및 제 4 절연막(28)상에는, 바람직한 형태로서 평탄화막인 제 5 절연막(29)을 형성한다. 평탄화막은, 아크릴, 폴리이미드, 폴리이미드 등의 유기수지, 또는 실록산계 재료를 출발재료로서 형성된 Si-O 결합과 Si-CH<sub>x</sub> 결합을 포함하는 절연막으로 형성하는 것이 바람직하다. 이것들의 재료는 함수성이 있는 것으로, 수분의 침입 및 방출을 막는 장벽막으로서 제 6 절연막(30)을 형성하는 것이 바람직하다. 제 6 절연막(30)에서는 상술한 바와 같이 질화실리콘막을 사용하여도 된다.(도 9b)

<74> 화소전극(31)은, 제 6 절연막(30), 제 5 절연막(29), 제 3 절연막(27) 및 제 4 절연막(28)에 콘택홀을 형성한 후에 형성한다.(도 9c)

<75> 이상과 같이 하여 형성된 채널에치형 TFT는, SAS로 채널형성영역을 구성함으로써 2~10cm<sup>2</sup>/Vsec의 전계 효과 이동도를 얻을 수 있다. 따라서, 이 TFT를 화소의 스위칭용 소자로서, 또한, 주사선(게이트선)측의 구동회로를 형성하는 소자로서 이용할 수 있다.

<76> 이러한, 화소의 스위칭소자와 주사선측의 구동회로를 동일 TFT에서 소자기관은, 게이트전극 형성용 마스크, 반도체영역 형성용 마스크, 배선형성용 마스크, 콘택홀 형성용 마스크, 화소전극 형성용 마스크의 합계 5장의 마스크로 형성할 수 있다.

<77> 도 9c에서는 화소의 TFT가 n형이기 때문에, 화소전극(31)으로서, 음극을 사용하는 것이 바람직하지만, 반대로 p형일 경우는 양극을 사용하는 것이 바람직하다. 구체적으로는, 일함수가 작은 공지의 재료, 예를 들면, Ca, Al, CaF, MgAg, AlLi 등을 사용할 수 있다.

<78> 다음에, 도 10a에 나타난 바와 같이, 제 6 절연막(30)상에, 유기수지막, 무기절연막 또는 유기폴리실록산을 사용하여 형성된 बैं크(33)를 형성한다. बैं크(33)는 개구부를 가지고 있고, 해당 개구부에서 화소전극(31)이 노출되어 있다. 다음에, 도 10b에 나타난 바와 같이, बैं크(33)의 개구부에서 화소전극(31)과 접하도록, 전계발광층(34)을 형성한다. 전계발광층(34)은, 단일층으로 구성되어도, 적층층이 적층되도록 구성되어도 어느쪽이나 좋다. 적층층으로 구성되어 있는 경우, 음극을 사용한 화소전극(31)상에, 전자주입층, 전자수송층, 발광층, 정공수송층, 정공주입층의 순차로 적층한다.

<79> 그리고, 전계발광층(34)을 덮도록, 양극을 사용한 대향전극(35)을 형성한다. 대향전극(35)은, ITO, IZO, ITSO 외에, 산화인듐에 2~20%의 산화아연(ZnO)을 혼합한 투명도전막을 사용할 수 있다. 대향전극(35)으로서 상기 투명도전막 외에, 질화티타늄막 또는 티타늄막을 사용하여도 된다. 대향전극(35)은, 그 표면이 평탄화되도록, CMP 법, 폴리비닐알콜계의 다공질체로 세정하여, 연마하여도 된다. 또한, CMP 법을 사용한 연마후에, 대향전극(35)의 표면에 UV 조사 또는 산소플라즈마처리를 행하여도 된다. 발광소자(36)는, 화소전극(31), 전계발광층(34) 및 대향전극(35)의 중첩으로 형성된다.

<80> 이때, 실제로는, 도 10b에 도시된 공정을 완료한 후, 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(라미네이트필름, 자외선경화수지 필름 등)이나 커버재로 패키징하는 것이 바람직하다.

<81> 이때, 도 7~도 10c는, 도 1에 나타난 구성을 갖는 TFT의 제조방법에 관해서 나타내었지만, 도 3에 나타난 구성을 갖는 TFT도 마찬가지로 제조할 수 있다. 그러나, 도 3에 나타난 TFT일 경우는, 게이트전극(310,320)에 중첩시켜, SAS로 형성된 제 1 반도체막(312,322)상에 채널보호막(330, 331)을 형성하는 점에서, 도 7a~도 10c와 다

르다.

- <82> 또한, 도 1과 도 3에서는, 제 3 절연막(제 1 패시베이션막) 및 제 4 절연막(제 2 패시베이션막)에 콘택홀을 형성한 후, 화소전극을 형성하여, 뱅크를 형성한 것이다. 뱅크는, 아크릴, 폴리이미드, 폴리아미드 등의 유기수지, 또는 실록산계 재료를 출발재료로서 형성된 Si-O 결합과 Si-CH<sub>x</sub> 결합을 포함하는 절연막으로 형성하면 좋고, 특히 감광성 재료를 사용하여, 화소전극상에 개구부를 형성하고, 그 개구부의 측벽은, 연속된 곡률반경을 갖는 경사면이 되도록 형성하는 것이 바람직하다.
- <83> [실시예 1]
- <84> 본 발명에서 사용할 수 있는 세미아모퍼스 TFT는, n형이나 p형이나 어느쪽이든 된다. 세미아모퍼스 TFT는 p형보다도 n형쪽이, 이동도가 높고, 발광장치의 화소에 사용하는 데 보다 적합하다. 본 예에서는, 구동용 TFT가 n형일 경우를 예로 들어, 화소의 단면구조에 관해서 설명한다.
- <85> 도 11b에, 구동용 TFT 7001이 n형으로, 발광소자(7002)로부터 발생하는 빛이 양극(7005)측으로 빠지는 경우의 화소의 단면도를 나타낸다. 도 11a 및 도 11b에서는, 발광소자(7002)의 음극(7003)과 구동용 TFT 7001이 전기적으로 접속되어 있고, 음극(7003)상에 전계발광층(7004) 및 양극(7005)이 순차로 적층되어 있다. 음극(7003)은 일함수가 작고, 게다가 빛을 반사하는 도전막이면 공지의 재료를 사용할 수 있다. 예를 들면, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 그리고, 전계발광층(7004)은, 단층으로 구성되어도, 적층층이 적층되도록 구성되어도 어느쪽이나 된다. 적층층으로 구성되어 있는 경우, 음극(7003)상에 전자주입층, 전자수송층, 발광층, 정공수송층, 정공주입층의 순차로 적층한다. 양극(7005)은 빛을 투과하는 투명도전막을 사용하여 형성하고, 예를 들면 ITO, IZO 또는 ITSO 외에, 산화인듐에 2~20%의 산화아연(ZnO)을 혼합한 투명도전막을 사용할 수 있다.
- <86> 음극(7003), 전계발광층(7004) 및 양극(7005)의 중첩영역이 발광소자(7002)에 해당한다. 도 11b에 나타낸 화소의 경우, 발광소자(7002)로부터 발생하는 빛은, 아웃라인 화살표로 나타낸 바와 같이 양극(7005)측으로 빠진다.
- <87> 도 11d에, 구동용 TFT 7011이 n형으로, 발광소자(7012)로부터 발생하는 빛이 음극(7013)측으로 빠지는 경우의 화소의 단면도를 나타낸다. 도 11c 및 도 11d에서는, 구동용 TFT 7011과 전기적으로 접속된 투명도전막(7017)상에, 발광소자(7012)의 음극(7013)이 막형성되어 있고, 음극(7013)상에 전계발광층(7014), 양극(7015)이 순차로 적층되어 있다. 그리고, 양극(7015)을 덮도록 빛을 반사 또는 차폐하기 위한 차폐막(7016)이 막형성되어 있다. 음극(7013)은, 도 11a 및 도 11b의 경우와 마찬가지로, 일함수가 작은 도전막이면 공지의 재료를 사용할 수 있다. 그러나, 그 막두께는, 빛을 투과하는 정도(바람직하게는, 5nm~30nm 정도)로 한다. 예를 들면, 20nm의 막두께를 갖는 Al을, 음극(7013)으로서 사용할 수 있다. 그리고, 전계발광층(7014)은, 도 11a 및 도 11b의 경우와 마찬가지로, 단층으로 구성되어도, 적층층이 적층되도록 구성되어도 어느쪽이나 된다. 양극(7015)은 빛을 투과할 필요는 없지만, 도 11a과 마찬가지로, 투명도전막을 사용하여 형성할 수 있다. 그리고, 차폐막(7016)은, 예를 들면 빛을 반사하는 금속 등을 사용할 수 있지만, 금속막으로 한정되지 않는다. 예를 들면, 흑색 안료를 첨가한 수지 등을 사용할 수도 있다.
- <88> 음극(7013)과, 전계발광층(7014)과, 양극(7015)이 겹쳐 있는 부분이 발광소자(7012)에 해당한다. 도 11b에 나타낸 화소의 경우, 발광소자(7012)로부터 발생하는 빛은, 아웃라인 화살표로 나타낸 바와 같이 음극(7013)측으로 빠진다.
- <89> 다음에, 도 11f를 참조하여, 구동용 TFT 7021이 n형으로, 발광소자(7022)로부터 발생하는 빛이 양극(7025)측과 음극(7023)측의 양쪽으로부터 빠지는 경우의 화소의 단면도를 나타낸다. 도 11e 및 도 11f에서는, 구동용 TFT 7021과 전기적으로 접속된 투명도전막(7027)상에, 발광소자(7022)의 음극(7023)이 막형성되어 있고, 음극(7023)상에 전계발광층(7024), 양극(7025)이 순차로 적층되어 있다. 음극(7023)은, 도 11a 및 도 11b의 경우와 마찬가지로, 일함수가 작은 도전막이면 공지의 재료를 사용할 수 있다. 그러나, 음극(7023)은, 빛을 투과할 수 있는 두께를 갖는다. 예를 들면, 20nm의 막두께를 갖는 Al을, 음극(7023)으로서 사용할 수 있다. 그리고, 전계발광층(7024)은, 도 11a 및 도 11b의 경우와 마찬가지로, 단층으로 구성되어도, 적층층이 적층되도록 구성되어도 어느쪽이나 된다. 양극(7025)은, 도 11b의 경우와 마찬가지로, 투명도전막을 사용하여 형성할 수 있다.
- <90> 음극(7023)과, 전계발광층(7024)과, 양극(7025)이 겹쳐 있는 부분이 발광소자(7022)에 해당한다. 도 11f에 나타낸 화소의 경우, 발광소자(7022)에서 발생하는 빛은, 아웃라인 화살표로 나타낸 바와 같이, 양극(7024)측과 음극(7023)측의 양쪽으로 빠진다.
- <91> 또 본 예에서는, 구동용 TFT와 발광소자가 전기적으로 접속되어 있는 예를 나타내었지만, 구동용 TFT와 발광소

자의 사이에 전류제어용 TFT이 접속되어 있는 구성이어도 된다.

- <92> 이때, 도 11a~도 11f에 나타난 모든 화소에 있어서, 발광소자를 덮도록 보호막을 형성하여도 된다. 보호막은 수분 또는 산소 등의 발광소자의 열화를 촉진시키는 원인이 되는 물질을, 다른 절연막과 비교하여 투과시키기 어려운 막을 사용한다. 대표적으로는, 예를 들면, DLC막, 질화탄소막, RF 스퍼터링법으로 형성된 질화실리콘막 등을 사용하는 것이 바람직하다. 또한, 상술한 수분 또는 산소 등의 물질을 투과시키기 어려운 막과, 핵막에 비교하여 수분 또는 산소 등의 물질을 투과시키기 쉬운 막을 적층시켜, 보호막으로서 사용하는 것도 가능하다.
- <93> 또한, 도 11d 및 도 11f에서, 음극측으로부터 빛을 방출하기 위해서는, 음극의 막두께를 얇게 하는 방법 외에, Li를 도핑함으로써 일함수가 작게 된 ITO를 사용하는 방법도 있다.
- <94> 또 본 발명의 발광장치는, 도 11a 내지 도 11f에 나타난 구성에 한정되는 것이 아니라, 본 발명의 기술적 사상에 근거하는 각종 변형이 가능하다.
- <95> [실시예 2]
- <96> 본 예에서는, 본 발명의 발광장치가 갖는 세미아모퍼스 TFT를 사용한 화소의 변형예에 관해서 설명한다.
- <97> 도 12a에, 본 실시예의 화소의 일 실시예를 나타낸다. 도 12a에 나타난 화소는, 발광소자(901)와, 화소에의 비디오신호의 입력을 제어하기 위한 스위칭소자로서 사용하는 스위칭용 TFT 902와, 발광소자(901)에 흐르는 전류치를 제어하는 구동용 TFT 903과, 발광소자(901)에의 전류의 공급의 유무를 선택하기 위한 전류제어용 TFT 904를 가지고 있다. 또한, 본 실시예와 같이, 비디오신호의 전위를 유지하기 위한 용량소자(905)를 화소에 설치하여도 된다.
- <98> 스위칭용 TFT 902, 구동용 TFT 903 및 전류제어용 TFT 904는, n형이어도 p형이어도 어느쪽이나 되지만, 모두 같은 극성을 가진다. 그리고 구동용 TFT 903을 포화영역에서 동작시키고, 전류제어용 TFT 904를 선형영역에서 동작시킨다.
- <99> 또한, 구동용 TFT 903의 길이는 폭보다 길고, 전류제어용 TFT 904의 길이를 폭과 동일하게 하거나 그것보다 짧아도 된다. 보다 바람직하게는, 구동용 TFT 903의 폭에 대한 길이의 비가 5 이상으로 되면 된다. 따라서, 구동용 TFT 903의 특성의 차이에 기인하는, 화소간의 발광소자(901)의 휘도의 격차를 더 억제할 수 있다. 또한, 구동용 TFT의 채널길이를 L1, 채널폭을 W1, 전류제어용 TFT의 채널길이를 L2, 채널폭을 W2로 하면,  $L1/W1:L2/W2=X:1$ 일 때, X는 5 이상 6000 이하로 하는 것이 바람직하다. 예를 들면,  $X=6000$ 일 경우,  $L1/W1=500\mu\text{m}/3\mu\text{m}$ ,  $L2/W2=3\mu\text{m}/100\mu\text{m}$ 로 하는 것이 바람직하다.
- <100> 스위칭용 TFT 902의 게이트전극은, 주사선 G에 접속되어 있다. 스위칭용 TFT 902의 소스와 드레인은, 한쪽이 신호선 S에, 또 한 쪽이 전류제어용 TFT 904의 게이트전극에 접속되어 있다. 구동용 TFT 903의 게이트전극은 제 2 전원선 Vb에 접속되어 있다. 그리고 구동용 TFT 903 및 전류제어용 TFT 904는, 제 1 전원선 Va로부터 공급되는 전류가, 구동용 TFT 903 및 전류제어용 TFT 904의 드레인전류로서 발광소자(901)에 공급되도록, 제 1 전원선 Va 및 발광소자(901)와 접속되어 있다. 본 실시예에서는, 전류제어용 TFT 904의 소스가 제 1 전원선 Va에 접속되고, 구동용 TFT 903의 드레인이 발광소자(901)의 화소전극에 접속된다.
- <101> 또 구동용 TFT 903의 소스를 제 1 전원선 Va에 접속하고, 전류제어용 TFT 904의 드레인을 발광소자(901)의 화소전극에 접속하여도 된다.
- <102> 발광소자(901)는 양극과 음극 사이, 양극과 음극의 사이에 삽입된 전계발광층으로 이루어진다. 도 12a에 도시된 것처럼, 음극이 구동용 TFT 903과 접속하고 있는 경우, 음극이 화소전극, 양극이 대향전극이 된다. 발광소자(901)의 대향전극과 제 1 전원선 Va는, 발광소자(901)에 순바이어스 방향의 전류가 공급되도록 전위차를 갖는다. 발광소자(901)의 대향전극은, 보조전극 W와 접속되어 있다.
- <103> 용량소자(905)가 갖는 2개의 전극은, 한쪽은 제 1 전원선 Va에 접속되어 있고, 또 한 쪽은 전류제어용 TFT 904의 게이트전극에 접속되어 있다. 용량소자(905)는 스위칭용 TFT(902)가 비선택상태(오프상태)에 있을 때, 용량소자(905)의 전극간의 전위차를 유지하기 위해서 설치된다. 또 도 12a에서는 용량소자(905)를 설치하는 구성을 나타내었지만, 도 12a에 나타난 화소는 이 구성에 한정되지 않고, 용량소자(905)를 설치하지 않은 구성으로 하여도 된다.
- <104> 도 12a에서는 구동용 TFT 903 및 전류제어용 TFT 904를 n형으로 하고, 구동용 TFT 903의 드레인과 발광소자(901)의 음극을 접속하였다. 반대로, 구동용 TFT 903 및 전류제어용 TFT 904를 p형으로 하면, 구동용 TFT 903의

소스와 발광소자(901)의 양극을 접속한다. 이 경우, 발광소자(901)의 양극이 화소전극, 음극이 대향전극이 된다.

<105> 다음에, 도 12b에는, 도 12a에 나타난 화소에, 전류제어용 TFT 904를 강제적으로 오프하기 위한 TFT(소거용 TFT) 906을 설치한 화소의 회로도를 나타낸다. 또, 도 12b에서는, 도 12a에서 이미 설명한 소자에 관해서는, 같은 부호를 부착하여 나타낸다. 또 제 1 주사선은, 제 2 주사선과 구별하기 위해서, Ga로 나타내고, 제 2 주사선을 Gb로 나타낸다. 소거용 TFT 906은, 게이트전극이 제 2 주사선 Gb에 접속되어 있고, 소스와 드레인, 한쪽이 전류제어용 TFT 904의 게이트전극에, 다른쪽이 제 1 전원선 Va에 접속되어 있다. 소거용 TFT 906은 n형이어도 p형이어도 어느쪽이나 좋지만, 화소내의 다른 TFT과 같은 극성을 가진다.

<106> 다음에, 도 12c에는, 도 12a에 나타난 화소에 있어서, 구동용 TFT 903의 게이트전극을, 제 2 주사선 Gb에 접속하는 화소의 회로도를 나타낸다. 또 도 12c에서는, 도 12a에서 이미 설명한 소자에 관해서는, 같은 부호를 부착하여 나타낸다. 도 12c에 나타난 바와 같이, 구동용 TFT 903의 게이트전극에 공급하는 전위를 변경함으로써, 발광소자(901)의 발광을 강제적으로 종료시킬 수 있다.

<107> 다음에, 도 12d에는, 도 12c에 나타난 화소에 있어서, 전류제어용 TFT 904를 강제적으로 오프하기 위한 TFT(소거용 TFT) 906을 설치한 화소의 회로도를 나타낸다. 또 도 12d에서는, 도 12a~도 12d 및 도 12c에서 이미 설명한 소자에 관해서는, 같은 부호를 부착하여 나타낸다. 소거용 TFT 906은, 게이트전극이 제 2 주사선 Gb에 접속되어 있고, 소스와 드레인, 한쪽이 전류제어용 TFT 904의 게이트전극에, 다른쪽이 전원선 V에 접속되어 있다. 소거용 TFT 906은 n형이어도 p형이어도 어느쪽이어도 좋지만, 화소내의 다른 TFT과 같은 극성을 가진다.

<108> 다음에, 도 12e에는, 전류제어용 TFT를 설치하지 않은 화소의 구성을 나타낸다. 도 12e에서, 도면부호 911은 발광소자, 912는 스위칭용 TFT, 913은 구동용 TFT, 915는 용량소자, 916은 소거용 TFT에 해당한다. 스위칭용 TFT 912는, 게이트전극이 제 1 주사선 Ga에 접속되어 있고, 소스와 드레인이, 한쪽은 신호선 S에, 다른쪽이 구동용 TFT 913의 게이트전극에 접속되어 있다. 구동용 TFT 913은, 소스가 전원선 V에, 드레인이 발광소자 911의 화소전극에 접속되어 있다. 발광소자 911의 대향전극은 보조전극 W에 접속되어 있다. 소거용 TFT 916은, 게이트전극이 제 2 주사선 Gb에, 소스와 드레인, 한쪽이 구동용 TFT 913의 게이트전극에, 다른쪽이 전원선 V에 접속되어 있다.

<109> 이때, 본 발명의 발광장치가 갖는 화소의 구성은, 본 예에서 나타난 구성에 한정되지 않는다.

<110> [실시예 3]

<111> 본 예에서는, 본 발명의 발광장치가 갖는 세미아모퍼스 TFT의 일 실시예에 관해서 설명한다.

<112> 도 13a에 본 실시예의 세미아모퍼스 TFT의 평면도를, 도 13b에 도 13a의 A-A'의 단면도를 나타낸다. 도면부호 1301은, 그 일부가 게이트전극으로서 기능하는 게이트배선이며, 게이트절연막(1302)을 통해 세미아모퍼스 반도체로 형성된 제 1 반도체막(1303)과 겹쳐 있다. 또한, 제 1 반도체막(1303)과 접하도록, LDD 영역으로서 기능하는 제 2 반도체막(1304a, 1304b)이 형성되어 있고, 제 2 반도체막(1304a, 1304b)에 접하도록, 일 도전형을 갖는 제 3 반도체막(1305a, 1305b)이 형성되어 있다. 또한, 도면부호 1306, 1307 각각은, 제 3 반도체막(1305a, 1305b) 상에 형성된 배선에 해당한다.

<113> 도 13a 및 도 13b에 나타난 세미아모퍼스 TFT에서, 제 3 반도체막 1305a와 제 3 반도체막 1305b의 간격을 일정하게 함으로써, 채널길이를 일정하게 유지할 수 있다. 또한, 제 3 반도체막 1305b의 엣지를 제 3 반도체막 1305a로 둘러싸도록 레이어아웃함으로써, 채널형성영역의 드레인영역측에서, 전계가 집중하는 것을 완화할 수 있다. 또한, 채널길이에 대한 채널폭의 비를 높게 할 수 있기 때문에, 온전류를 높일 수 있다.

<114> [실시예 4]

<115> 본 예에서는, 극성이 모두 동일한 세미아모퍼스 TFT를 사용한, 시프트 레지스터의 일 실시예에 관해서 설명한다. 도 14a에는, 본 예의 시프트 레지스터의 구성을 나타낸다. 도 14a에 나타난 시프트 레지스터는, 제 1 클럭신호 CLK, 제 2 클럭신호 CLKb, 스타트 펄스신호 SP를 사용하여 동작한다. 도면부호 1401은 펄스출력회로로, 그 구체적인 구성을 도 14b에 나타낸다.

<116> 펄스 출력회로(1401)는, TFT 801~806과, 용량소자(807)를 갖는다. TFT 801은, 게이트가 노드 2에, 소스가 TFT 805의 게이트에 접속되어 있고, 드레인에 전위 Vdd가 주어진다. TFT 802는, 게이트가 TFT 806의 게이트에, 드레인이 TFT 805의 게이트에 접속되어 있고, 소스에 전위 Vss가 주어진다. TFT 803은, 게이트가 노드 3에, 소스가 TFT 806의 게이트에 접속되어 있고, 드레인에 전위 Vdd가 주어진다. TFT 804는, 게이트가 노드 2에,

드레인이 TFT 805의 게이트에 접속되어 있고, 소스에 전위  $V_{ss}$ 가 주어져 있다. TFT 805는, 게이트가 용량소자(807)의 한쪽의 전극에, 드레인이 노드 1에, 소스가 용량소자 807의 다른쪽의 전극 및 노드 4에 접속되어 있다. 또한, TFT 806은, 게이트가 용량소자 807의 한쪽의 전극에, 드레인이 노드 4에 접속되어 있고, 소스에 전위  $V_{ss}$ 가 주어져 있다.

- <117> 다음에, 도 14b에 나타낸 펄스출력회로(1401)의 동작에 관해서 설명한다. 그러나, CLK, CLKb, SP는 H 레벨일 때  $V_{dd}$ , L 레벨일 때  $V_{ss}$ 로 하고, 또한, 설명을 간단히 하기 위해서  $V_{ss}=0$ 이라고 가정한다.
- <118> SP가 H 레벨이 되면, TFT 801이 온으로 되기 때문에, TFT 805의 게이트의 전위가 증가된다. 그리고, 최종적으로는, TFT 805의 게이트의 전위가  $V_{dd}-V_{th}$ ( $V_{th}$ 는 TFT 801~806의 한계치로 한다)가 되자마자, TFT 801이 오프하여, 부유상태가 된다. 한편, SP가 H 레벨이 되면 TFT 804가 온으로 되기 때문에, TFT 802,806의 게이트의 전위는 하강하여, 최종적으로는  $V_{ss}$ 가 되고, TFT 802,806은 오프가 된다. TFT 803의 게이트는, 이때 L 레벨로 되어 있어, 오프한다.
- <119> 다음에, SP는 L 레벨이 되고, TFT 801,804가 오프하여, TFT 805의 게이트의 전위가  $V_{dd}-V_{th}$ 로 유지된다. 여기서, TFT 805의 게이트·소스간 전압이 그 한계치  $V_{th}$ 를 상회하면, TFT 805가 온한다.
- <120> 다음에, 노드 1에 주어진 CLK가 L 레벨로부터 H 레벨로 변하면, TFT 805가 온하고 있기 때문에, TFT 805의 소스의 전위가 증가되게 된다. 그리고, TFT 805의 게이트와 소스간에는 용량소자(807)에 의한 용량결합이 존재하고 있기 때문에, 노드 4의 전위상승에 따라, 부유상태로 되어 있는 TFT 805의 게이트의 전위가 다시 상승한다. 최종적으로는, TFT 805의 게이트의 전위는,  $V_{dd}+V_{th}$ 보다도 높아져, 노드 4의 전위는  $V_{dd}$ 와 같게 된다. 그리고, 상술한 동작을 2번째 단 이후의 펄스출력회로(1401)에서 마찬가지로 행하여져, 순차로 펄스가 출력된다.
- <121> [실시에 5]
- <122> 본 예에서는, 본 발명의 발광장치의 일 실시예에 해당하는 패널 외관에 관해서, 도 15a 및 도 15b를 참조하여 설명한다. 도 15a는, 제 1 기판상에 형성된 세미아모퍼스 TFT 및 발광소자를, 제 2 기판과의 사이에 밀봉재에 의해서 밀봉한 패널의 평면도이고, 도 15b는 도 15a의 A-A'의 단면도에 해당한다.
- <123> 제 1 기판(4001)상에 설치된 화소부(4002)와, 주사선 구동회로(4004)를 둘러싸도록 하여, 밀봉재(4005)가 설치된다. 또한, 화소부(4002)와, 주사선 구동회로(4004)의 위에 제 2 기판(4006)이 설치된다. 따라서, 화소부(4002)와 주사선 구동회로(4004)는, 제 1 기판(4001), 밀봉재(4005) 및 제 2 기판(4006)에 따라서, 충전재(4007)와 함께 밀봉되어 있다. 또한, 제 1 기판(4001)상의 밀봉재(4005)에 의해서 둘러싸여 있는 영역과는 다른 영역에, 별도로 준비된 기판상에 다결정 반도체막으로 형성된 신호선 구동회로(4003)가 실장되어 있다. 이때, 본 예에서는, 다결정반도체막을 사용한 TFT를 갖는 신호선 구동회로를, 제 1 기판(4001)에 접촉시킨 예에 관해서 설명하였지만, 단결정반도체를 사용한 트랜지스터로 신호선 구동회로를 형성하여, 접촉하도록 하여도 된다. 도 15b에서는, 신호선 구동회로(4003)에 포함된 다결정반도체막으로 형성된 TFT 4009를 나타낸다.
- <124> 또한 제 1 기판(4001)상에 설치된 화소부(4002)와 주사선 구동회로(4004)는, 복수의 TFT를 가지고 있다. 도 15b에서는, 화소부(4002)에 포함되는 TFT(4010)를 예시하고 있다. 본 예에서는, TFT 4010이 구동용 TFT라고 가정하지만, TFT 4010은 전류제어용 TFT이어도 되고, 소거용 TFT이어도 된다. TFT 4010은 세미아모퍼스 반도체를 사용한 TFT에 해당한다.
- <125> 또한, 도면부호 4011은 발광소자에 해당하고, 발광소자(4011)가 갖는 화소전극은, TFT 4010의 드레인과, 배선(4017)을 통해 전기적으로 접속되어 있다. 그리고, 본 예에서는, 발광소자(4011)의 대향전극과 투명도전막(4012)이 전기적으로 접속되어 있다. 이때, 발광소자(4011)의 구성은, 본 예에 나타낸 구성에 한정되지 않는다. 발광소자(4011)로부터 추출하는 빛의 방향이나, TFT 4010의 극성 등에 따라서 발광소자(4011)의 구성은 적절히 바꿀 수 있다.
- <126> 또한, (도 15b에 미도시된) 별도로 형성된 신호선 구동회로(4003)와, 주사선 구동회로(4004) 또는 화소부(4002)에 공급되는 각종 신호 및 전위는, 인출 배선 4014 및 4015를 통해, 접속단자(4016)로부터 공급되고 있다.
- <127> 본 예에서는, 접속단자(4016)가, 발광소자(4011)가 갖는 화소전극과 같은 도전막으로 형성되어 있다. 또한, 인출 배선(4014)은, 배선(4017)을 형성하는데 사용된 도전막으로 형성되어 있다. 또한 인출 배선(4015)은, TFT 4010이 갖는 게이트전극을 형성하는데 사용된 도전막으로 형성되어 있다.
- <128> 접속단자(4016)는, FPC(4018)이 갖는 단자와, 이방성 도전막(4019)을 통해 전기적으로 접속되어 있다.

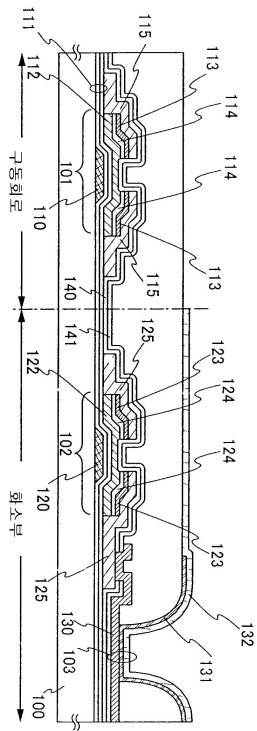
- <129> 제 1 기관(4001) 및 제 2 기관(4006)으로서는, 유리, 금속(대표적으로는 스테인레스), 세라믹 또는 플라스틱을 사용할 수 있다. 플라스틱으로서는, FLRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 마일러 필름, 폴리에스테르 필름 또는 아크릴수지 필름을 사용할 수 있다. 또한, 알루미늄박을 PVF 필름 또는 마일러 필름으로 삽입한 구조의 시이트를 사용할 수도 있다.
- <130> 그러나, 발광소자(4011)에서 발생된 빛을 전송하는 기관은, 투과적이어야 한다. 이 경우에는, 유리판, 플라스틱 판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.
- <131> 또한, 충전재(4007)로서는 질소나 아르곤 등의 불활성 기체 외에, 자외선경화수지 또는 열경화수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시수지, 실리콘수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 사용할 수 있다. 본 예에서는 충전재로서 질소를 사용하였다.
- <132> 도 15a 및 도 15b는, 신호선 구동회로(4003)를 별도로 형성하고, 제 1 기관(4001)에 실장하고 있는 예를 나타내었지만, 본 예는 이 구성에 한정되지 않는다. 주사선 구동회로를 별도로 형성하여 실장하여도 되고, 신호선 구동회로의 일부 또는 주사선 구동회로의 일부만을 별도로 형성하여 실장하여도 된다.
- <133> 본 예는, 다른 예에 기재한 구성과 조합하여 실시하는 것이 가능하다.
- <134> [실시예 6]
- <135> 발광소자를 사용한 발광장치는 자발광형이다. 따라서, 그 발광장치는 시감도가 뛰어나고, 시야각이 넓다. 따라서, 여러 가지 전자기기의 표시부에 사용할 수 있다.
- <136> 본 발명의 발광장치를 사용한 전자기기로서, 비디오카메라, 디지털 카메라, 고글형 디스플레이(헤드마운트 디스플레이), 네비게이션 시스템, 음향재생장치(카오디오, 오디오세트 등), 랩탑(laptop) 퍼스널컴퓨터, 게임기기, 휴대정보단말(모바일 컴퓨터, 휴대전화, 휴대형게임기 또는 전자서적 등), 기록매체(구체적으로는, DVD 등)를 구비한 화상재생 시스템을 들 수 있다. 특히 휴대용 전자기기의 경우, 경사 방향에서 화면을 보는 기회가 많아, 시야각의 넓이가 중요시되기 때문에, 발광장치를 사용하는 것이 바람직하다. 또한, 본 발명에서는, 반도체막의 막형성 후에 결정화의 공정을 행할 필요가 없으므로, 비교적 패널의 대형화가 용이하기 때문에, 10~50인치의 대형 패널을 사용한 전자기기에 대단히 유용하다. 이러한 전자기기의 구체예를 도 16a 내지 도 16c에 나타낸다.
- <137> 도 16a는 표시장치로, 하우징(2001), 지지대(2002), 표시부(2003), 스피커부(2004), 비디오 입력단자(2005) 등을 포함한다. 본 발명의 발광장치를 표시부(2003)에 사용함으로써, 본 발명의 표시장치가 완성된다. 발광장치는 자발광형이기 때문에 백라이트가 필요하지 않고, 액정디스플레이보다도 얇은 표시부로 할 수 있다. 이때, 표시장치는, 퍼스널 컴퓨터용, TV 방송수신용, 광고표시용 등의 모든 정보표시용 표시장치가 포함된다.
- <138> 도 16b는 랩탑 퍼스널컴퓨터로, 본체(2201), 하우징(2202), 표시부(2203), 키보드(2204), 외부접속포트(2205), 포인팅 마우스(2206) 등을 포함한다. 본 발명의 발광장치를 표시부(2203)에 사용함으로써, 본 발명의 랩탑 퍼스널컴퓨터가 완성된다.
- <139> 도 16c는 기록매체를 구비한 휴대형 화상재생장치(구체적으로는, DVD 재생장치)로, 본체(2401), 하우징(2402), 표시부 A(2403), 표시부 B(2404), 기록매체(DVD 등) 판독부(2405), 조작키(2406), 스피커부(2407) 등을 포함한다. 표시부 A(2403)는 주로 화상정보를 표시하고, 표시부 B(2404)는 주로 문자정보를 표시한다. 이때, 기록매체를 구비한 화상재생장치에는 가정용 게임기기 등도 포함된다. 본 발명의 발광장치를 표시부 A(2403) 및 표시부 B(2404)에 사용함으로써, 본 발명의 화상재생장치가 완성된다.
- <140> 또한, 발광장치는 발광하고 있는 부분이 전력을 소비하기 때문에, 발광부분이 매우 적어지도록 정보를 표시하는 것이 바람직하다. 따라서, 휴대정보단말, 특히 휴대전화나 음향재생장치와 같은 문자정보를 주로 하는 표시부에 발광장치를 사용하는 경우에는, 비발광부분을 배경으로 하여서 문자정보를 발광부분에서 형성하도록 구동하는 것이 바람직하다.
- <141> 이상과 같이, 본 발명의 적용범위는 매우 넓고, 모든 분야의 전자기기에 사용하는 것이 가능하다. 또한, 본 예의 전자기기는, 예 1~4에 나타낸 임의의 구성과 결합되어 사용하여도 된다.
- <142> 본 발명을 첨부된 도면을 참조하여 상기 예들에 의해 설명하였지만, 당업자는 여러 가지 변화 및 변형을 할 것이라는 것을 알 수 있을 것이다. 그러므로, 상기와 같은 변화 및 변경이 이후 설명된 본 발명의 범위로 부터 벗어나지 않으면, 그들은 여기에 포함된다는 것으로서 해석해야 한다.



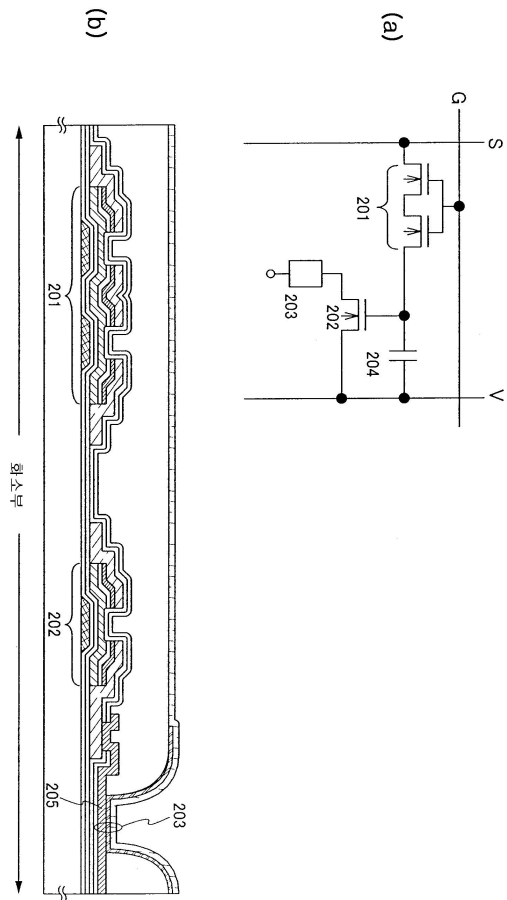


도면

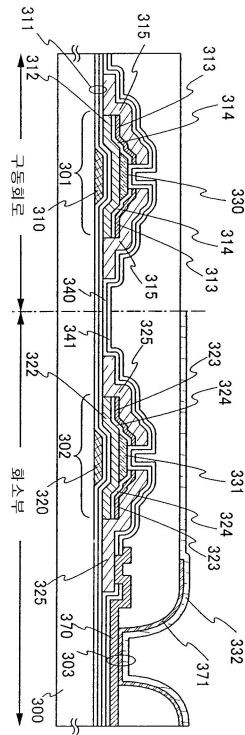
도면1



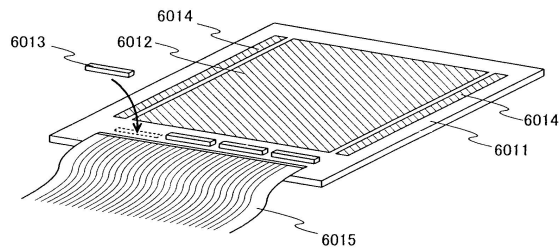
도면2



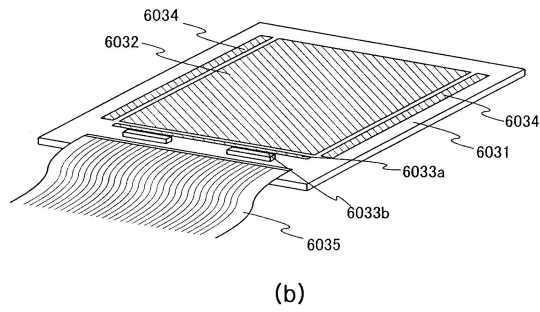
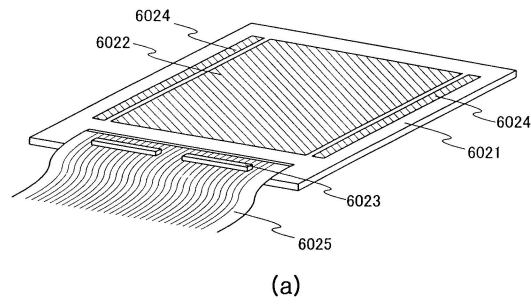
도면3



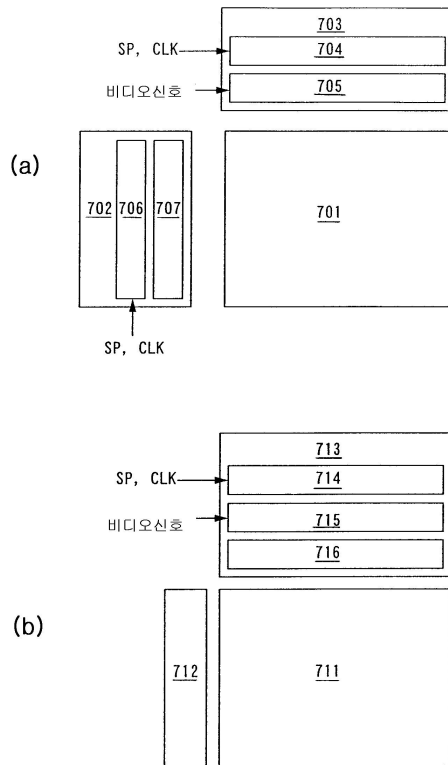
도면4



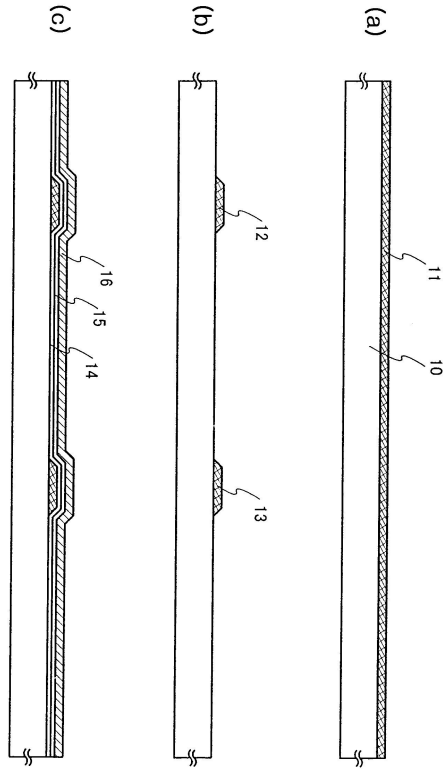
도면5



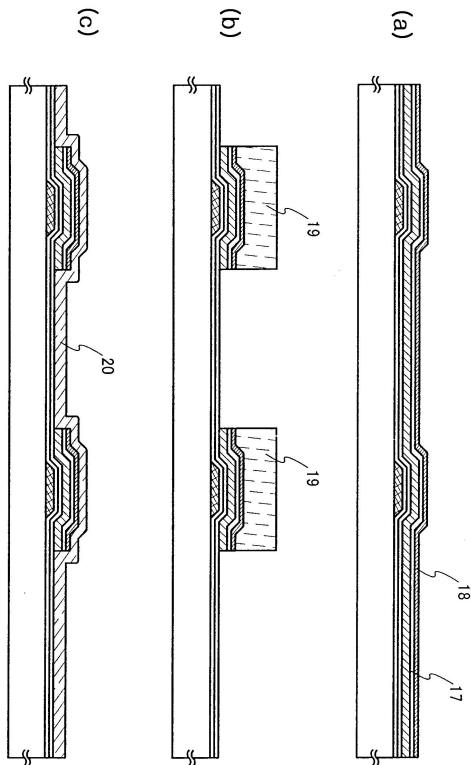
도면6



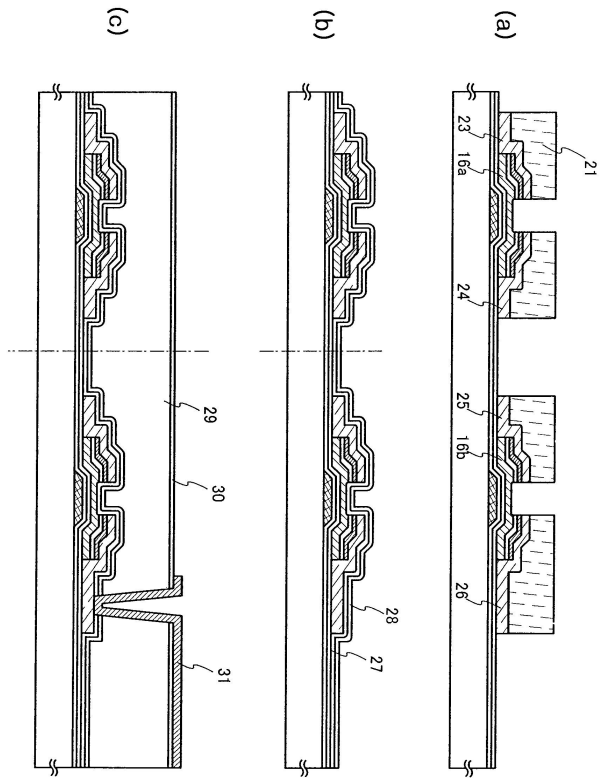
도면7



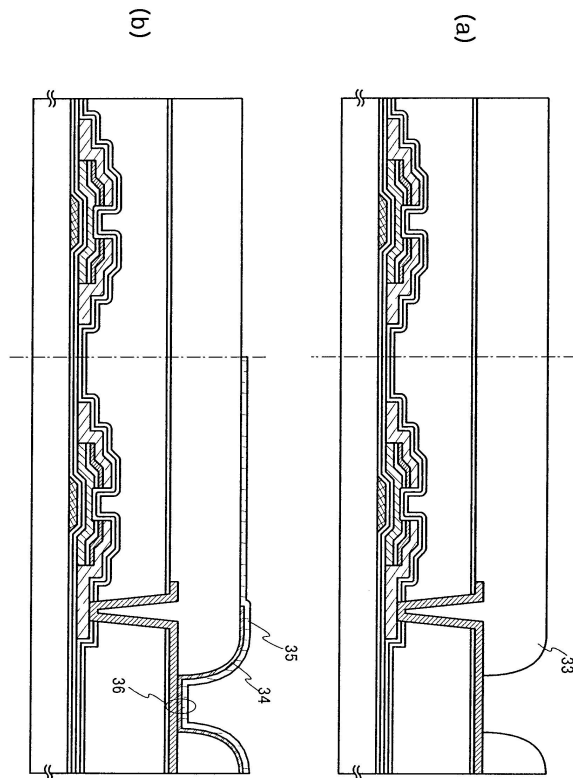
도면8



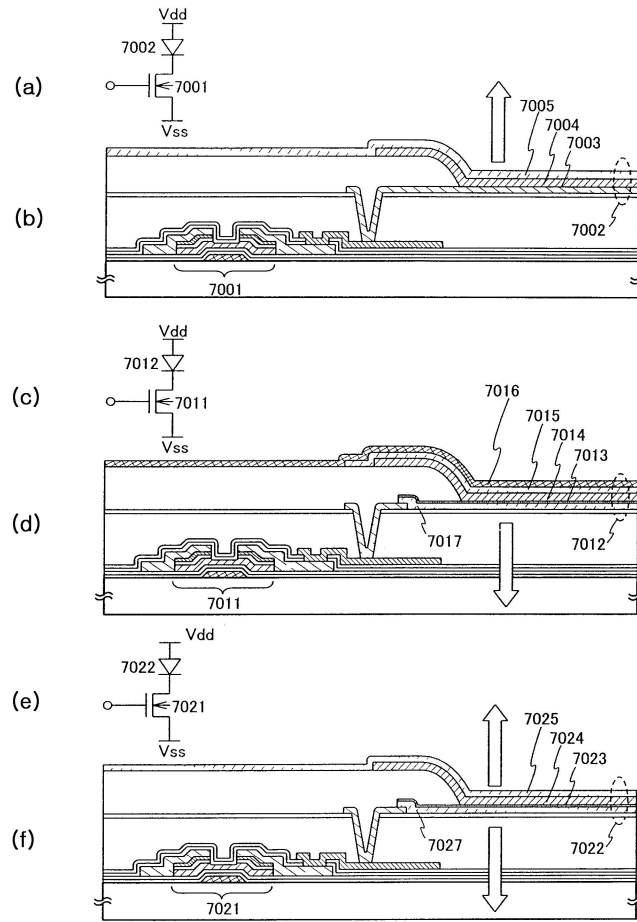
도면9



도면10

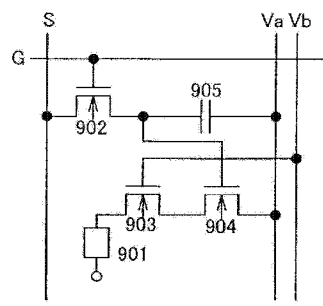


도면11

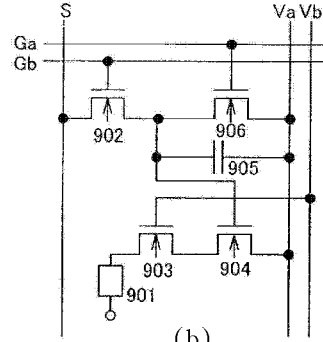




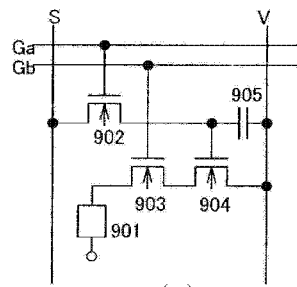
도면12



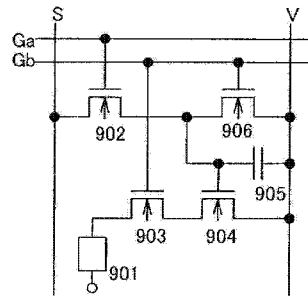
(a)



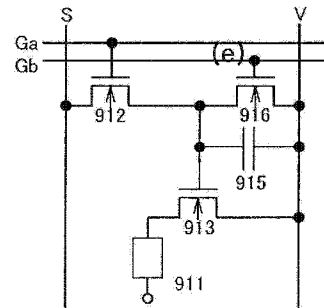
(b)



(c)

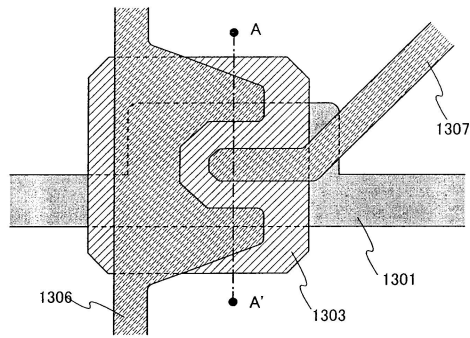


(d)

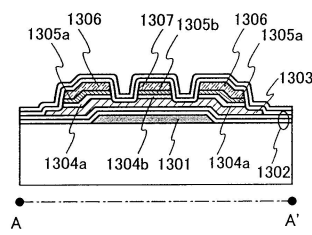


(e)

도면13

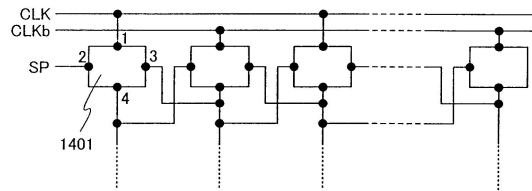


(a)

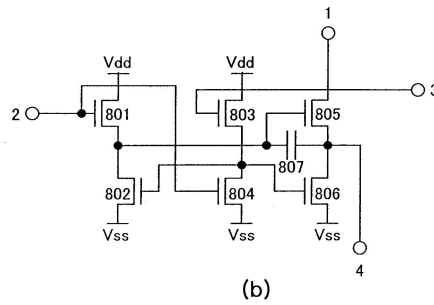


(b)

도면14

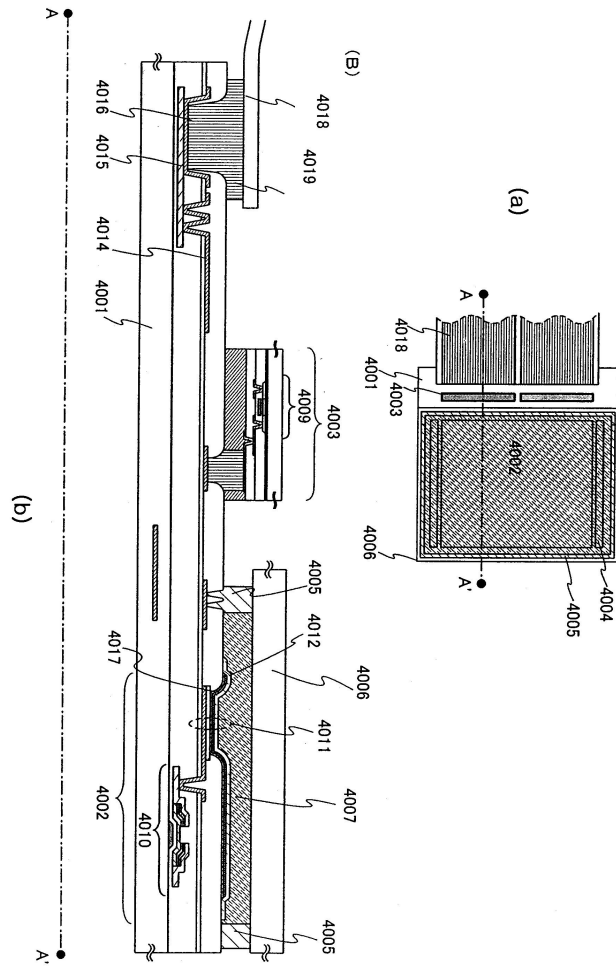


(a)



(b)

도면15



도면16

