

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200310113271.X

[51] Int. Cl.

H01L 21/56 (2006.01)

H01L 23/02 (2006.01)

H01L 25/00 (2006.01)

G06K 19/077 (2006.01)

[45] 授权公告日 2007 年 8 月 22 日

[11] 授权公告号 CN 1333449C

[22] 申请日 2003.11.10

[21] 申请号 200310113271.X

[73] 专利权人 硅品精密工业股份有限公司

地址 台湾省台中县

[72] 发明人 江政嘉 黄致明 张锦煌 萧承旭

蔡敏南

[56] 参考文献

US603196B2 2003.8.5

US6548911B2 2003.4.15

US6040622A 2000.3.21

审查员 郭 强

[74] 专利代理机构 北京三幸商标专利事务所

代理人 刘激扬

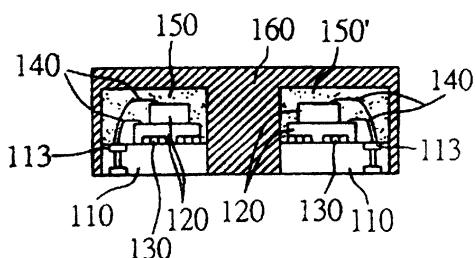
权利要求书 2 页 说明书 6 页 附图 6 页

[54] 发明名称

半导体封装件

[57] 摘要

一种半导体封装件包括：两基板；至少两半导体芯片，该半导体芯片分别安置在该基板的芯片安置区上，且与该基板上的电性连接垫电性连接；两封装胶体，分别形成于该两基板上以包覆该两半导体芯片，以形成两封装单元；以及一外壳体，分别将该两封装单元收容于其内，其中，该两基板的长边都垂直于该外壳体的长边，且该两基板的电性连接垫分别外露出该外壳体的同一外表面或两相对外表面，从而可增加该半导体封装件的芯片容量与运行功能，并节省该基板的材料成本。



1.一种半导体封装件，其特征在于，该封装件包括：

两个基板，每一基板都包括一个芯片安置区及多个设置在该基板上的电性连接垫；

至少两个半导体芯片，分别安置在该两个基板的芯片安置区上，且与各自基板的电性连接垫电性连接；

两个封装胶体，分别形成于该两个基板上，且包覆该半导体芯片，以分别形成两个封装单元；以及

外壳体，将该两个封装单元收容于其内；

其中，该两个基板的长边都与该外壳体的长边垂直，且该两个基板的电性连接垫分别外露出该外壳体的同一外表面并呈对角设置。

2.如权利要求1所述的半导体封装件，其特征在于，该外壳体的长宽尺寸为32x24mm。

3.如权利要求1所述的半导体封装件，其特征在于，该基板的长宽尺寸为18x10mm。

4.如权利要求1所述的半导体封装件，其特征在于，该基板的芯片安置区外还形成有多个被动组件安置区。

5.如权利要求1所述的半导体封装件，其特征在于，每一基板的芯片安置区上分别堆栈设置有两个半导体芯片，且该两个半导体芯片分别与该电性连接垫电性连接。

6.一种半导体封装件，其特征在于，该封装件包括：

两个基板，每一基板均包括一个芯片安置区及多个设置在该基板上的电性连接垫；

至少两个半导体芯片，分别安置在该两个基板的芯片安置区上，且与各自基板的电性连接垫电性连接；

两个封装胶体，分别形成于该两个基板上，且包覆该半导体芯片，以分别形成两个封装单元；以及

外壳体，将该两个封装单元收容于其内；

其中，该两个基板的长边都与该外壳体的长边垂直，且该两个基板的电性连接垫分别外露出该外壳体的两个相对外表面并呈对称设置。

7.如权利要求6所述的半导体封装件，其特征在于，该外壳体的长宽尺寸为32x24mm。

8.如权利要求6所述的半导体封装件，其特征在于，该基板的长宽

尺寸为 18 x 10mm。

9.如权利要求 6 所述的半导体封装件，其特征在于，该基板的芯片安置区外还形成有多个被动组件安置区。

10.如权利要求 6 所述的半导体封装件，其特征在于，每一基板的芯片安置区上分别堆栈设置有两个半导体芯片，且该两个半导体芯片分别与该电性连接垫电性连接。

半导体封装件

技术领域

本发明是关于一种半导体封装件，特别是关于一种用于封装存储芯片的卡式电路模块，例如多媒体卡(Multi-Media Card，MMC)。

背景技术

多媒体卡(Multi-Media Card，MMC)是指一种高容量的闪存电路模块，该电路模块可耦接至电子信息平台，例如个人电脑、个人数字助理(Personal Digital Assistant，PDA)、数字照相机、多媒体浏览器，可储存各种数字多媒体数据，例如数字相片数据、视频信号数据或音频数据。目前，多媒体卡的规格基本上符合多媒体卡同盟(Multimedia card Association，MMCA)所制定的标准。

多媒体卡(Multi-Media Card，MMC)封装件是一种小型集成电路(Integrated Circuit)，具有存储芯片(Memory Chip)及/或控制芯片(Controller Chip)，以储存及处理有关数字图片及影像等多媒体信息。其中，该存储芯片及/或控制芯片载接至芯片载体(Chip Carrier)，如基板(Substrate)或导线架(Lead frame)上，使芯片电性连接至外界装置以便运行并发挥芯片功能。现有结构可参见美国专利第5,677,524号"CHIP CARD AND A METHOD FOR PRODUCING IT"，美国专利第6,040,622号"SEMICONDUCTOR PACKAGE USING TERMINALS FORMED ON A CONDUCTIVE LAYER OF A CIRCUIT BOARD"，及日本专利第62-239554号"IC CARD TYPEEP-ROM STRUTURE"。

图1A至图1C是一种现有的多媒体卡的制作过程。该制程是用来制作长、宽、高尺寸为标准的32x24x1.4mm的多媒体卡。

首先请参阅图1A，该现有制程的初始步骤为，预制一系列基板10，在每一基板10上预先划分出至少一个芯片安置区11和多个被动组件安置区12，并设置多个电性连接垫13；这些电性连接垫13从基板10的正面直通背面，作为最后完成的多媒体卡的外接电性连接点。由于该制程是用来制造长、宽、高尺寸为标准的32x24x1.4mm的多媒体卡，因此上述基板10的长、宽尺寸是配合该标准尺寸设计成30.25x21.25mm。

如图1B，在该被动组件安置区12上粘接电阻器、电容器或电感

器 30，接着，进行安置芯片程序，在基板 10 上的芯片安置区 11 上安置至少一个半导体芯片 20；再采用例如焊线(Wire Bond)技术，施加一组例如金线的焊线 40，将芯片 20 电性耦接至基板 10 上的电性连接垫 13；接着进行封装胶体制程，在基板 10 上形成一个封装胶体 50，包覆基板 10 上所安置的芯片 20 及焊线 40。

再如图 1C 所示，在基板 10 上覆盖一个披覆有粘胶层 51 的外壳体 60，将整个基板 10 及其上的封装胶体 50 嵌入并粘附至该外壳体 60 所形成的容纳空间 61 中，即完成多媒体卡的制程。图 1D 即显示基板 10 嵌入至外壳体 60 后的仰视结构图。

由于上述制程是用于制造长、宽尺寸为 32 x 24mm 的多媒体卡，因此上述外壳体 60 的长宽尺寸是 32 x 24mm，其中的容纳空间 61 的长、宽尺寸配合基板 10 的长、宽尺寸为 30.25 x 21.25mm。

上述制程的缺点在于，所采用的基板 10 长宽尺寸过大，远超过芯片 20 的长宽尺寸，因此制作成本很高，单片成本高达 NT\$20.0，不符合成本经济效益，也限制了其商业化；此外，现有规格的外壳体 60，例如图 1C 所示的收纳空间 61，也形成芯片配置空间上的浪费，不符合当前集成化(Integration)的半导体发展趋势，大幅降低了多媒体卡的运行效能，有待改进。

发明内容

为克服上述现有技术的缺点，本发明的主要目的在于提供一种例如多媒体卡的半导体封装件，通过改变基板的长宽尺寸及其在外壳体内的位置定位，增加该多媒体卡的存储容量与运行功能。

本发明的又一目的即在提供一种例如多媒体卡的半导体封装件，以增加该多媒体卡的内置芯片的数量。

本发明的再一目的即在提供一种例如多媒体卡的半导体封装件，以降低基板的生产成本。

本发明的半导体封装件包括：两个基板，且每一基板包括一个芯片安置区及多个设置在该基板上的电性连接垫；至少两个半导体芯片，该半导体芯片分别安置在该基板的芯片安置区上，且与该基板的电性连接垫电性连接；两个封装胶体，分别形成于该两个基板上，且分别包覆该半导体芯片，以形成两个封装单元；以及一外壳体，该外壳体将该两个封装单元收容于其内；其中，该两个基板的长边都垂直于该外壳体的长边，且该两个基板的电性连接垫分别外露出该外壳体的同一外表面并呈对角设置。

本发明的半导体封装件还可包括：两个基板，且每一基板包括一个芯片安置区及多个设置在该基板上的电性连接垫；至少两个半导体芯片，该半导体芯片分别安置在该基板的芯片安置区上，且与该基板的电性连接垫电性连接；两个封装胶体，分别形成于该两个基板上，且分别包覆该半导体芯片，以形成两个封装单元；以及一外壳体，该外壳体将该两个封装单元收容于其内；其中，该两个基板的长边都垂直于该外壳体的长边，且该两个基板的电性连接垫分别外露出该外壳体的上下两个相对外表面并呈对称设置。

本发明的半导体封装件的特点是，采用阵列式基板模片，以成批制作多个封装件，再按照外壳体的规格将最多数量的封装单元嵌入外壳体中。与现有技术相比，由于本发明的卡式电路模块可采用长宽尺寸更小的基板，例如 18 x 10mm 的基板，作为芯片载体，而不是现有技术的 21.25 x 30.25mm 的基板；且该小型化的基板可采用数组方式成批制作，这样可显著降低生产成本，且具体实施时，上述 18 x 10mm 的基板的单片成本仅约为 NT\$4.0，而现有技术所采用的 21.25 x 30.25mm 的基板的单片成本则约为 NT\$20.0。另外，通过改变基板的长宽尺寸及其在外壳体内的定位与内置半导体芯片的堆栈设置，也使每多媒体卡可安置的存储芯片数量达到现有的多媒体卡的两倍至四倍，充分解决了现有技术的问题。

附图说明

图 1A 至图 1C 是用现有技术)生产多媒体卡的制程示意图；

图 1D 是该现有多媒体卡的仰视图；

图 2A 至图 2D 是本发明的多媒体卡的实施例 1 的制程示意图；

图 2E 是该多媒体卡的实施例 1 的仰视图；

图 3A 是本发明实施例 2 的多媒体卡的剖视图；以及

图 3B 是本发明实施例 2 的多媒体卡的仰视图。

具体实施方式

实施例 1

以下即配合图 2A 至图 2E，详细说明本发明的卡式电路模块的实施例 1。在本实施例中，本发明的卡式电路模块是用来制作平面尺寸为 32 x 24mm 的多媒体卡(Multi-Media Card， MMC)；但是，本发明的基本构想也可用来制做具有其它功能或其它尺寸的电路卡。此外，图 2A 至图 2E 都是简化的示意图，仅是以示意方式说明本发明的基本构想；

因此其仅显示与本发明有关的组件，且所显示的组件并非按照实际实施时的数目、形状及尺寸比例绘制，实际实施时的数目、形状及尺寸比例可以是其他的设计，且其组件布局形态也可能更加复杂。

首先参阅图 2A，首先预制一阵列式基板模片 100，在该阵列式基板模片 100 上预先划分出多个基板单元 110。在每一个基板单元 110 上预先划分出至少一个芯片安置区 111 和多个被动组件安置区 112(该被动组件安置区 112 可具有选择性)，且设置有多个电性连接垫 113。这些电性连接垫 113 是从基板单元 110 的正面直通背面，作为最后完成的卡式电路模块的外接电性连接点。

上述阵列式基板模片 100 的长宽尺寸设计成 56 x 56mm，且其整体面积预先划分成 15 个(5 x 3)长宽尺寸为 18 x 10mm 的基板单元 110。

接着如图 2B 所示，进行安置芯片程序，在阵列式基板模片 100 上的各个基板单元 110 的芯片安置区 111 上，安置两个堆栈的半导体芯片 120(图 2B 仅显示一个基板单元 110 作为代表)；接着，采用例如焊线技术分别施加两组焊线 140，例如金线，将两个堆栈的芯片 120 电性耦接至基板单元 110 上的电性连接垫 113；此外，若芯片 120 需要搭配外接的被动组件 130，也可在进行安置芯片程序前将所需的被动组件 130，预先耦接至各个基板单元 110 上的被动组件安置区 112。但若芯片 120 的内部电路已整合所需的被动组件，则不需进行此步骤。

接着如图 2C 所示，进行封装胶体制程(图 2C 也仅以一个基板单元 110 为代表)。在该阵列式基板模片上形成一个封装胶体 150，用以同时封装该阵列式基板模片上的各个基板单元 110 上所安置的半导体芯片 120。接着进行切单程序，将该封装胶体 150 沿该阵列式基板模片 100 上的多个基板 110 的分界线，切割成多个如图 2C 所示的封装单元；其中每一个封装单元即以原先该阵列式基板模片上的一个基板单元 110 作为承载芯片 120 的基板。由于此实施例中是将每一个基板单元 110 的长宽尺寸定为 18 x 10mm，因此切单后的每一个封装单元的长宽尺寸也为 18 x 10mm。

接着如图 2D 所示，配合卡式电路模块的通用规格，选取上述切单后的封装单元，在每两个封装单元上加盖一个矩形外壳体 160，其方式是将该两个封装单元嵌入该外壳体 160 所形成的容纳空间中；此外壳体 160 可预制成为一个零组件，或在制程中直接以注射成型的方式形成在该两个封装单元上。

如此，即完成本发明实施例 1 的多媒体卡的制程，如图 2D 的剖视图与图 2E 的仰视图所示，该多媒体卡包括两个基板 110，该两个基板

110 都呈近似矩形的形状，且每一基板 110 都包括一个芯片安置区及多个电性连接垫 113；两个半导体芯片 120，该半导体芯片 120 分别安置在该基板的芯片安置区上，且与该基板 110 的电性连接垫 113 电性连接；两个封装胶体 150，该封装胶体 150 分别形成于该两个基板 110 上，且包覆该半导体芯片 120；以及一矩形外壳体 160，该外壳体 160 将两个基板 110、半导体芯片 120 及封装胶体 150、150' 收容于其内。其中两个基板 110 的长边都与外壳体 160 的长边垂直，而两个基板 110 的电性连接垫 113 分别暴露在外壳体 160 的同一外表面且呈对角设置，以达成该多媒体卡在同一表面的双用插置功能，并可使该多媒体卡的芯片存储容量加倍。

实施例 2

图 3A 及图 3B 是本发明的多媒体卡的实施例 2。为方便说明，本实施例 2 中与实施例 1 相同的组件仍引用相同标号，该多媒体卡的结构与实施例 1 的多媒体卡大致相同，也是配合卡式电路模块的通用规格，选取两个切单后的封装单元，并在该两个封装单元上加盖一个矩形外壳体。该多媒体卡包括两个基板 110，该基板 110 都呈近似于矩形的形状，且每一个基板 110 包括一个芯片安置区及多个设置于其上的电性连接垫 113；至少两个半导体芯片 120，该半导体芯片 120 分别安置在该基板的芯片安置区上，且与该基板 110 的电性连接垫 113 电性连接；两个封装胶体 150，其分别形成于两个基板 110 上，且包覆半导体芯片 120；以及矩形外壳体 160，该外壳体 160 将该两个基板 110、半导体芯片 120 及封装胶体 150 收容于其内，其中，两个基板 110 的长边垂直于外壳体 160 的长边，但是，本实施例的多媒体卡的两个基板的电性连接垫 113 分别暴露在外壳体 160 的上下相对的两个外表面，且呈镜像对称，以达成多媒体卡的两个相对表面的双用插置功能，并可将该多媒体卡的芯片存储容量加倍。

与现有技术比较，由于本发明的卡式电路模块可采用长宽尺寸仅为 18 x 10mm 的基板作为芯片载体，而不是采用现有技术中的 21.25 x 30.25mm 的基板，因此可充分运用现有规格的外壳体尺寸，令该外壳体的空间得到最充分的利用，可节省基板材料与成本，还可使该外壳体所安置的芯片数量增加，提高了该卡式电路模块的双用功能与运行效能，且由于该小型化的基板可用数组方式来成批制作，因此也可显著地降低整体的生产成本；在具体实施上，上述 18 x 10mm 的基板单元的单片成本仅大致为 NT\$4.0，而现有技术所采用的 21.25 x 30.25mm

的基板单元的单片成本则大致为 NT\$20.0，其成本远高于本发明的产品；此外，通过改变基板的长宽尺寸及其在外壳体内的定位与内置半导体芯片的堆栈设置，可使每一多媒体卡容置的存储芯片数量达到现有多媒体卡的两倍至四倍，充分解决了现有技术的限制。

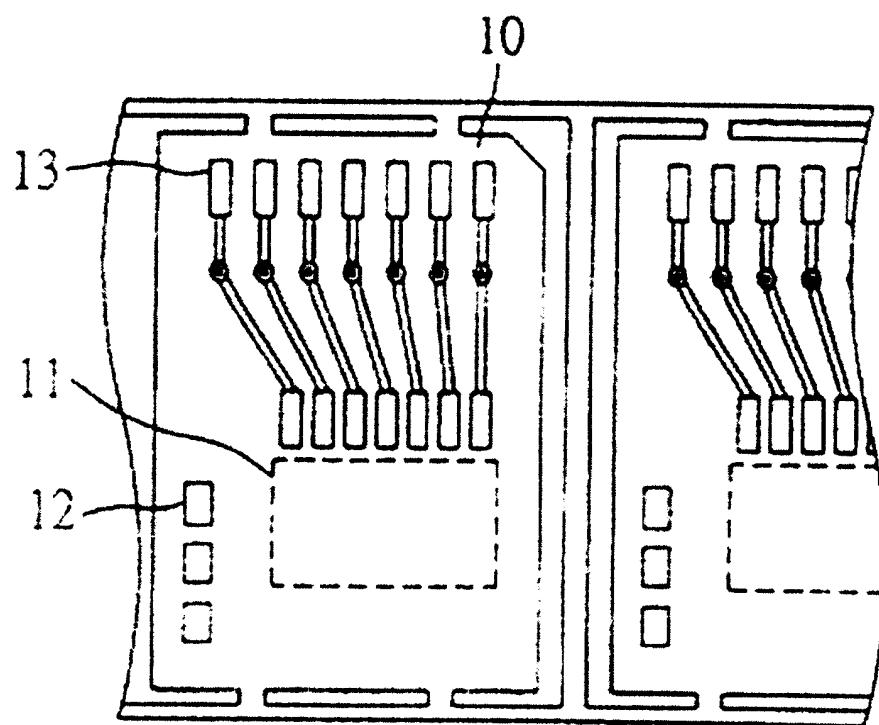


图 1A (现有技术)

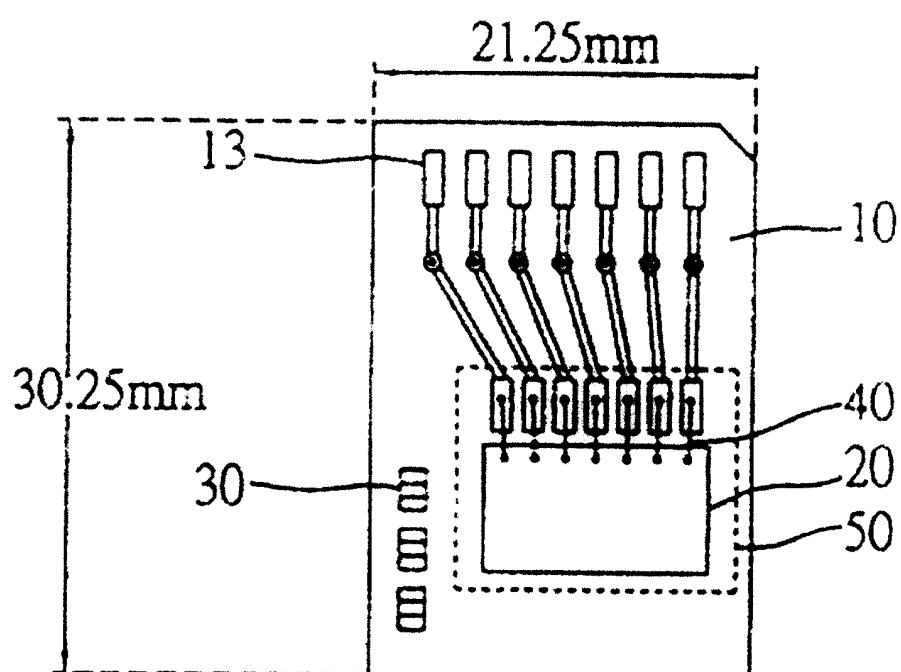


图 1B (现有技术)

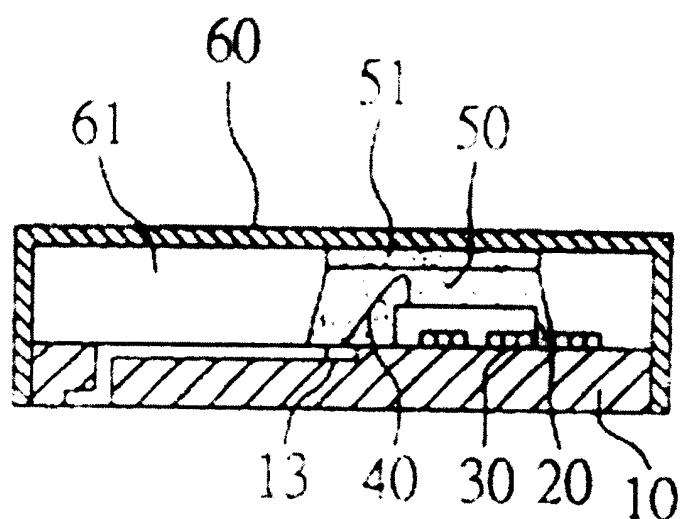


图 1C (现有技术)

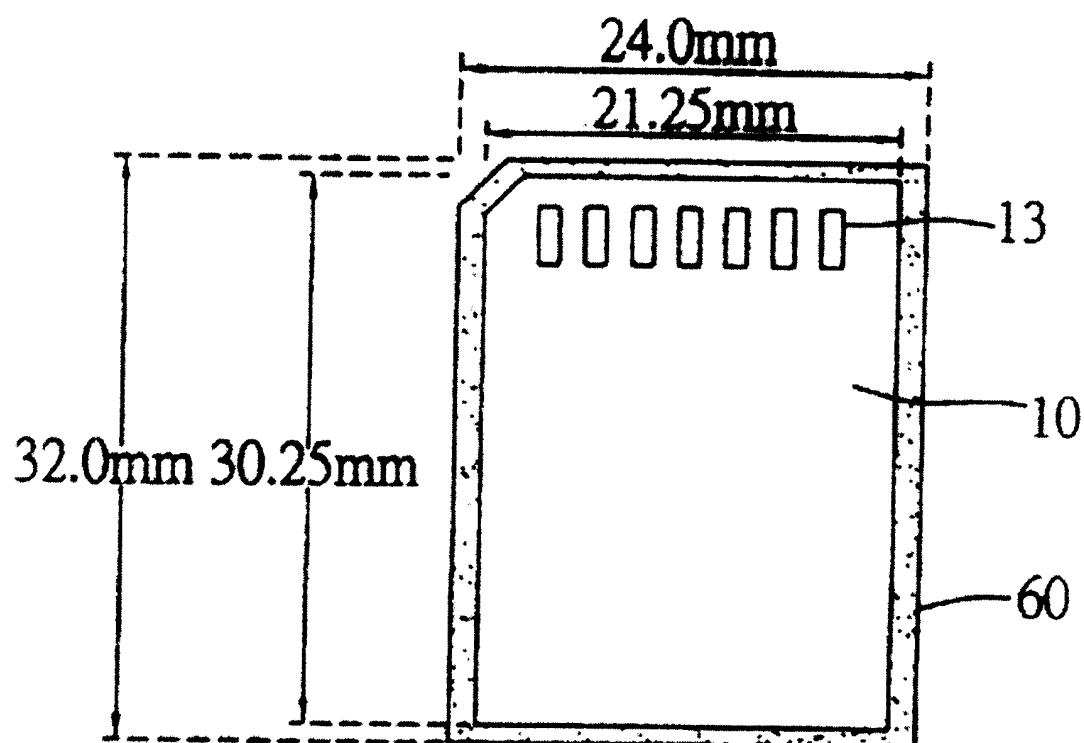


图 1D (现有技术)

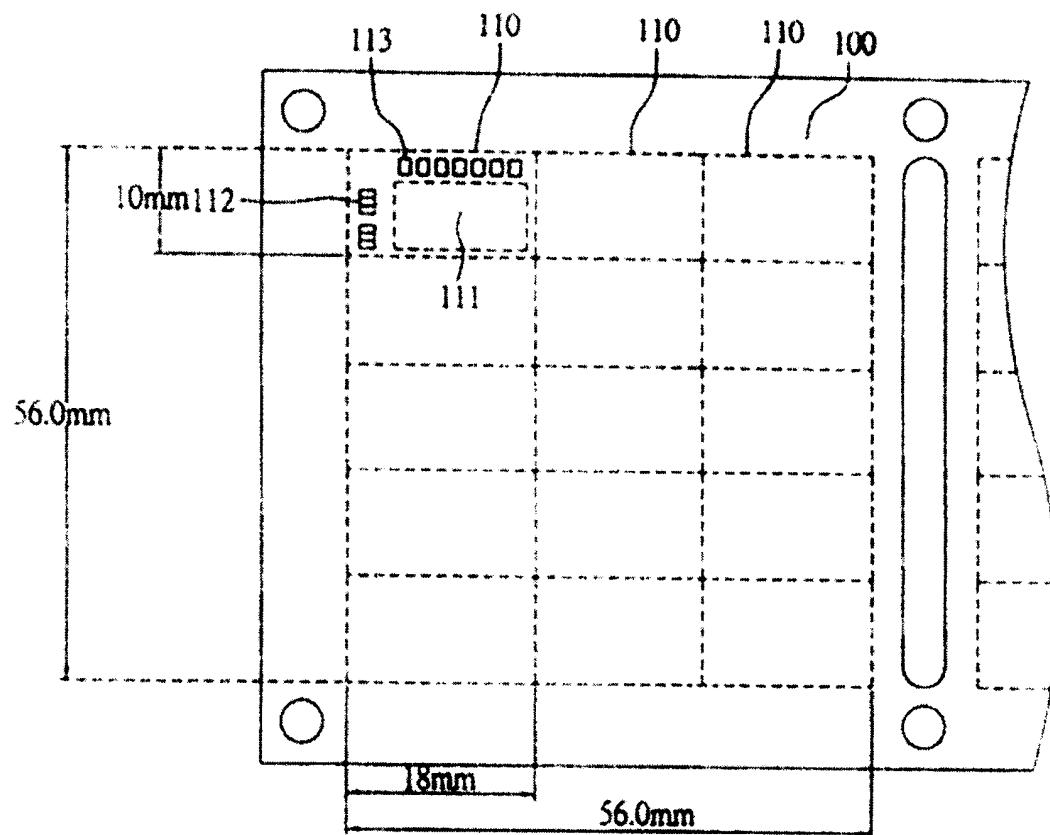


图 2A

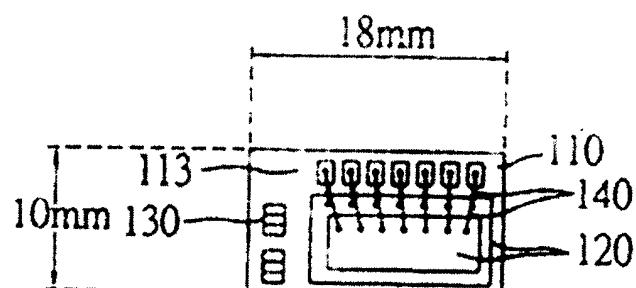


图 2B

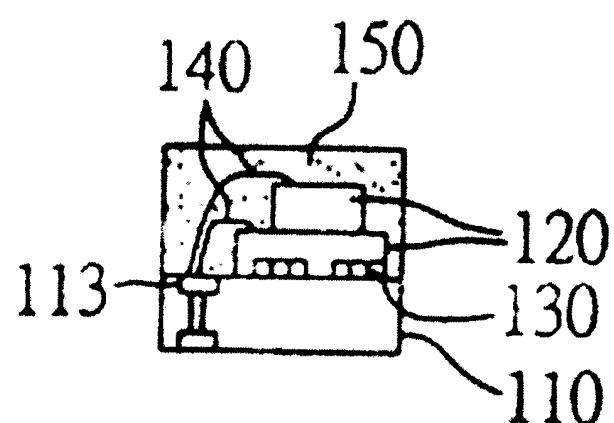


图 2C

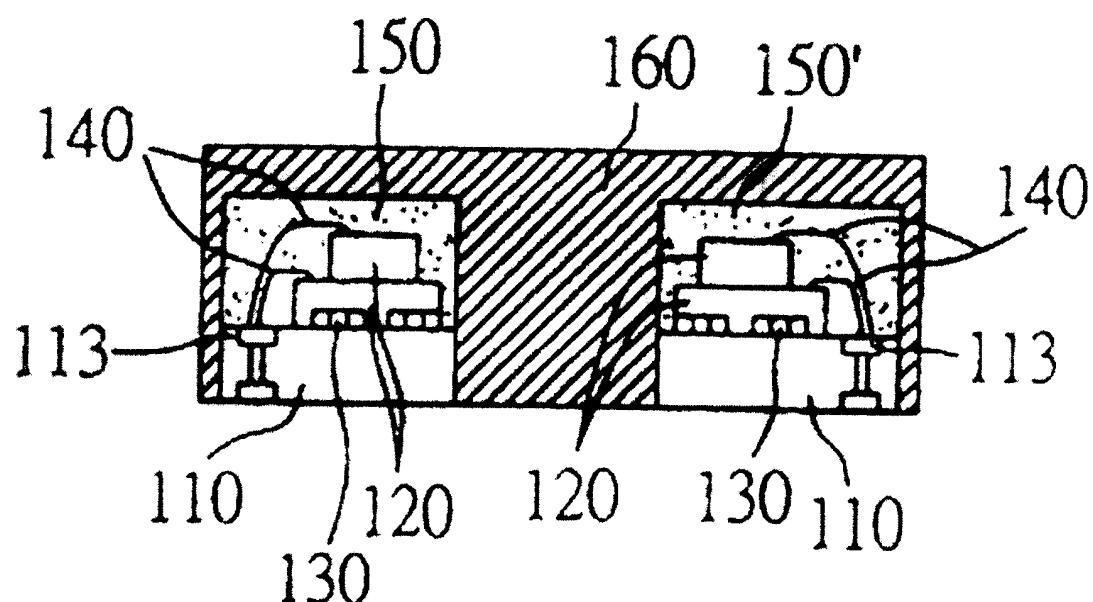


图 2D

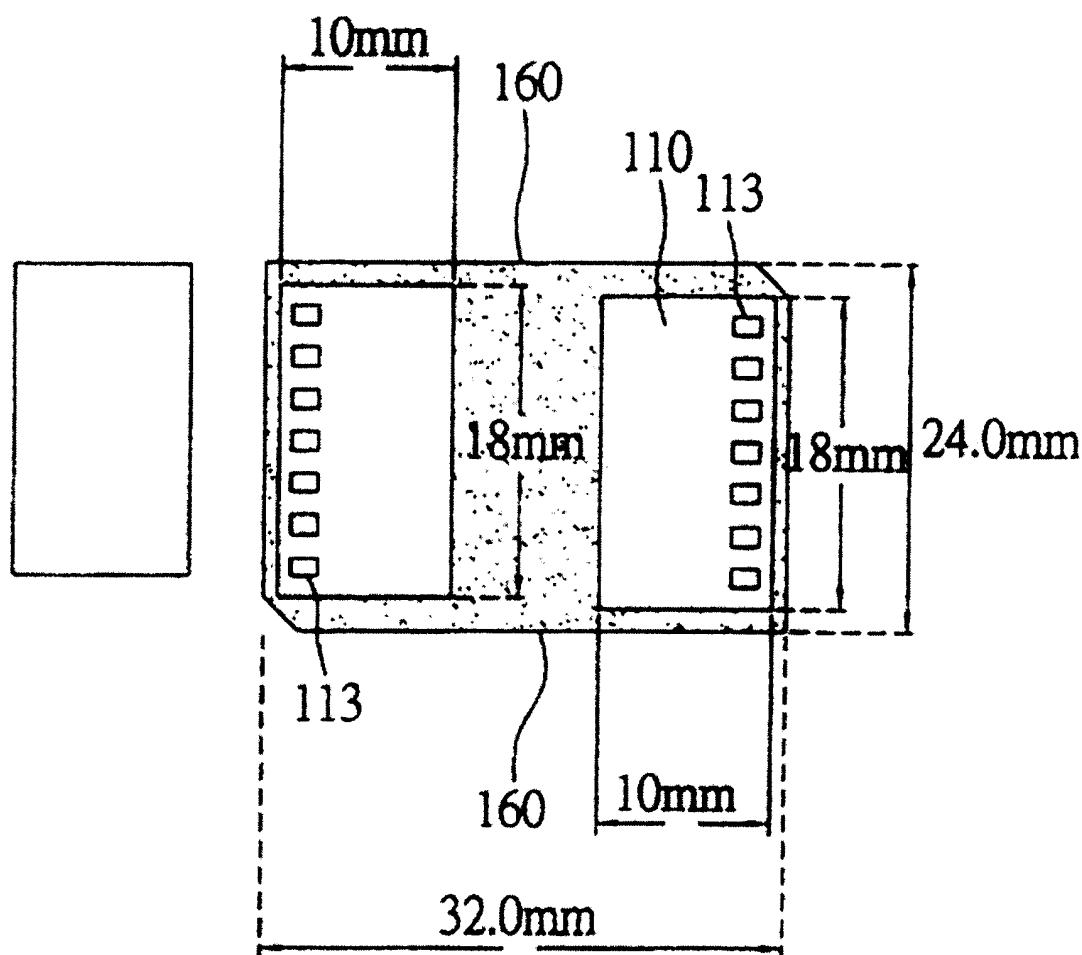


图 2E

