(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) **N° de publication :** **2 913 807**

(à n'utiliser que pour les commandes de reproduction)

(21) **N° d'enregistrement national :** **07 01800**

(51) Int Cl[8] : ***G 11 C 27/02*** *(2006.01), H 03 M 1/12*

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 13.03.07.

(30) **Priorité :**

(43) **Date de mise à la disposition du public de la demande :** 19.09.08 Bulletin 08/38.

(56) **Liste des documents cités dans le rapport de recherche préliminaire :** *Se reporter à la fin du présent fascicule*

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *E2V SEMICONDUCTORS Société par actions simplifiée* — FR.

(72) **Inventeur(s) :** MORISSON RICHARD.

(73) **Titulaire(s) :**

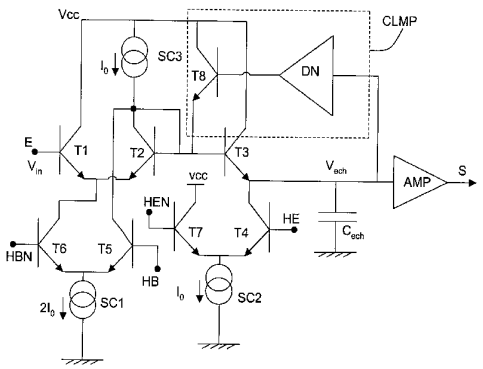
(74) **Mandataire(s) :** MARKS & CLERK FRANCE.

(54) ECHANTILLONNEUR-BLOQUEUR PROTEGE CONTRE DES PARASITES DE COMMUTATION.

(57) L'invention concerne les échantillonneurs bloqueurs, et notamment ceux qui sont destinés à être placés en amont d'un convertisseur analogique-numérique.

L'échantillonneur-bloqueur comporte classiquement une paire différentielle de transistors (T1, T2), un transistor suiveur (T3) et une capacité de stockage C_{ech}. Le transistor suiveur est rendu conducteur pendant une phase d'échantillonnage par application d'un courant d'émetteur au moyen d'un premier commutateur de courant (T4, T7) et peut être bloqué pendant une phase de blocage par application d'une tension de blocage sur sa base. L'échantillonneur-bloqueur fonctionne selon l'invention avec une phase de blocage (HB) commençant en même temps que la fin d'une phase d'échantillonnage (HE) et se terminant avant le début d'une nouvelle phase d'échantillonnage.

On évite ainsi des pics de commutation à la transition entre la fin d'une phase de blocage et le début d'une nouvelle phase d'échantillonnage.



FR 2 913 807 - A1

ECHANTILLONNEUR-BLOQUEUR PROTEGE CONTRE DES PARASITES DE COMMUTATION

L'invention concerne les échantillonneurs-bloqueurs, notamment ceux qui sont destinés à être placés en amont d'un convertisseur analogique-numérique.

Un échantillonneur-bloqueur fonctionne périodiquement, sous la commande d'une horloge, selon deux phases alternées : la première phase est la phase d'échantillonnage pendant laquelle on vient stocker dans une capacité de stockage un niveau de tension d'un signal d'entrée (notamment un signal analogique qu'on veut convertir en numérique) ; la deuxième phase est la phase de blocage, pendant laquelle on maintient à sa valeur la tension échantillonnée, c'est-à-dire la tension stockée dans la capacité, et ceci tout le temps qui est nécessaire aux opérations faites en aval de l'échantillonneur-bloqueur. Typiquement, dans une application à un convertisseur analogique-numérique, on sait que l'opération de conversion analogique-numérique prend un certain temps et la phase de blocage maintient le niveau de tension échantillonnée pendant tout le temps nécessaire à la conversion, avant de passer à une phase d'échantillonnage suivante et à une conversion suivante.

Parmi les qualités qu'on attend d'un échantillonneur-bloqueur, il y a notamment la rapidité de fonctionnement, une recopie précise de la tension d'entrée dans la capacité de stockage, et un maintien sans pertes de la tension stockée dans la capacité de stockage pendant le temps du blocage.

La figure 1 représente un échantillonneur-bloqueur de l'art antérieur qui présente de bonnes caractéristiques de ce point de vue mais dont on a constaté qu'il pouvait présenter un défaut gênant sur lequel on reviendra plus loin.

L'échantillonneur de la figure 1 est destiné à échantillonner une tension d'entrée V_{in}. Il comprend essentiellement une paire de branches différentielles formant un amplificateur tampon de gain unitaire destiné à éviter de charger inutilement le circuit amont qui produit la tension V_{in}. La paire différentielle comprend deux transistors identiques T1 et T2 dont les émetteurs sont réunis et reliés à une source de courant constant (de valeur $2.I_0$), la base du transistor T1 recevant la tension V_{in}. Le collecteur du

transistor T1 est relié à une tension d'alimentation Vcc. Le collecteur du transistor T2 est alimenté par cette tension Vcc mais à travers une source de courant qui impose un courant I_0 (la moitié du précédent) dans le transistor T2. Le transistor T2 est monté en diode, c'est-à-dire que son collecteur est relié à sa base.

Ce montage permet que la tension sur la base de T2 reproduise exactement la tension d'entrée V_{in}. En effet, le courant dans le collecteur de T1 est égal à I_0, comme celui de T2, puisque le courant $2.I_0$ se partage entre un courant I_0 dans T2 et un courant complémentaire $2I_0$-I_0 dans T1. Les tensions base-émetteur sont donc les mêmes et la tension de base de T2 prend la valeur de celle de T1.

La base du transistor T2 est connectée à la base d'un transistor suiveur T3 qui a deux fonctions selon que l'échantillonneur est en mode échantillonnage ou en mode blocage.

En mode échantillonnage, le transistor T3 est polarisé en suiveur de tension par un transistor T4 qui applique un courant sortant sur son émetteur. Sa tension d'émetteur suit alors les variations de sa tension base, avec un décalage d'une tension base-émetteur Vbe. L'émetteur de T3 est relié à la capacité de stockage C_{ech} et cette capacité prend donc la valeur de V_{in} au décalage Vbe près. Le décalage est constant et de ce fait il ne pose pas de problème ; il en pose encore moins dans un système différentiel où on échantillonnerait une tension différentielle V_{in+} - V_{in-} avec deux ensembles comme celui de la figure 1 ; la tension de sortie est alors la différence entre les tensions stockées sur les capacités ; le décalage Vbe disparaît dans cette soustraction.

En mode blocage, le transistor T3 est bloqué par un transistor T5 qui abaisse le potentiel de base de T3 et tend à extraire un courant négatif de sa base.

Le transistor T4 et le transistor T5 sont rendus conducteurs alternativement par des signaux d'horloge complémentaires HE (qui rend T5 conducteur) et HB (qui rend T4 conducteur) ; ces signaux complémentaires définissent respectivement la phase d'échantillonnage et la phase de blocage.

Enfin, un circuit de maintien de blocage, CLMP, applique à la base du transistor T3, pendant la phase de blocage, une tension qui recopie

sensiblement la tension présente sur la capacité de stockage, de sorte que la tension base-émetteur de T3 reste au voisinage de zéro pendant la phase de blocage. Il empêche ainsi la tension base-émetteur de T3 de descendre trop bas, ce qui tendrait à saturer le transistor T5, ralentissant le retour au mode d'échantillonnage ; il maintient aussi une tension base-émetteur de T3 constante, indépendante de la tension d'entrée V_{in}.

La sortie de l'échantillonneur est prélevée sur la capacité C_{ech}, de préférence après un amplificateur tampon AMP de gain unitaire et d'impédance d'entrée élevée.

La figure 2 représente un diagramme des signaux observés pendant le fonctionnement de l'échantillonneur-bloqueur dans l'hypothèse où le signal V_{in} à convertir est à peu près sinusoïdal. Le signal d'horloge HB est visible dans la partie centrale du diagramme. Le signal HB est le complément du signal HE. La tension V_{ech} aux bornes de la capacité de stockage est visible à la partie inférieure de la figure 2. Pendant les phases d'échantillonnage (HE au niveau haut, HB au niveau bas) la tension V_{ech} suit l'évolution de la tension V_{in}. Pendant la phase de blocage (HE au niveau bas, HB au niveau haut), la tension V_{ech} reste figée à la valeur qu'elle avait à la fin de la période d'échantillonnage.

Cependant, on observe aussi des pics de transition négatifs très importants à la fin de la période de blocage, avant que la tension V_{ech} ne se remette à suivre l'évolution de la tension V_{in}. Ces pics n'empêchent pas le fonctionnement de principe de l'échantillonneur-bloqueur : pendant toute la phase de blocage, le niveau de tension V_{ech} est stable et les circuits qui sont en aval (par exemple un convertisseur analogique-numérique) peuvent l'utiliser. Cependant, s'ils sont d'amplitude trop importante, ils peuvent avoir un effet sur ces circuits en aval : par exemple, si un amplificateur différentiel tel que AMP est directement placé en aval, il peut être saturé par le pic négatif, ce qui a pour effet de ralentir beaucoup le rétablissement de sa tension de sortie au moment de la phase d'échantillonnage. A haute fréquence, l'amplificateur risque de ne pas pouvoir suivre les variations de V_{in} en raison de son temps de récupération, et la tension d'échantillonnage V_{ech} ne sera pas correcte.

On a trouvé que ces pics de commutation pouvaient être dus principalement au fait que, lors du passage à la phase d'échantillonnage, le

transistor T3 devient conducteur plus vite que le transistor T2 : tous deux étaient bloqués par la mise en conduction du transistor T5 ; ils deviennent conducteurs du fait du blocage du transistor T5 et, en ce qui concerne le transistor T3, du fait de la mise en conduction du transistor T4. La tension de blocage présente sur la base de T3, appliquée par le circuit de maintien CLMP, se retrouve sur la capacité d'échantillonnage et produit un pic négatif puisque, comme on l'a vu, cette tension est toujours plus faible que celle de la capacité d'échantillonnage. Ce pic disparaît dès que la base du transistor T3 prend la nouvelle valeur de la tension d'entrée V_{in}.

L'invention a pour but de proposer un circuit qui évite autant que possible la présence de tels pics de transition au moment du passage de la phase de blocage à la phase d'échantillonnage.

Pour y parvenir, l'invention propose un échantillonneur-bloqueur comportant

- une paire différentielle de transistors constituant un amplificateur de gain unitaire recevant une tension d'entrée à échantillonner, la paire différentielle pouvant être alimentée en courant par une source de courant,
- un transistor suiveur relié entre la sortie de la paire différentielle et une capacité de stockage, ce transistor étant rendu conducteur pendant une phase d'échantillonnage par application d'un courant d'émetteur au moyen d'un premier commutateur de courant et pouvant être bloqué pendant une phase de blocage par application d'une tension de blocage sur sa base,

caractérisé en ce que le premier commutateur de courant est commandé de manière à autoriser l'application du courant d'émetteur au transistor suiveur avec un décalage après la fin de l'application de la tension de blocage de la base.

En d'autres mots, il y a maintenant une phase d'échantillonnage et une phase de blocage qui ne sont pas exactement complémentaires au moment de la commutation de la phase de blocage vers la phase d'échantillonnage . La phase de blocage, qu'on définit ici comme étant la phase d'application d'une tension de blocage à la base du transistor suiveur, peut commencer en même temps que la fin de la phase d'échantillonnage, qu'on définit ici comme étant la phase d'application d'un courant d'émetteur

au transistor suiveur ; mais la phase de blocage se termine maintenant avant le début de la phase d'échantillonnage, alors que dans l'art antérieur, la fin de la phase de blocage et le début de la phase d'échantillonnage étaient simultanés.

De préférence, l'échantillonneur-bloqueur comporte un deuxième commutateur de courant qui aiguille le courant de la source de courant soit vers la paire différentielle, en dehors de la phase de blocage, soit vers la base du transistor suiveur, pendant la phase de blocage.

L'échantillonneur-bloqueur selon l'invention peut être réalisé de la manière suivante : la paire différentielle comprend un premier transistor dont la base reçoit la tension à échantillonner et un deuxième transistor dont la base est reliée à son collecteur, la base et le collecteur réunis constituant la sortie de la paire différentielle ; cette sortie est reliée à la base du transistor suiveur, l'émetteur du transistor suiveur étant relié à la capacité de stockage.

Le premier commutateur de courant comprend de préférence une deuxième paire différentielle de transistors alimentée par une deuxième source de courant, l'un des transistors de la deuxième paire, relié à l'émetteur du transistor suiveur, étant rendu conducteur par un signal d'échantillonnage définissant la phase d'échantillonnage, et l'autre transistor étant rendu conducteur par un signal complémentaire du signal d'échantillonnage.

Le deuxième commutateur de courant est de préférence constitué à partir d'une troisième paire différentielle de transistors alimentée par la première source de courant, l'un des transistors de la troisième paire étant relié à la base du transistor suiveur et étant rendu conducteur par un signal de blocage définissant la phase de blocage, l'autre transistor de la troisième paire étant relié à la première paire pour l'alimenter en courant et étant rendu conducteur par un signal complémentaire du signal de blocage.

Comme dans l'art antérieur, on peut prévoir en outre un circuit de maintien de blocage dont l'entrée est reliée à la capacité d'échantillonnage et dont la sortie applique à la base du transistor suiveur, pendant la phase de blocage, une tension plus faible que la tension présente sur la capacité de stockage.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 représente un échantillonneur-bloqueur de l'art antérieur ;
- la figure 2 représente un diagramme de fonctionnement de l'échantillonneur de la figure 1 ;
- la figure 3 représente un schéma d'échantillonneur-bloqueur selon l'invention ;
- la figure 4 représente un diagramme de fonctionnement de l'échantillonneur de la figure 3 ;
- la figure 5 représente un circuit d'établissement de signaux de blocage et d'échantillonnage à partir d'une horloge commune CLK.

L'invention sera décrite à propos de circuits à transistors bipolaires NPN ; elle est transposable à des circuits à transistors PNP et peut être adaptée aussi à des circuits à transistors NMOS ou PMOS.

La figure 3 représente le schéma d'échantillonneur-bloqueur selon l'invention. Les éléments correspondant à ceux de la figure 1 portent les mêmes références. Le schéma est celui d'un échantillonneur-bloqueur simple ; il est facilement transposable à un échantillonneur-bloqueur différentiel, par simple duplication.

La tension V_{in} à échantillonner est appliquée à l'entrée E d'un amplificateur à gain unitaire comprenant une première paire différentielle de deux transistors T1 et T2 ayant leurs émetteurs réunis. L'entrée E est la base du transistor T1. La sortie de l'amplificateur est la base du transistor T2, qui est reliée à son collecteur. La paire différentielle est alimentée en courant par une source de courant constant SC1 de valeur $2.I_0$, mais cette alimentation en courant n'est fournie, comme on le verra, qu'en dehors des phases de blocage de l'échantillonneur-bloqueur.

Le collecteur de T1 est relié à une tension d'alimentation Vcc. Le collecteur et la base de T2 sont reliés à cette tension d'alimentation Vcc par l'intermédiaire d'une source de courant SC3 qui impose un courant de valeur I_0 (la moitié de la valeur de la source SC1) entre l'alimentation Vcc et le transistor T2.

Les transistors T1 et T2 sont identiques. Si la paire différentielle est alimentée par le courant $2.I_0$, en dehors des phases de blocage, le courant se divise en deux parties égales dans T2 (courant I_0 imposé par la source de courant SC3) et dans T1 (courant résultant de la différence entre le courant $2.I_0$ dans la source SC3 et le courant I_0 dans le transistor T2). Les courants dans T1 et T2 étant identiques, les tensions base-émetteur de T1 et T2 sont identiques. La tension sur la base du transistor T2 prend donc la valeur V_{in}, en dehors des phases de blocage.

La base et le collecteurs réunis du transistor T2, qui constituent la sortie de l'amplificateur à gain unitaire, sont reliées à l'entrée d'un étage suiveur de tension. L'étage suiveur est constitué par un transistor T3 ; la base de T3 est l'entrée de l'étage suiveur ; l'émetteur de T3 est la sortie de l'étage suiveur. Cette sortie est connectée à une capacité de stockage C_{ech} dont la fonction est de recevoir des charges représentant la valeur de V_{in} pendant une phase d'échantillonnage, et de conserver ces charges sans pertes pendant une phase de blocage.

Le rôle de l'étage suiveur (T3) pendant la phase d'échantillonnage est de transmettre à la capacité une tension qui représente aussi exactement que possible la tension d'entrée V_{in}. Toutefois, la tension d'entrée est transmise à la capacité avec un décalage de Vbe où Vbe est la tension base-émetteur du transistor T3. Ce décalage n'est pas gênant dans la mesure où il est constant (le courant qui traverse T3 pendant la phase d'échantillonnage est constant), et il est encore moins gênant dans un échantillonneur-bloqueur différentiel supprimant les effets de mode commun.

La tension aux bornes de la capacité est V_{ech}. Elle suit la tension V_{in} pendant la phase d'échantillonnage ; elle ne bouge plus pendant la phase de blocage.

La phase d'échantillonnage est définie par un signal d'échantillonnage HE ; ce signal au niveau logique haut pendant la phase d'échantillonnage. Pendant cette phase, un commutateur de courant comprenant notamment un transistor T4 applique à l'émetteur du transistor suiveur T3 un courant provenant d'une source de courant SC2 dont la valeur est de préférence I_0. La base du transistor T4 est commandée par le signal d'échantillonnage HE. Le transistor T4 est conducteur pendant la phase d'échantillonnage. Le complément logique du signal HE est désigné par

HEN, au niveau bas quand HE est au niveau haut et réciproquement ; le signal HEN commande la base d'un transistor T7 qui fait partie du commutateur de courant ; il rend ce transistor T7 conducteur en dehors de la phase d'échantillonnage pour dériver hors du transistor T4, et donc hors du transistor suiveur T3, le courant de la source SC2.

Un deuxième commutateur de courant comprend des transistors T5 et T6 et est commandé par un signal de blocage HB définissant la phase de blocage, et par un signal HBN complémentaire du signal de blocage. La base du transistor T5 reçoit le signal de blocage HB ; ce transistor est rendu conducteur pendant la phase de blocage. Il tend à abaisser le potentiel de base du transistor T3 pour l'empêcher d'être conducteur. La base du transistor T6 reçoit le signal complémentaire HBN qui rend conducteur ce transistor en dehors de la phase de blocage pour faire passer dans la paire différentielle T1, T2 le courant de la source SC1.

Il est prévu en outre dans cet exemple un circuit de contrôle et maintien du potentiel de base de T3 pendant la phase de blocage. Ce circuit CLMP comprend un circuit de décalage de niveau DN et un transistor T8. Ce circuit reçoit sur son entrée la tension V_{ech} stockée sur la capacité de stockage C_{ech} et il produit sur la base du transistor suiveur T3 une tension qui recopie la tension V_{ech} et qui est telle que la différence entre la tension d'émetteur de T3 (V_{ech}) et la tension base de T3 soit proche de zéro, assurant le blocage de T3 sans excès de tension négative sur la base de T3.

La tension de sortie de l'échantillonneur est prise sur la capacité de stockage, éventuellement à travers un amplificateur tampon AMP.

Les signaux de blocage HB et d'échantillonnage HE ne sont pas exactement complémentaires ; ils sont représentés sur la figure 4. L'échelle est dilatée par rapport aux signaux représentés sur la figure 2 afin de mieux montrer le décalage temporel selon l'invention, entre HB et HE. Sur la partie supérieure de la figure on a représenté à la fois les signaux HE et HB. Dans la partie centrale on a représenté le signal HE seulement. Le front de montée est le même pour les deux signaux HB et HE. Mais leurs fronts de descente sont légèrement décalés, le front de descente du signal de blocage HB précédant légèrement le front de descente du signal d'échantillonnage HE.

Dans la partie inférieure de la figure 4 on a représenté la tension d'échantillonnage V_{ech}. On voit que les forts pics de commutation qui apparaissaient à la figure 2 ont pratiquement disparu sur la figure 4.

Ceci résulte du fait que le transistor T2 se met à conduire dès la fin de la phase de blocage (front de descente de HB) par suite de la mise en conduction du transistor T6, ceci avant la phase d'échantillonnage proprement dite, c'est-à-dire avant que le transistor T4 ne se mette à conduire. La base de T2 tend à prendre la valeur V_{in} alors que T3 est encore bloqué. Lorsque arrive le signal d'échantillonnage, le transistor se met à conduire mais sa base est presque au niveau de potentiel qui convient pour la phase d'échantillonnage.

On notera que pendant la phase de blocage l'isolation entre l'entrée et la capacité d'échantillonnage est particulièrement efficace avec le circuit selon l'invention.

La figure 5 représente un exemple de manière de réaliser des signaux de blocage et d'échantillonnage HB et HE et leurs compléments à partir d'une seule horloge CLK. Deux inverseurs I1, I2 en cascade reçoivent l'horloge CLK et produisent une horloge légèrement retardée CLKr. L'horloge CLK et l'horloge retardée CLKr sont appliquées au entrées d'une porte ET. La sortie de la porte ET produit un signal dont le front de montée est le même que le front de montée de CLK et le front de descente est le même que le front de descente de CLKr. L'horloge CLK sert à produire le signal de blocage HB (à travers un amplificateur tampon A1) et son complément HBN (à travers un inverseur et un amplificateur tampon A2). La sortie de la porte ET sert à produire le signal d'échantillonnage HE (à travers un amplificateur tampon A3) et son complément HEN (à travers un inverseur et un amplificateur tampon A4).

REVENDICATIONS

1. Echantillonneur-bloqueur comportant

- une paire différentielle de transistors (T1, T2) constituant un amplificateur de gain unitaire recevant une tension d'entrée (V_{in}) à échantillonner, la paire différentielle pouvant être alimentée en courant par une source de courant (SC1),

- un transistor suiveur (T3) relié entre la sortie de la paire différentielle (T1, T2) et une capacité de stockage C_{ech}, ce transistor étant rendu conducteur pendant une phase d'échantillonnage par application d'un courant d'émetteur au moyen d'un premier commutateur de courant (T4, T7) et pouvant être bloqué pendant une phase de blocage par application d'une tension de blocage sur sa base,

caractérisé en ce que le premier commutateur de courant (T4, T7) est commandé de manière à autoriser l'application du courant d'émetteur au transistor suiveur avec un décalage après la fin de l'application de la tension de blocage de la base.

2. Echantillonneur-bloqueur selon la revendication 1, caractérisé en ce qu'il fonctionne avec une phase de blocage commençant en même temps que la fin d'une phase d'échantillonnage et se terminant avant le début d'une nouvelle phase d'échantillonnage.

3. Echantillonneur-bloqueur selon l'une des revendications 1 et 2, caractérisé en ce que la paire différentielle comprend un premier transistor (T1) dont la base reçoit la tension à échantillonner (V_{in}) et un deuxième transistor (T2) dont la base est reliée à son collecteur, la base et le collecteur réunis constituant la sortie de la paire différentielle, reliée à la base du transistor suiveur (T3), l'émetteur du transistor suiveur étant relié à la capacité de stockage.

4. Echantilloneur-bloqueur selon l'une des revendications 1 à 3, caractérisé en ce que le premier commutateur de courant comprend une

deuxième paire différentielle de transistors (T4, T7) alimentée par une deuxième source de courant (SC2), l'un des transistors (T4) de la deuxième paire, relié à l'émetteur du transistor suiveur (T3), étant rendu conducteur par un signal d'échantillonnage (HE) définissant la phase d'échantillonnage, et l'autre transistor étant rendu conducteur par un signal (HEN) complémentaire du signal d'échantillonnage.

5. Echantillonneur-bloqueur selon l'une des revendications 1 à 4, caractérisé en ce qu'il comporte un deuxième commutateur de courant (T5, T6) qui aiguille le courant de la source de courant (SC1) soit vers la paire différentielle (T1 T2), en dehors de la phase de blocage, soit vers la base du transistor suiveur (T3), pendant la phase de blocage.

6. Echantillonneur-bloqueur selon la revendication 3, caractérisé en ce que le deuxième commutateur de courant est constitué à partir d'une troisième paire différentielle de transistors (T5, T6) alimentée par la première source de courant (SC1), l'un des transistors (T5) de la troisième paire étant relié à la base du transistor suiveur (T3) et étant rendu conducteur par un signal de blocage (HB) définissant la phase de blocage, l'autre transistor (T6) de la troisième paire étant relié à la première paire pour l'alimenter en courant et étant rendu conducteur par un signal (HBN) complémentaire du signal de blocage.

7. Echantillonneur-bloqueur selon l'une des revendications 1 à 6, caractérisé en ce qu'il comporte un circuit de maintien de blocage (CLMP) dont l'entrée est reliée à la capacité de stockage et dont la sortie applique à la base du transistor suiveur (T3), pendant la phase de blocage, une tension plus faible que la tension présente sur la capacité de stockage.

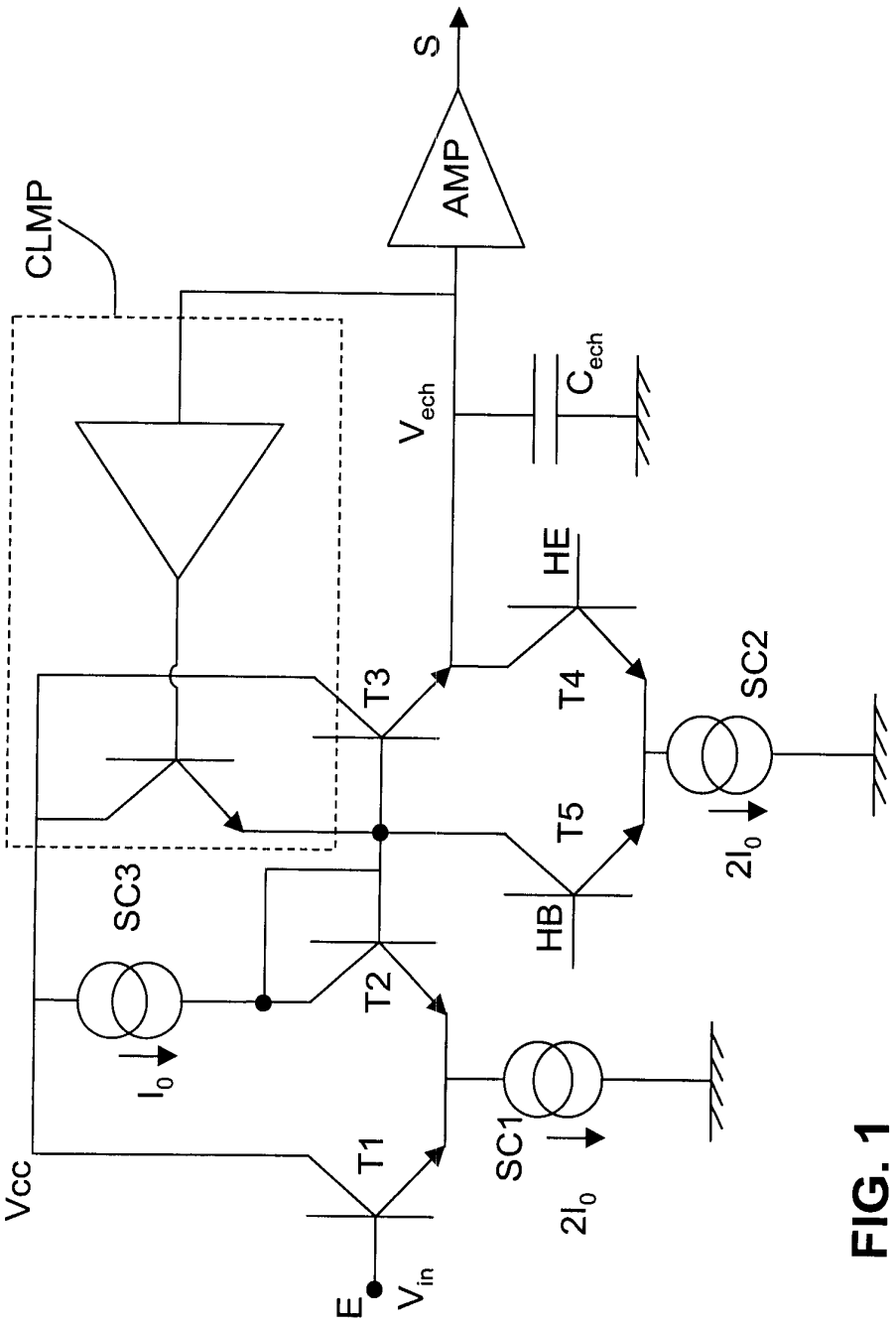

S
AMP
CLMP
V_{ech}
C_{ech}
HE
T3
T4
SC2
T5
$2I_0$
HB
SC3
T2
I_0
T1
SC1
$2I_0$
Vcc
E
V_{in}

FIG. 1

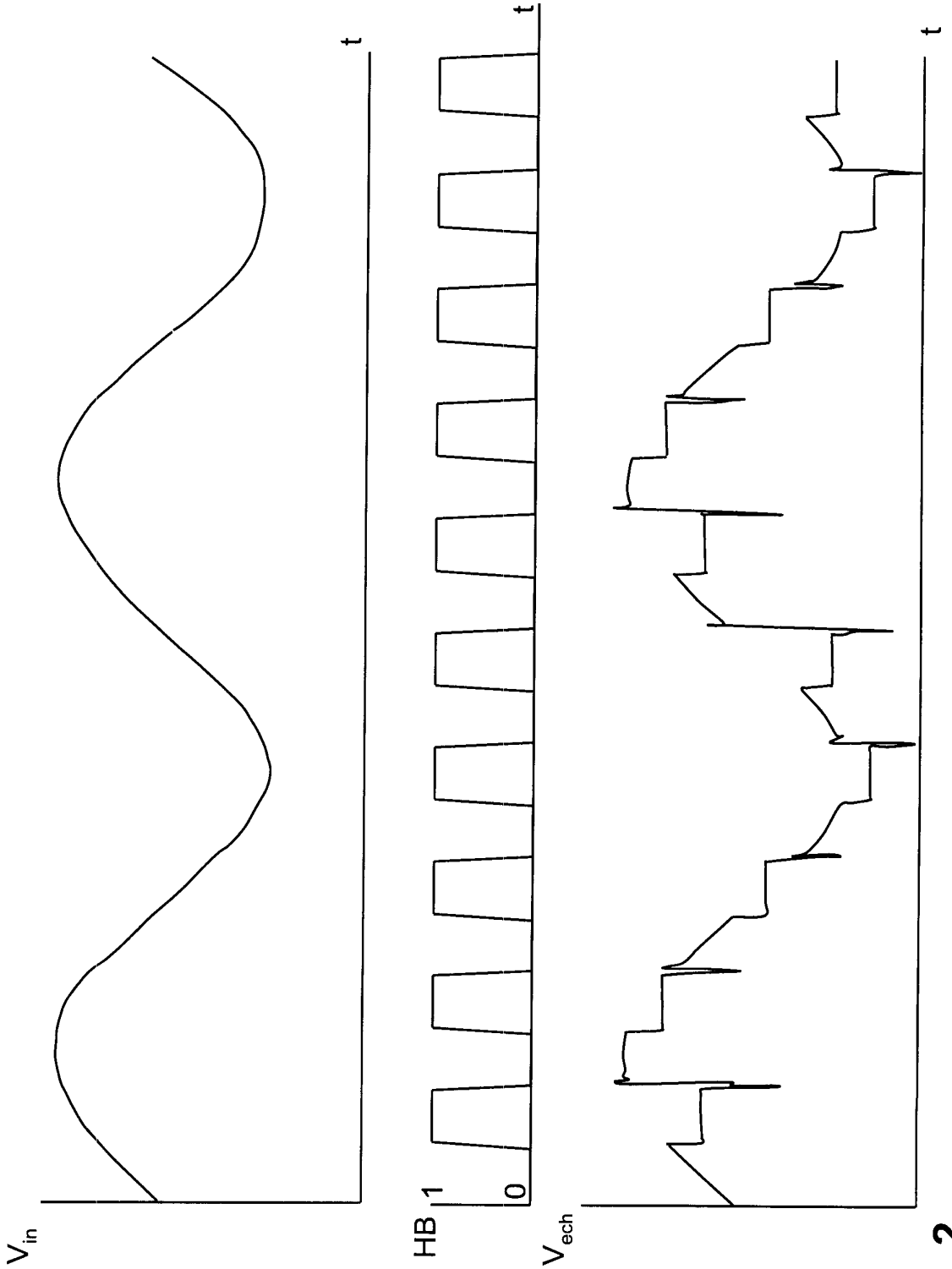


FIG. 2

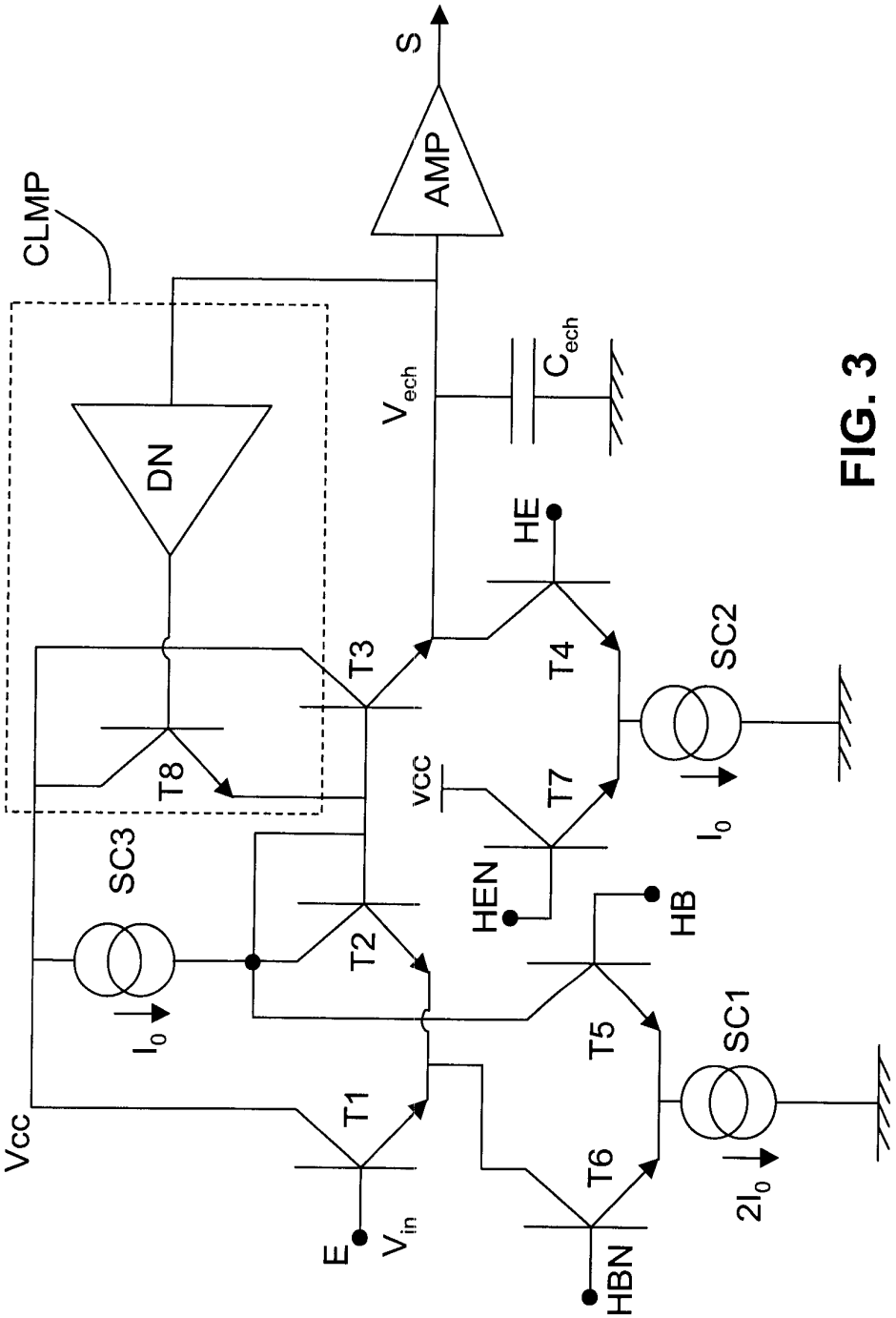

S
AMP
CLMP
DN
V_{ech}
C_{ech}
HE
T3
T4
SC2
T8
VCC
T7
I_0
SC3
HEN
HB
T2
I_0
T5
SC1
Vcc
T1
T6
$2I_0$
E
V_{in}
HBN

FIG. 3

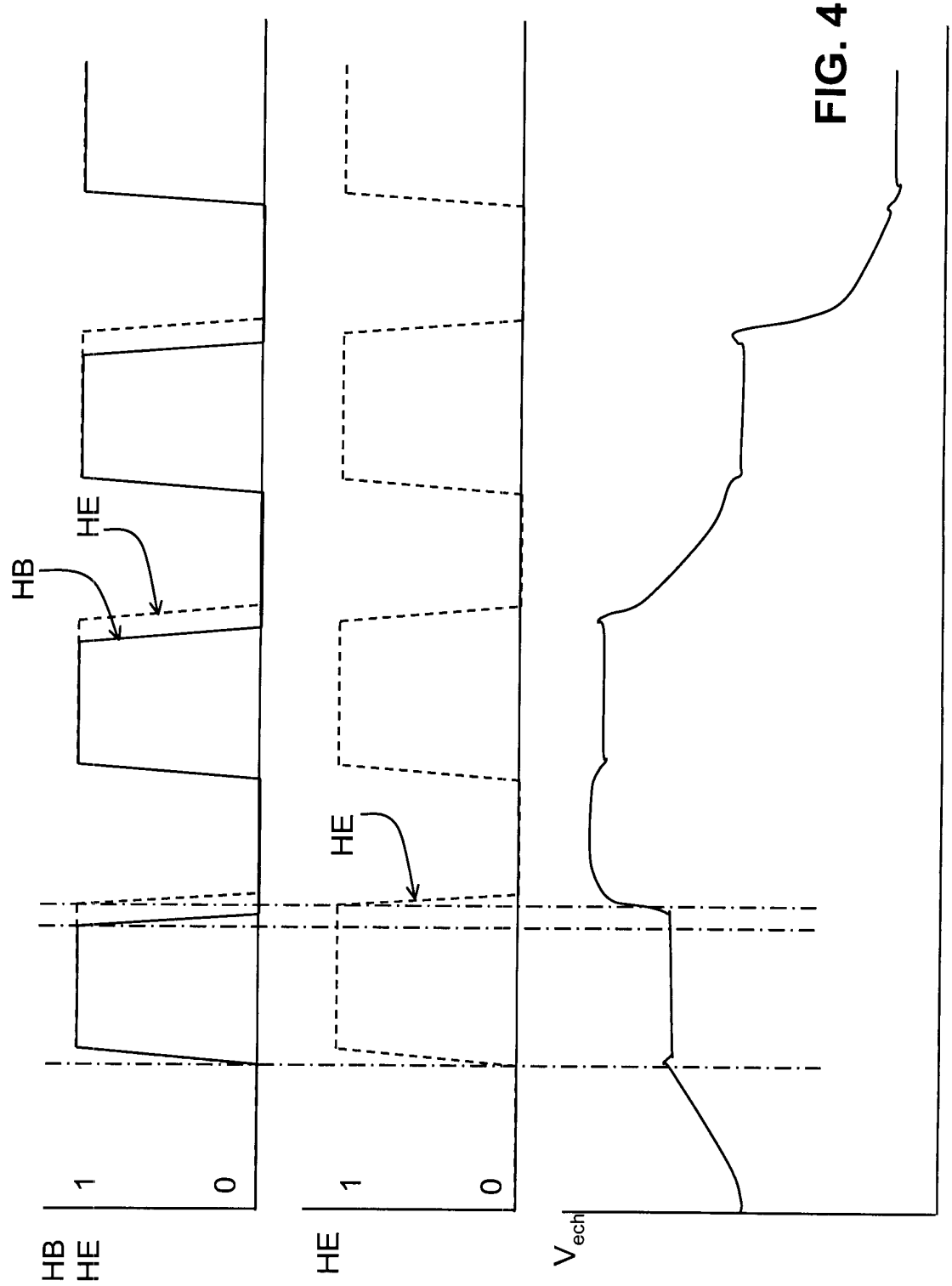


FIG. 4

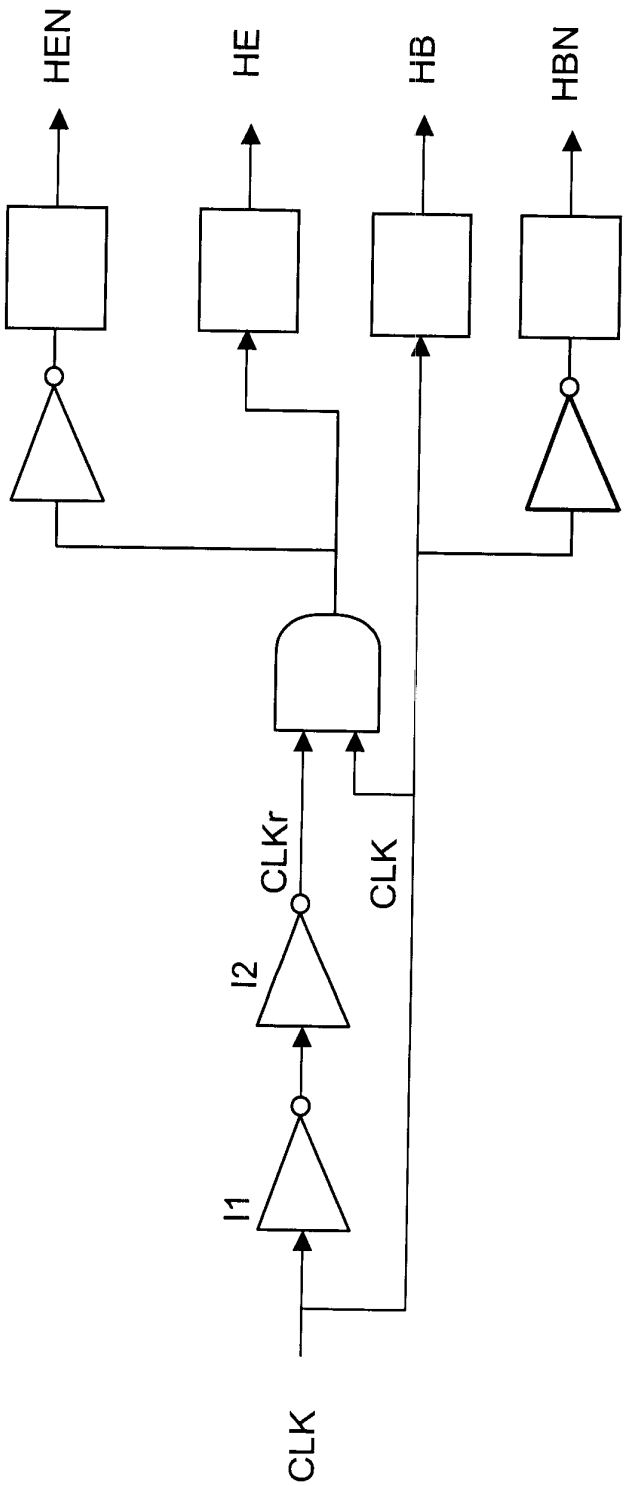


FIG. 5

RÉPUBLIQUE FRANÇAISE

2913807

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

N° d'enregistrement national

FA 691793
FR 0701800

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2005/035791 A1 (DEVENDORF DON C [US] ET AL) 17 février 2005 (2005-02-17) * alinéa [0037] * * alinéa [0084] - alinéa [0085] * * figures 2,12 * -----	1-5,7	G11C27/02 H03M1/12
A	WO 01/73789 A (KONINKL PHILIPS ELECTRONICS NV [NL]) 4 octobre 2001 (2001-10-04) * page 3, ligne 10 - page 7, ligne 33; figures 1-3 * -----	1-7	
A	EP 1 074 996 A (ATMEL GRENOBLE S A [FR]) 7 février 2001 (2001-02-07) * alinéa [0012] - alinéa [0027]; figure 1 * -----	7	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			G11C

Date d'achèvement de la recherche	Examinateur
11 juillet 2007	Colling, Pierre

CATÉGORIE DES DOCUMENTS CITÉS

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : arrière-plan technologique
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

EPO FORM 1503 12.99 (P04C14)

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0701800 FA 691793

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 11-07-2007
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2005035791 A1	17-02-2005	AUCUN	
WO 0173789 A	04-10-2001	CN 1381058 A	20-11-2002
		JP 2003529258 T	30-09-2003
		US 2001045847 A1	29-11-2001
EP 1074996 A	07-02-2001	FR 2797362 A1	09-02-2001
		US 6285220 B1	04-09-2001

EPO FORM P0465