(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0000249
(43) 공개일자 2009년01월07일

(51) Int. Cl.
G06F 17/00 (2006.01) *G06F 9/455* (2006.01)
(21) 출원번호 10-2007-0012976
(22) 출원일자 2007년02월08일
심사청구일자 없음

(71) 출원인
인하대학교 산학협력단
인천 남구 용현동 253 인하대학교
(72) 발명자
신형철
서울 서초구 반포동 반포APT 65-108
강인만
서울 관악구 신림9동 서울대학교 신공학관 301동 1001호
(뒷면에 계속)
(74) 대리인
이원희

전체 청구항 수 : 총 1 항

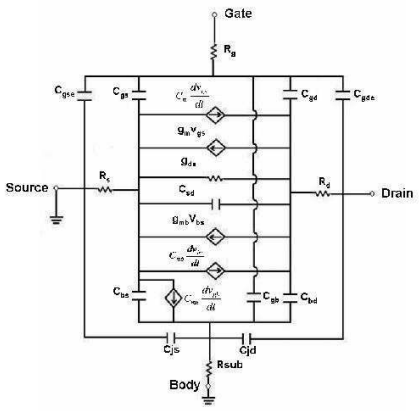
(54) 고주파 영역의 무선주파수 전계 효과 트랜지스터 전산 모사방법

(57) 요 약

본 발명은 무선주파수 모델링을 통해 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 반도체 소자들의 게이트 저항 추출에 관한 것으로서, 특히 고주파 영역으로 갈수록 게이트 저항의 크기가 커지게 되는 무선주파수 MOSFET 반도체 소자 모델링에 관한 것이다.

본 발명은 소 신호 모델링을 이용하여 각각의 parameter들은 S-parameter 측정으로부터 Y-parameter를 분석함으로써 얻어졌고, model의 정확성은 20GHz까지 비교하였다. n-MOSFET의 전체 모델링 오차가 20GHz까지 1.46%이다. 제안되어진 소 신호 모델링을 이용하여 고주파 영역에서의 신뢰성 높은 MOSFET 반도체 소자를 설계할 수 있다.

대 표 도 - 도2



(72) 발명자

원태영

서울 강남구 대치동 506 선경아파트 7-504

조상영

서울 양천구 신정6동 신사가지

특허청구의 범위

청구항 1

20Ghz 영역에서의 MOSFET 반도체 소자의 물리적 현상을 보다 정확히 예측할 수 있는 제안되어진 소신호 모델링 기법에 있어서,

(a) substrate signal coupling network 와 관련된 캐패시턴스 Cjs,Cjd,Rsub을 제거한 단계;

(b) Cbs, Cbd, Cmb를 추가하여 본 회로의 On/Off를 정밀히 제어한 단계; 및

(c) 오버랩 캐패피턴스 cgse, cgde를 추가하여 잔류 전류를 제거함과 동시에 Body에 고 저항 값을 지닌 Rsub 또한 추가함으로써 잔류 전류의 접지로의 배출을 용이하게 한 단계

를 포함하는 소신호 모델링 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<7> 본 발명은 무선주파수 모델링을 통해 모스펫 소자들의 게이트저항 추출에 관한 것으로서, 특히 소자의 크기가 100nm 이하로 작아질수록 게이트 저항의 크기가 커지게 되는 무선주파수 집적회로 디자인의 정밀도를 높이기 위한 것이다.

<8> CMOS 반도체 제조 고집적화 기술의 지속적인 발달에 따라 무선주파수 CMOS 반도체 트랜지스터의 성능이 향상되어 지고 있다. 무선 주파수 CMOS 반도체를 이용하여 LMDS(Local Multipoint Distribution Service), wireless LAN, automotive radar, satellite communication 등 여러 분야에 사용되어 지고 있다. 이러한 무선 주파수 CMOS 반도체 트랜지스터는 20Ghz 주파수 내에서 소자의 기생 요소 및 캐패시턴스 값을 추정하여 설계하는 것이 일반적이다. 고주파에서 동작하는 소자들의 small-signal modeling과 parameter 추출 방법은 새로운 방법이 아니고 이를 이용하여 MESFET, HEMT, and HBT와 같은 소자들에 대한 parameter 추출 방법들이 잘 정립되어있다. 그러나 최근에 낮은 가격과, 고집적, one-chip solution을 장점으로 CMOS를 이용한 많은 적용이 진행되고 있다. CMOS를 이용하여 정확한 회로 설계를 구현하기 위해서는 이에 상응하는 정확한 small signal modeling이 필수적이다.

발명이 이루고자 하는 기술적 과제

<9> 본 발명은 상기와 같은 문제점을 해결하기 위하여 제안된 것으로, 20 Ghz 고주파 영역에서의 간단하고 직접적이면서도 RF MOSFET 반도체 소자의 모든 물리적 현상을 표현할 수 있는 complete small-signal model을 제안하는데 그 목적이 있다.

발명의 구성 및 작용

<10> 상기 목적을 달성하기 위해서 본 발명은 무선주파수 CMOS 반도체 소자를 소 신호 등가회로로 나타내고 각 소자들의 값들을 추출하는 방법을 개발했다. 이전에 개발된 모델들에서 매크로 모델링을 추가한 모델을 사용했고, 복잡한 curve fitting method들 대신, Y-parameter Analysis를 통해, 간단한 Linear regression 방법을 이용하여 각 소자들의 값을 추출하는 방법을 제안한다.

<11> 이하에서는 도1을 참조하여 본 발명에 따른 20Ghz 영역에서의 MOSFET 반도체 소자의 물리적 현상을 보다 정확히 예측할 수 있는 제안 되어진 소 신호 모델링 기법의 양호한 실시예를 상세히 설명한다.

<12> 도1을 참조하면, RF MOSFET의 small signal 등가회로를 나타낸다. R_s 와 R_d는 각각 source 저항과 drain저항을 나타낸다. C_{gse} and C_{gde}는 각각 overlap capacitance를 나타낸다. Substrate-signal-coupling network 와 관련된 parameter들은 C_{js}, C_{jd}, and R_{sub}로 구성되고, 이 parameter들은 device가 꺼졌을 때 즉, 게이트 전압이 0V

일 때 얻어질 수 있다. 도2 는 기존의 small-signal 등가회로이다. Long-channel MOSFET과 달리short-channel MOSFET에서는 소스/드레인 저항의 영향이 커지며 특히 SDE (source-drain-extension) 영역에 의해 주로 나타나는 저항 성분이 소스 드레인 저항의 주요 원인이 된다. 그리하여 우리의 모델에서는 소스/드레인 저항을 고려하여 R_s, R_d 를 junction capacitance 내부로 넣었으며, 실리콘 기판에 의한 substrate-signal-coupling 현상을 고려하기 위해 junction capacitance C_{js}와 C_{jd}, substrate R_{sub}로 표현된 substrate-signal-coupling network이 연결되어 있다. Y 파라미터 수식 유도에 의한 소신호 파라미터 추출에 앞서 소스/드레인 저항과 substrate-signal-coupling network의 de-embedding이 진행되어야 회로 해석이 용이 해진다. De-embedding 절차는 다음과 같다.

$$\therefore \quad [Y_{in}] = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} - Y_{sub} \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} - \begin{bmatrix} 0 & 0 \\ 0 & Y_{sub} \end{bmatrix} = [Y] - \begin{bmatrix} 0 & 0 \\ 0 & Y_{sub} \end{bmatrix} \tag{13}$$

$$[Z^{int}] = [Z^{in}] - \begin{bmatrix} R_s & R_s \\ R_s & R_d + R_s \end{bmatrix} \tag{14}$$

De-embdding이 끝난 후 Z_{int}를 Y_{int}로 변환하면 이제부터 회로 해석이 용이해지며, 유도된 Y_{int} 수식과 측정된 Y 파라미터로부터 소 신호 파라미터들을 추출할 수 있다. 제안된 등가회로의 Y_{int} 부분의 유도 과정은 다음과 같다. <15>

$$Y_{11}^{int} = \frac{j\omega(C_{gs}+C_{gd})}{1+j\omega R_g(C_{gs}+C_{gd})} = \frac{\omega^2 R_g(C_{gs}+C_{gd})^2 + j\omega(C_{gs}+C_{gd})}{1+\omega^2 R_g^{\,2}(C_{gs}+C_{gd})^2} \tag{16}$$

$$Y_{12}^{int} = \frac{-j\omega C_{gd}}{1+j\omega R_g(C_{gs}+C_{gd})} = \frac{-\omega^2 R_g C_{gd}(C_{gs}+C_{gd}) - j\omega C_{gd}}{1+\omega^2 R_g^{\,2}(C_{gs}+C_{gd})^2} \tag{17}$$

$$Y_{21}^{int} = \frac{g_m - j\omega C_m - j\omega C_{gd}}{1+j\omega R_g(C_{gs}+C_{gd})} = \frac{g_m - j\omega C_{dg}}{1+j\omega R_g(C_{gs}+C_{gd})} \tag{18}$$

$$= \frac{g_m - \omega^2 R_g C_{dg}(C_{gs}+C_{gd}) - j\omega[C_{dg} + g_m R_g(C_{gs}+C_{gd})]}{1+\omega^2 R_g^{\,2}(C_{gs}+C_{gd})^2} \tag{19}$$

$$Y_{22}^{int} = g_{ds} + j\omega(C_{sd} + C_{gd}) \tag{20}$$

$$Y_{22}^{int} \approx g_{ds} + \omega^2[R_g C_{gd} C_{dg} + g_m R_g^{\,2} C_{gd}(C_{gs}+C_{gd}) + g_{mb} R_{sub}^{\,2} C_{jd}(C_{js}+C_{jd})] \tag{21}$$

$$- j\omega^3 R_g^{\,2} C_{gd} C_{dg}(C_{gs}+C_{gd}) \quad + j\omega(C_{sd} + C_{gd} + g_m R_g C_{gd} + g_{mb} R_{sub} C_{jd}) \tag{22}$$

간략화 되어진 Y 파라미터의 real과 imaginary 성분으로부터 등가회로 내의 소 신호 파라미터의 관계식을 정리하며 다음과 같다. <23>

$$g_{ds} = \mathrm{Re}(Y_{22}^{int})\big|_{\omega^2=0}, \qquad g_m = \mathrm{Re}(Y_{21}^{int})\big|_{\omega^2=0} \tag{24}$$

$$R_g = \mathrm{Re}(Y_{11}^{int})/(\mathrm{Im}(Y_{11}^{int}))^2 \tag{25}$$

$$C_{gd} = -\mathrm{Im}(Y_{12}^{int})/\omega, \qquad C_{gs} = (\mathrm{Im}(Y_{11}^{int}) + \mathrm{Im}(Y_{12}^{int}))/\omega, \tag{26}$$

<27> $$C_{dg} = -\mathrm{Im}(Y_{21}^{int})/\omega - g_m R_g (C_{gs} + C_{gd})$$

<28> $$g_{sub} = \left[\frac{\mathrm{Re}(Y_{22}^{int}) - g_{ds}}{\omega^2} - R_g C_{gd} C_{dg} - g_m R_g^2 C_{gd} (C_{gs} + C_{gd}) \right] / R_{sub}^2 C_{jd} (C_{js} + C_{jd})$$

<29> n-MOSFET은 채널 길이가 0.13um, 게이트 fingers수가 24개, total width가 43.2um를 갖는 n-MOSFET을 가지고 측정을 하였다. 도3 은 V_{GS}=V_{DS}=1V에서 n-MOSFET의 측정된 S-parameter 와 본 발명에 따른 소 신호 모델링 회로의 S-parameter를 비교한 도면이다.

<30> 전술한 내용은 후술할 발명의 특허 청구 범위를 더욱 잘 이해할 수 있도록 본 발명의 특징과 기술적 장점을 다소 폭넓게 개선하였다. 본 발명의 특허 청구 범위를 구성하는 부가적인 특징과 장점들이 이하에서 상술될 것이다. 개시된 본 발명의 개념과 특정 실시예는 본 발명과 유사 목적을 수행하기 위한 다른 구조의 설계나 수정의 기본으로서 즉시 사용될 수 있음이 당해 기술 분야의 숙련된 사람들에 의해 인식되어야 한다.

<31> 또한, 본 발명에서 개시된 발명 개념과 실시예가 본 발명의 동일 목적을 수행하기 위하여 다른 구조로 수정하거나 설계하기 위한 기초로서 당해 기술 분야의 숙련된 사람들에 의해 사용될 수 있을 것이다. 또한, 당해 기술 분야의 숙련된 사람에 의한 그와 같은 수정 또는 변경된 등가 구조는 특허 청구 범위에서 기술한 발명의 사상이나 범위를 벗어나지 않는 한도 내에서 다양한 진화, 치환 및 변경이 가능하다.

발명의 효과

<32> 이상에서 상술한 바와 같이, 본 발명에서는 20Ghz 영역에서의 기존의 소 신호 모델링 보다 개선된 소 신호 모델링을 이용하여 20Ghz 고주파 영역까지 실험 결과와 검증함으로써 오차 1.46%의 결과를 얻었다. 이는 고주파 영역에서 주파수에 영향 받지 않는 안정적인 MOSFET 반도체 소자를 설계하는데 예상된다.

도면의 간단한 설명

<1> 도1은 종래 기술에 따른 RF MOSFET의 small signal 등가회로 도면.

<2> 도2은 본 발명에 따른 새로운 RF MOSFET의 small signal 등가회로 도면.

<3> 도3a은 본 발명에 따른VGS=VDS=1V에서 n-MOSFET의 측정된 S-parameter 와 본 발명에 따른 S-parameter S11의 비교 도면.

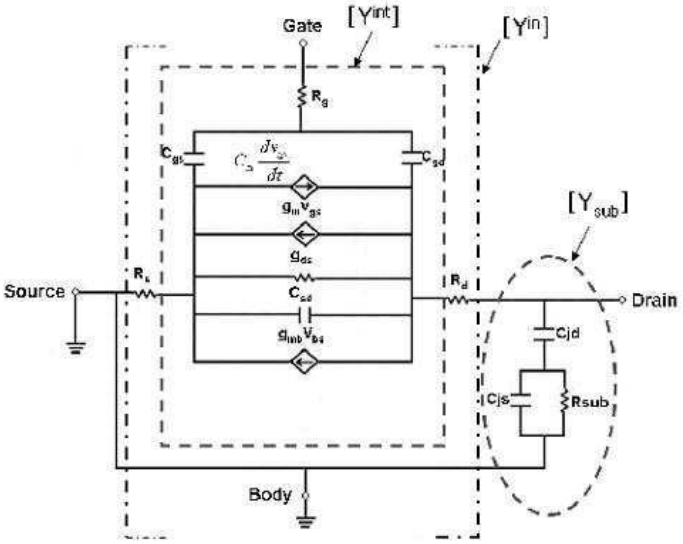
<4> 도3b는 본 발명에 따른VGS=VDS=1V에서 n-MOSFET의 측정된 S-parameter 와 본 발명에 따른 S-parameter S12의 비교 도면.

<5> 도3c는 본 발명에 따른 VGS=VDS=1V에서 n-MOSFET의 측정된 S-parameter 와 본 발명에 따른 S-parameter S21의 비교 도면.

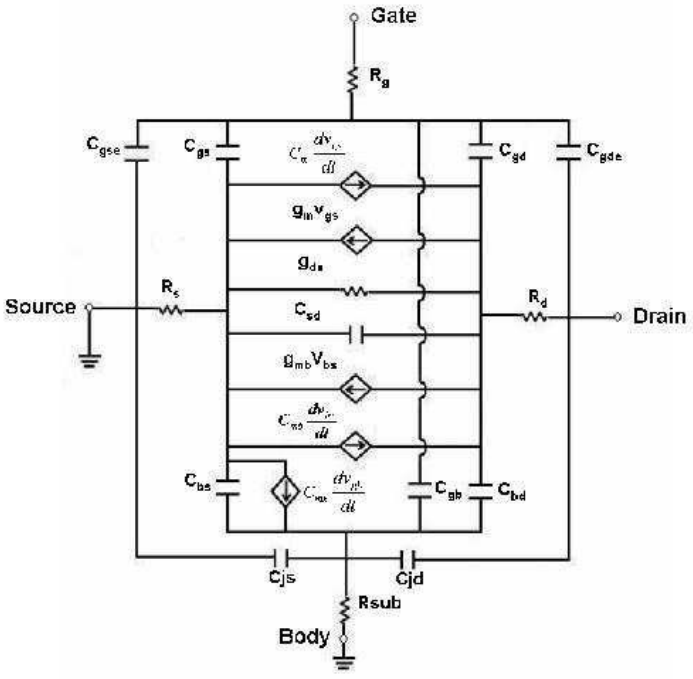
<6> 도3d는 본 발명에 따른 VGS=VDS=1V에서 n-MOSFET의 측정된 S-parameter 와 본 발명에 따른 S-parameter S22의 비교 도면.

도면

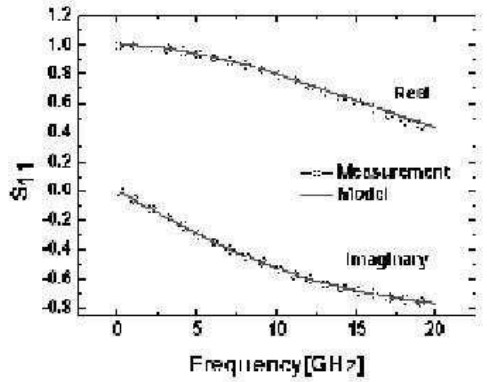
도면1


Gate
[Yint]
[Yin]
Rg
Cgs
Cgd
gmVgs
gds
Csd
gmbVbs
[Ysub]
Source
Rs
Rd
Drain
Cjd
Cjs
Rsub
Body

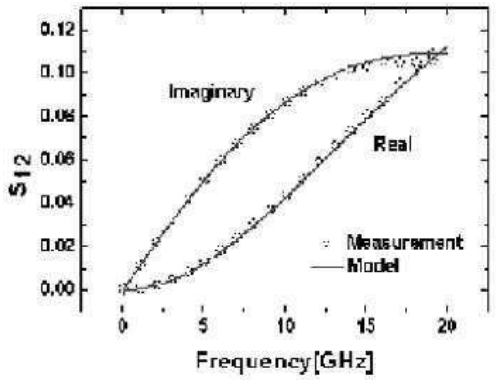
도면2


Gate
Rg
Cgse
Cgs
Cgd
Cgde
gmVgs
gds
Source
Rs
Csd
Rd
Drain
gmbVbs
Cbs
Cgb
Cbd
Cjs
Cjd
Rsub
Body

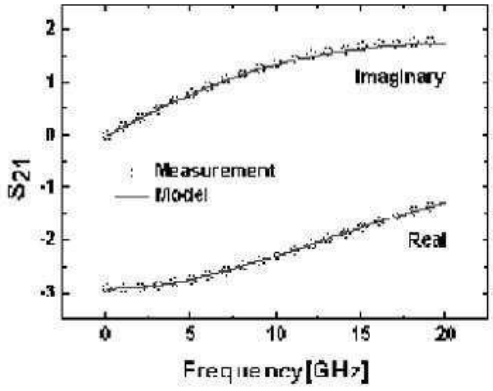
도면3a



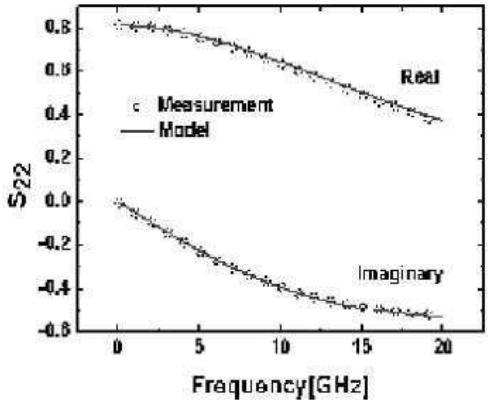
도면3b



도면3c



도면3d


Real
Measurement
Model
Imaginary
S22
0.8
0.6
0.4
0.2
0.0
-0.2
-0.4
-0.6
0
5
10
15
20
Frequency[GHz]