

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5232128号
(P5232128)

(45) 発行日 平成25年7月10日(2013.7.10)

(24) 登録日 平成25年3月29日(2013.3.29)

(51) Int. Cl.		F I	
H03F	3/08	(2006.01)	H03F 3/08
H04B	10/40	(2013.01)	H04B 9/00
H04B	10/50	(2013.01)	
H04B	10/60	(2013.01)	Y

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2009-263153 (P2009-263153)	(73) 特許権者	000003078
(22) 出願日	平成21年11月18日(2009.11.18)		株式会社東芝
(65) 公開番号	特開2010-178327 (P2010-178327A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成22年8月12日(2010.8.12)	(74) 代理人	100108062
審査請求日	平成24年3月6日(2012.3.6)		弁理士 日向寺 雅彦
(31) 優先権主張番号	特願2009-429 (P2009-429)	(72) 発明者	斎藤 比佐実
(32) 優先日	平成21年1月5日(2009.1.5)		東京都港区芝浦一丁目1番1号 株式会社東芝内
(33) 優先権主張国	日本国(JP)	(72) 発明者	古谷 美樹
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		審査官	▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 光受信回路及び光結合装置

(57) 【特許請求の範囲】

【請求項1】

光信号を電流信号に変換可能な第1の受光素子と、
前記電流信号が入力され第1の電圧信号を出力可能な第1のトランスインピーダンスアンプと、

前記第1の電圧信号に対してパルスの切り替わりを判別する基準電圧とする第2の電圧信号を供給可能な電圧源と、

前記第1の電圧信号と比較しシフト制御信号を作成するための基準電圧とする第3の電圧信号を供給可能な電圧源と、

前記シフト制御信号に応じて前記第1の電圧信号からレベルシフト電圧を減算して出力可能なレベルシフト回路と、

前記レベルシフト回路の出力が第1の端子に入力され、前記第2の電圧信号が第2の端子に入力され、前記第1の電圧信号をパルスに変換可能なコンパレータと、

前記第1の電圧信号の値が前記第3の電圧信号を超えた時には前記レベルシフト回路により前記第1の電圧信号をローレベル側にシフトして出力する前記シフト制御信号を出力可能とし、前記レベルシフト回路の前記出力が前記第2の電圧信号よりも低下したのち前記レベルシフト回路の前記出力をハイレベル側に戻して出力する前記シフト制御信号を出力可能とする制御部と、

を備えたことを特徴とする光受信回路。

【請求項2】

10

20

前記第 1 の電圧信号の値が前記第 3 の電圧信号を超えかつ前記コンパレータの出力が切り替わった後に前記制御部は前記第 1 の電圧信号をローレベル側にシフトする前記シフト制御信号を遅延して出力し、

前記第 1 の電圧信号が立ち下がる時、前記制御部は前記コンパレータの前記出力が切り替わるまで前記第 1 の電圧信号のシフト状態を維持するように前記シフト制御信号を遅延して出力することを特徴とする請求項 1 記載の光受信回路。

【請求項 3】

前記レベルシフト回路の前記出力が前記第 2 の電圧信号よりも低下した時、前記コンパレータの切り替わり検出を可能とする出力検出部をさらに備え、

前記切り替わり検出してから所定期間が経過したのち、前記制御部が前記レベルシフト回路の前記出力をハイレベル側へ戻して出力することを特徴とする請求項 1 または 2 に記載の光受信回路。

10

【請求項 4】

光信号を電流信号に変換可能な第 1 の受光素子と、

前記電流信号が入力され第 1 の電圧信号を出力可能な第 1 のトランスインプीडアンプと、

前記第 1 の電圧信号に対してパルスの切り替わりを判別する基準電圧とする第 2 の電圧信号を供給可能な電圧源と、

前記第 1 の電圧信号と比較しシフト制御信号を作成するための基準電圧とする第 3 の電圧信号を供給可能な電圧源と、

20

前記シフト制御信号に応じて前記第 1 の電圧信号からレベルシフト電圧を減算して出力可能なレベルシフト回路と、

前記レベルシフト回路の出力が第 1 の端子に入力され、前記第 2 の電圧信号が第 2 の端子に入力され、前記第 1 の電圧信号をパルスに変換可能なコンパレータと、

前記コンパレータ出力の検出を可能とする出力検出部と、

前記第 1 の電圧信号の値が前記第 3 の電圧信号を超えた時、前記コンパレータの出力が切り替わった後に第 1 のレベルシフト電圧を出力可能な前記シフト制御信号を出力し、

前記第 1 の電圧信号が立ち下がり前記コンパレータの前記出力が切り替わったことを前記出力検出部が検出した時、前記第 1 のレベルシフト電圧よりも低い第 2 のレベルシフト電圧を出力可能な前記シフト制御信号を出力する制御部と、

30

を備えたことを特徴とする光受信回路。

【請求項 5】

前記制御部は、少なくともキャパシタを有し、前記レベルシフト回路へ入力される前記シフト制御信号の経路に設けられた遅延手段を有することを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の光受信回路。

【請求項 6】

請求項 1 ~ 5 のいずれか 1 つに記載の光受信回路と、

前記光信号を放出可能な発光素子と、

を備えたことを特徴とする光結合装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、光受信回路及び光結合装置に関する。

【背景技術】

【0002】

入力回路と、出力回路と、を電氣的に絶縁して信号を送信可能とするために、光結合装置が用いられる。この光結合装置は、発光素子からの光信号を受信して電気信号に変換可能な光受信回路を有している。

工作機械やプロセスコントローラなどの用途において、パルス信号を用いたデジタル制御とすることが多いために、パルス幅歪を低減することが要求される。

50

【 0 0 0 3 】

通常、光信号を電気信号に変換するには、PD（フォトダイオード）で検出した光電流をトランスインピーダンスアンプで電圧信号に変換する。変換された電圧信号を適切な基準電圧とコンパレータ回路で比較を行うが、電圧比較の精度を上げるため光電流を流さない同じ構成のトランスインピーダンスアンプをバイアスとしてオフセット電圧を重畳した出力を基準電圧として入力する。

【 0 0 0 4 】

一般に発光素子からの放出光の発光効率は高温時や経年変化により低下し、また素子による変動（バラツキ）も大きい。このため基準電圧は、入力低下を考慮し通常高いレベルに設定できない。この一方、受光素子として用いられるPDは大きなジャンクション容量を有しているため波形が鈍りやすく、また入力光が無くなった後に内部に蓄積された電荷が徐々に放出され立下りの鈍りは大きくなる。これらのために、ターンオフ側は伝達遅延時間が長くなりパルス幅歪が大きくなりやすい。

【 0 0 0 5 】

パルス幅歪を低減する光信号受信回路、及び光信号受信半導体装置に関する技術開示例がある（特許文献1）。この技術開示例では、トランスインピーダンスアンプと、差動アンプと、の間にレベルシフト回路を設ける。レベルシフト回路により電圧をシフトし、差動アンプが飽和した場合の影響が、出力信号に及ぶことを回避する。

【 0 0 0 6 】

しかしながら、この開示例においてはパルス全体をシフトするために、パルスが初めて入った時とその後で閾値が変わり遅延時間が変動する。またパルスの中心値を基準に遅延時間を揃えるが、発光素子からの光信号が高速でオン/オフしてもトランスインピーダンスアンプの応答特性により遅延があるためその間に遅れ時間を生じ入力が増大になった場合には遅延時間が増大するなどの問題がある。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特許第 3 6 6 5 6 3 5 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

ターンオフ側の伝達遅延時間変動を低減し、パルス幅歪が低減された光受信回路及び光結合装置を提供する。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の一態様によれば、光信号を電流信号に変換可能な第1の受光素子と、前記電流信号が入力され第1の電圧信号を出力可能な第1のトランスインピーダンスアンプと、前記第1の電圧信号に対してパルスの切り替わりを判別する基準電圧とする第2の電圧信号を供給可能な電圧源と、前記第1の電圧信号と比較しシフト制御信号を作成するための基準電圧とする第3の電圧信号を供給可能な電圧源と、前記シフト制御信号に応じて前記第1の電圧信号からレベルシフト電圧を減算して出力可能なレベルシフト回路と、前記レベルシフト回路の出力が第1の端子に入力され、前記第2の電圧信号が第2の端子に入力され、前記第1の電圧信号をパルスに変換可能なコンパレータと、前記第1の電圧信号の値が前記第3の電圧信号を超えた時には前記レベルシフト回路により前記第1の電圧信号をローレベル側にシフトして出力する前記シフト制御信号を出力可能とし、前記レベルシフト回路の前記出力が前記第2の電圧信号よりも低下したのち前記レベルシフト回路の前記出力をハイレベル側に戻して出力するように前記レベルシフト回路を制御可能な前記シフト制御信号を出力可能な制御部と、を備えたことを特徴とする光受信回路が提供される。

【 0 0 1 0 】

また、本発明の他の一態様によれば、光信号を電流信号に変換可能な第1の受光素子と

、前記電流信号が入力され第1の電圧信号を出力可能な第1のトランスインピーダンスアンプと、前記第1の電圧信号に対してパルスの切り替わりを判別する基準電圧とする第2の電圧信号を供給可能な電圧源と、前記第1の電圧信号と比較しシフト制御電圧を作成するための基準電圧とする第3の電圧信号を供給可能な電圧源と、前記シフト制御信号に応じて前記第1の電圧信号からレベルシフト電圧を減算して出力可能なレベルシフト回路と、前記レベルシフト回路の出力が第1の端子に入力され、前記第2の電圧信号が第2の端子に入力され、前記第1の電圧信号をパルスに変換可能なコンパレータと、前記コンパレータ出力の検出を可能とする出力検出部と、前記第1の電圧信号の値が前記第3の電圧信号を超えた時、前記コンパレータ出力が切り替わった後に第1のレベルシフト電圧出力可能な前記シフト制御信号を出力し、前記第1の電圧信号が立ち下がり前記コンパレータ出力が切り替わったことを前記出力検出部が検出した時、前記第1のレベルシフト電圧よりも低い第2のレベルシフト電圧を出力可能な前記シフト制御信号を出力可能な制御部と、を備えたことを特徴とする光受信回路が提供される。

10

【0011】

また、本発明の他の一態様によれば、上記の光受信回路と、前記光信号を放出可能な発光素子と、を備えたことを特徴とする光結合装置が提供される。

【発明の効果】

【0012】

ターンオフ側の伝達遅延時間変動を低減し、パルス幅歪が低減された光受信回路及び光結合装置が提供される。

20

【図面の簡単な説明】

【0013】

【図1】第1の実施形態にかかる光受信回路のブロック図

【図2】動作波形図

【図3】レベルシフト制御を説明するフロー図

【図4】比較例にかかる光受信回路を説明する図

【図5】回路構成を説明する図

【図6】光結合装置のブロック図

【図7】第2の実施形態にかかる光受信回路のブロック図

【図8】動作波形図

30

【図9】比較例の動作波形図

【発明を実施するための形態】

【0014】

以下、図面を参照しつつ本発明の実施の形態について説明する。

図1は、本実施形態にかかる光受信回路のブロック図である。

光受信回路5は、入力光信号を電流信号に変換可能な第1の受光素子10と、電流信号が入力され第1の電圧信号S1を出力可能な第1のトランスインピーダンスアンプ(TIA)12と、パルスの切り替わりを判断する基準電圧とする第2の電圧信号S11と、第1の電圧信号S1と比較しシフト制御信号を作成するための基準電圧とする第3の電圧信号S12と、を出力可能な基準電圧生成回路33と、第1の電圧信号S1のレベルをシフト可能なレベルシフト(LS)回路14と、コンパレータ16と、出力回路18と、制御部27と、を備えている。

40

【0015】

基準電圧生成回路33は、例えば光電流が流れないように遮光部31を有する第2の受光素子30と、光信号の無い時の第1のTIAと同一の電圧信号を出力可能な第2のトランスインピーダンスアンプ(TIA)32と、第2のTIA32から出力された電圧信号のバイアスレベルVBに重畳し第2の電圧信号S11を生成するスレッシュホールド(しきい値)電圧Vthを供給可能な電圧源34と、バイアスレベルVBに重畳し第3の電圧信号S12を生成する電圧Vphを供給可能な電圧源38と、を有する。

【0016】

50

なお、第1の受光素子10と、第2の受光素子30と、を同一の構造とし、且つ同一のプロセスにより形成すると、暗電流による変動をキャンセルし精度よく電圧を比較することが容易となる。また、第1のTIA12と、第2のTIA32と、を同一の構造とし、且つ同一のプロセスを用いて形成すると、第2のTIA32の出力は光信号の無い第1のTIA12と略同一の電圧とできて精度良く電圧を比較することが容易となる。

【0017】

また、第3の電圧信号S12と第1の電圧信号S1とは制御部27に入力される。第1の電圧信号S1が基準電圧V_{ph}を超えたことが検出されると、制御部27はLS回路14を制御するシフト制御信号S22を出力し電圧をシフトさせる。

【0018】

出力検出部22にはコンパレータ16の出力電圧信号S3が入力される。コンパレータ出力が切り替わった(オフ)ことが検出されると、制御部27はLS回路14による電圧シフトを停止するようにシフト制御信号S22を切り替える。

【0019】

第1の電圧信号S1はレベルシフト(LS)回路14に入力され、その出力S2がコンパレータ16の第1の(プラス)端子16aに入力される。コンパレータ16の第2の(マイナス端子)16bには、基準電圧生成回路33から出力された第2の電圧信号S11が入力され、第1の電圧信号S1は第2の電圧信号S11と比較されパルスに変換される。コンパレータ16の出力電圧信号S3は、出力回路18を介して外部へ出力可能である。

【0020】

このような構成により、第1の電圧信号S1が出力されている期間の所定の時間において、制御部27はシフト制御信号S22をLS回路14へ出力可能となる。これによりレベルシフト回路14は、第1の電圧信号S1からシフト電圧分だけ下方すなわちローレベル側にシフトされたLS回路出力S2を出力可能となる。つまり、レベルシフト回路14は、第1の電圧信号S1のハイレベルの振幅が小さくなる方向に第1の電圧信号S1をシフトする。

【0021】

他方、第1の電圧信号S1が出力されない期間の所定の時間において、下方にシフトされていた第1の電圧信号S1がもとに戻され、レベルシフト回路14はそのLS回路出力S2を出力可能となる。

なお、通常、制御部27、及び出力検出部22などの回路は遅れ時間を持つためその内部が遅延手段として機能し、シフト制御信号S22がLS回路出力電圧信号S2に対して遅延する。しかし、遅延時間を適切に設定することによりコンパレータ16はより確実に切り替わり安定した出力が可能となる。これを実現可能な遅延手段の構成に関しては、後により詳細に説明する。

【0022】

図2は、本実施形態にかかる光受信回路の動作波形図である。すなわち、縦軸は、第1の電圧信号S1、LS回路出力電圧信号S2、コンパレータの出力電圧信号S3、及びシフト制御信号S22をそれぞれ表し、横軸は時間tを表す。また、図3は、レベルシフト制御のシーケンスを表すフロー図である。

【0023】

発光素子がパルス駆動され、その放出光が第1の受光素子10に入射する。放出光は、第1の受光素子10により電流に変換され、第1のTIA12に入力される。第1のTIA12から出力される第1の電圧信号S1はT_{off}期間内の立下りにおいては内部に蓄積された電荷が徐々に放出され波形の鈍りが大きい。

【0024】

第1の電圧信号S1はレベルシフト回路14に入力され、その出力S2がコンパレータ16のプラス端子16aに入力される。なお、バイアスレベルV_Bは、信号が無く放出光がゼロである場合の第1の電圧信号S1であり、第2のTIA32の出力電圧と等しいも

10

20

30

40

50

のとする。

【 0 0 2 5 】

他方、第2の電圧信号S11は、基準電圧生成回路33によりバイアス電圧VBに対して適切なオフセット電圧を加えたスレッシュホールド電圧Vthであり、コンパレータ16のマイナス端子16bに入力される。なお、放出光の波長が可視～赤外光の範囲にある場合、第1の受光素子10及び第2の受光素子30をシリコン材料を用いて形成することが可能で光受信回路5を1チップ化することが容易となる。

【 0 0 2 6 】

初期条件ではLS回路14でシフトを行わないためLS回路出力電圧信号S2は第1の電圧信号S1と等しいが、時間t1でスレッシュホールド電圧Vth以上となると、コンパレータ16からの出力電圧信号S3が立ち上がり始めオンに転じる(S102)。

10

【 0 0 2 7 】

図2のように、入力光信号がデジタル信号の場合、オン期間Ton経過ののち立ち上がり、オフ期間Toff経過ののち再び立ち上がる。このオン期間Tonにおける第1の電圧信号S1の振幅が、そのピーク振幅値の2分の1である時間幅をパルス幅Waとすることにする。

【 0 0 2 8 】

パルスの立上り及び立下りにおいて、第1の受光素子10及び第1のTIA12の出力が安定するまでには時間を要する。特に、受光素子10として、例えばフォトダイオードやフォトトランジスタを用いると、オン期間Tonに蓄積されたキャリアは、消光しても直ちには消滅しないので、第1の電圧信号S1のように立ち下がり波形の下側が裾を引く「尾引き現象」を生じ、伝達遅延時間が長くなる。

20

【 0 0 2 9 】

第1の電圧信号S1が立ち上がり始め、基準電圧(Vph)に到達したことを、時間t2で制御部27が検出する(S104)。こののち立上り遅延時間Td1(=t3-t2)遅延されてシフト制御信号S22がLS回路14に入力される(S106)。コンパレータ16は、立上り遅延時間Td1が経過するまでには切り替わりオンに転じている。

【 0 0 3 0 】

シフトON期間、制御部27から出力されるシフト制御信号S22によりレベルシフト電圧Vsftが生成される。このために、第1の電圧信号S1からレベルシフト電圧Vsftが減算されたLS回路出力電圧信号S2が出力される。(S108)。

30

【 0 0 3 1 】

オン時間Tonが経過後、光信号がオフし第1の電圧信号S1及びLS回路出力電圧信号S2が立下り始める。LS回路出力電圧信号S2がスレッシュホールド電圧Vth以下となる時間t4において、コンパレータ16の出力電圧信号S3は立下り始めオフに転じる(S110)。この前に第1の電圧信号S1が第3の電圧信号S12(=Vph)よりも低くなったことを制御部27が検出するが、通常内部回路の遅れや遅延手段により直ぐには下ならず出力検出部22によりオフとされる。

【 0 0 3 2 】

シフト制御信号S22は立下り遅延時間Td2(=t5-t4)が経過した時間t5でゼロになる(S112)。レベルシフト電圧VsftがゼロとなるシフトOFF期間、LS回路出力電圧信号S2は第1の電圧信号S1と等しくなりコンパレータ16のプラス端子16aへ入力される(S114)。

40

【 0 0 3 3 】

図4は、比較例にかかる光受信回路を説明する図である。すなわち、図4(a)は光受信回路の構成図、図4(b)は電圧信号S51の波形、図4(c)及び図4(d)はコンパレータの出力電圧信号の波形、である。

【 0 0 3 4 】

図4(a)に表すように、比較例ではレベルシフト回路を設けておらず、スレッシュホールド電圧は固定電圧に設定される。図4(b)に表すように、電圧信号S51に対して

50

、スレッシュホールド電圧を V_{th1} 、及び V_{th2} （但し、 $V_{th2} > V_{th1}$ ）と設定する場合について、それぞれ説明する。

【0035】

まず、高い V_{th} を設定する図4(c)において、電圧信号 S_{51} の立上りとスレッシュホールド電圧 V_{th2} とが時間 t_{12} で、電圧信号 S_{51} の立下りとスレッシュホールド電圧 V_{th2} とが時間 t_{13} で、それぞれ交差する。この場合、電圧信号 S_{51} のパルス幅 W_a と、コンパレータ116の出力電圧 S_{53} の波形のパルス幅 W_{c1} とを近づけることが容易である。

【0036】

他方、スレッシュホールド電圧 V_{th2} よりも低いスレッシュホールド電圧 V_{th1} の場合、電圧信号 S_{51} の立ち上がりとは時間 t_{11} で、電圧信号 S_{51} の立ち下がりとは時間 t_{14} で、それぞれ交差する。この場合、パルス幅 W_{c2} は、パルス幅 W_{c1} よりも広くなる。すなわち、電圧信号 S_{51} の値に対して相対的に低いスレッシュホールド電圧とすると、立下りにおける傾斜が緩やかな「尾引き現象」の曲線とスレッシュホールド電圧とが交差する時間が延び、伝達遅延時間が長くなりパルス幅歪が増大する。

【0037】

さらに、高速パルスになると、パルス幅 W_a が短くなるので、伝達遅延時間の増大によるパルス幅の増大比率が大きくなり、波形の鈍りがより顕著になる。

【0038】

一般に発光素子は化合物半導体からなる薄膜を積層しているために、その光出力及び発光効率の変動（バラツキ）が大きい。また、光出力及び発光特性は、温度上昇や経年変化による変動が大きい。このために、受光素子の電流出力及びTIAの出力電圧の信号レベルが大きく変化する。もし、最小の信号レベルでコンパレータの出力切り替え可能なようにスレッシュホールド電圧 V_{th} を低く設定すると、パルスの電圧レベルが高い場合はスレッシュホールド電圧との差が大きく、立下り切り替わりまで時間が長くなり伝達遅延時間が増加する。

【0039】

また、図4に表すように、受光素子におけるキャリア蓄積による「尾引き現象」によってもさらに立ち下がり遅延時間が増大し、立ち上がりとの時間差が大きくなりパルス幅歪が増大する。このように、比較例においては、電圧信号の値に対してスレッシュホールド電圧 V_{th} を固定するためにパルス幅歪を生じやすい。

【0040】

これに対して本実施形態では、基準電圧 V_{ph} を超えた第1の電圧信号 S_1 がシフト電圧 V_{sft} 分下方にシフトされコンパレータ16に入力される。第1の電圧信号 S_1 は電圧 V_{ph} から立下り始めるため、スレッシュホールド電圧 V_{th} と電圧 V_{ph} との差は小さく概ね一定に保つことが可能である。この場合、立下り時において、「尾引き現象」により波形がのび遅延時間が増大する前にコンパレータ16の出力が切り替わる。このために、コンパレータ16の出力電圧信号 S_3 の立下り時間が破線のように長くなることを抑制可能である。このようにして、パルス幅歪を低減し、パルスが高速にでき、且つ伝送情報量を大きくすることが容易となる。

【0041】

図5は、本実施形態の回路構成を説明する図である。

本実施形態では、制御部27は、検出部26及び遅延手段24を有している。なお、これらの回路構成は本図に限定されることはない。

【0042】

検出部26は、トランスコンダクタンスアンプ52及びカレントミラー回路54を有している。トランスコンダクタンスアンプ52は、第1の電圧信号 S_1 と電圧 V_{ph} との差分電圧 V に応じた電流 I_{sft} （シフト制御信号 S_{22} ）を出力可能とする。電流 I_{sft} は次式で表される。

10

20

30

40

50

$$I_{sft} = V / R_{gm}$$

但し、 $V = S_1 - V_{ph}$

R_{gm} : トランスコンダクタンスの逆数

カレントミラー回路54ではトランスコンダクタンスアンプ52からトランジスタQ2へ注入される電流 I_{sft} と略同一の電流 I_{sft} がトランジスタQ1から出力される。本実施形態では遅延手段としてキャパシタCdを有している。入力側 I_{sft} がゼロになってもキャパシタCdにより点Pのバイアス電圧が維持され、Q1の出力電流は直ぐには停止しない。なお、トランジスタQ3及びキャパシタCdを設けなくとも、カレントミラー回路54及び出力検出部22などによる遅延時間を生じて、実質的に遅延手段として機能可能な場合もある。なお、出力検出部22は、コンパレータ16からの出力電圧信号S3がハイレベル側であるか、またはローレベル側であるかの検出信号を、内蔵しているバッファ回路を介してトランジスタQ3に入力する。

10

【0043】

もし遅延手段24をキャパシタやCR回路などを用いて構成すると、より確実なシフト制御が可能となる。例えば、立下り時間が長い電圧信号が入力される場合、立下り開始からスレッシュホールド電圧に達する前にシフト制御信号S22がゼロとなり、LS回路出力電圧信号S2がもとのレベルに戻る。すなわち、LS回路出力電圧信号S2が上方に戻るの、固定スレッシュホールド電圧の場合に近くなる。これに対して、キャパシタやCR回路により適切な遅延時間で電圧シフトのタイミングを制御すれば、必要とする立ち上がり及び立ち下がり時間の信号に対してパルス幅歪を低減することが容易となる。

20

【0044】

レベルシフト回路14は、第1のTIA12とコンパレータ16のプラス端子16aとの間に抵抗 R_{sft} を有する。抵抗 R_{sft} とコンパレータ16との接続点は、カレントミラー回路54を構成するトランジスタQ1と接続される。電流 I_{sft} は抵抗 R_{sft} とトランジスタQ1とを流れるので、シフト電圧 V_{sft} は次式で決定される。

$$V_{sft} = R_{sft} \times I_{sft}$$

30

【0045】

図7は、本発明の第2の実施形態にかかる光受信回路のブロック図である。

本実施形態にかかる光受信回路は、第1の受光素子10と、第1のTIA12と、基準電圧生成回路33と、LS回路14と、コンパレータ16と、出力検出部22と、制御部27と、出力回路18と、を備えている。制御部27は、トランスコンダクタンスアンプ52及びカレントミラー回路54を有する検出部26と、ゲイン切換回路29と、を有している。

【0046】

ゲイン切換回路29は、トランジスタQ4と、出力検出部22とトランジスタQ4との間に配置されたトランジスタQ5と、を有している。トランジスタQ4は、トランジスタQ2、Q1、と共に多連続型カレントミラー回路を構成する。また、出力検出部22は、コンパレータ16からの出力電圧信号S3がハイレベル側であるか、またはローレベル側であるかを検出し、内蔵されたバッファ回路を介して検出信号をトランジスタQ5のベースに入力する。なお、トランジスタQ5は、バイポーラ型に限定されず、MOSFETであってもよい。

40

【0047】

図8は、第2の実施形態の動作波形図である。

第1の電圧信号S1が立ち上がり始め、時間 t_1 でスレッシュホールド電圧 V_{th} 以上となると、コンパレータ16からの出力電圧信号S3をオンに転じることができる。また、第1の電圧信号S1が基準電圧 V_{ph} に到達したことを制御部27が検出するとレベル

50

シフト電圧 V_{sft} が生成され、LS回路出力電圧信号 S_2 は第1の電圧信号 S_1 から第2のレベルシフト電圧 V_{sft2} が減算されローレベル側にシフトされ始める。このように、まずゲイン切換回路29のゲインはロー(L)レベル側にある。この場合、出力検出部22からの検出信号によりトランジスタ Q_5 は、カレントミラー回路を構成するトランジスタ Q_4 の電流を変化しゲイン切換回路29のゲインを制御できる。例えば、トランジスタ Q_5 をオフとすると、時間 t_8 において電流 I_{sft} はトランジスタ Q_1 に流れる電流のみとなり、第2のレベルシフト電圧 V_{sft2} が生成される。なお、基準電圧 V_{ph} は、スレッシュホールド電圧 V_{th} と同一であってもよい。また、一般にコンパレータ16は、入力電圧がスレッシュホールド電圧 V_{th} に到達してから出力が切り替わるまで遅延時間を持つ。立ち上がり遅延時間を T_{com1} 、立ち下がり遅延時間を T_{com2} とする。立ち上がり遅延時間 T_{com1} が経過したのち、時間 t_3 でゲイン切換回路29によりゲインがLレベル側からハイ(H)レベル側に切り換えられる。この場合、トランジスタ Q_5 はオン状態であり、電流 I_{sft} は、トランジスタ Q_1 のコレクタ電流と、トランジスタ Q_4 のコレクタ電流と、の和となる。Hゲイン期間、LS回路出力電圧信号 S_2 は、第1の電圧信号 S_1 から第1のレベルシフト電圧 V_{sft1} が減算され、ローレベル側にシフトされる。

【0048】

時間 t_6 で、第1の電圧信号 S_1 が立ち下がり始める。さらに、時間 t_4 でローレベル側にシフトしているLS回路出力電圧信号 S_2 がスレッシュホールド電圧 V_{th} 以下となる。時間 t_4 から立ち下がり遅延時間 T_{com2} の経過ののち、コンパレータ16の出力電圧信号 S_3 が切り替わる。このために、時間 t_6 と時間 t_4 との差は小さく第1の電圧信号 S_1 の立ち下がりに尾引きが生じていても、パルス幅歪が低減される。

入力レベルが大きい場合、尾引きの時間も長くなる。また、高速信号では本図のように次の信号の立ち上がりで第1の電圧信号 S_1 がスレッシュホールド電圧 V_{th} 以下に低下しない場合も考えられる。

【0049】

立ち下がり遅延時間 T_{com2} の経過ののち、出力検出部22がコンパレータ16の切り替わりを検出し時間 t_8 でゲイン切換回路29によりゲインがLレベル側に切り換えられ、第1のレベルシフト電圧 V_{sft1} よりも低い第2のレベルシフト電圧 V_{sft2} に切り換えられる。Lゲイン期間内において時間 $t_8 \sim t_{21}$ の間LS回路出力電圧信号 S_2 は、第1の電圧信号 S_1 から第2のレベルシフト電圧 V_{sft2} が減算されスレッシュホールド電圧 V_{th} よりも低下し、バイアスレベル V_B 近傍とすることが容易となる。

【0050】

一般に、1チップ化された光受信回路の基板側に設けられたpn接合をフォトダイオードとして用いると、受光感度を高めることができる。この場合、基板の表面から深い領域で発生するキャリアは走行時間が長くなるので立ち下がり時間に尾引きを生じやすい。また、入射光強度が大きいほど発生するキャリア量が増加し、尾引きの影響が大きくなる。このような場合、尾引き電圧が十分に低下するには数百nsを要することもある。本実施形態では、このように尾引き時間が長く、50Mbpsのような高速光パルスが立ち上がる時、誤動作を防止し、パルス幅歪を低減することができる。

【0051】

図9は、ゲイン切換回路を有していない比較例にかかる光受信回路の動作波形図を表す。

本比較例において、LS回路出力電圧信号 S_62 が低下し時間 t_{34} においてスレッシュホールド電圧 V_{th} となると、シフトON/OFFタイミングは立ち下がり遅延時間 T_{d2} が経過した時間 t_{37} でオフに切り替わり始める。また、レベルシフト電圧 V_{sft3} も低下を始める。もし、尾引時間が長く、時間 t_{38} で第1の電圧信号 S_1 がスレッシュホールド電圧 V_{th} よりも高くかつレベルシフト電圧 V_{sft3} がゼロとなるとコンパレータ16が切り替わる。時間 t_{38} で、ハイレベル側に戻ったLS回路出力電圧信号 S_62 が、時間 t_{39} でスレッシュホールド電圧 V_{th} まで再び低下しコンパレータの出力

10

20

30

40

50

電圧信号 S 6 3 が切り替わる。このようにして生じたパルス W P は誤動作によるものであり、好ましくない。

【 0 0 5 2 】

これに対して、第 2 の実施形態では、T o f f 期間において第 2 のレベルシフト電圧 V s f t 2 がゼロまで低下しないように制御可能であり、コンパレータ 1 6 の誤動作を防止することが容易となる。

さらに、ゲイン切換回路 2 9 によりレベルシフト電圧 V s f t を低減し、L S 回路出力電圧信号 S 2 をバイアスレベル V B に近づけることが容易となる。なお、2 つめ以降のパルスが入力される場合、L S 回路出力電圧信号 S 2 は、第 1 の電圧信号 S 1 からゼロになっていない第 2 のレベルシフト電圧 V s f t 2 が減算された値となる。このようにして、
 図 8 に実線で表した L S 回路出力電圧信号 S 2 をバイアスレベル V B に近づけて、L S 回路出力電圧信号 S 2 の立ち上がり遅延時間 T l a g を低減できる。すなわち、立ち上がり時におけるパルス幅歪を低減することが容易となる。

10

【 0 0 5 3 】

図 6 は、本実施形態にかかる光結合装置のブロック図である。

光結合装置は、光受信回路 5 と、発光素子 5 0 と、を有している。

発光素子 5 0 は、入力端子 A、B に接続され、電気信号が入力される。また、光受信回路は出力端子 C、D、及び電源端子 E に接続され、発光素子 5 0 からの光信号を電気信号として出力可能である。このようにして、入力端子 A、B と、出力端子 C、D (接地)、及び電源端子 E とは、電源系間を絶縁した状態で信号伝達を行うことができる。広い入力レベル範囲内においてパルス幅歪を抑制可能な光受信回路を有する本実施形態にかかる光結合装置は、産業用、O A 用、データ伝送用、及び家庭用の電子機器に広く使用することができる。

20

【 0 0 5 4 】

以上、図面を参照しつつ、本発明の実施形態について説明した。しかしながら、本発明はこれらの実施形態に限定されない。本発明を構成する受光素子、トランスインピーダンスアンプ、レベルシフト回路、シフト制御回路、基準電圧生成回路、遅延回路、スレッシユホールド電圧源、コンパレータ、及び発光素子の形状、サイズ、材質、配置などに関して当業者が各種の設計変更を行ったものであっても、本発明の主旨を逸脱しない限り本発明の範囲に包含される。

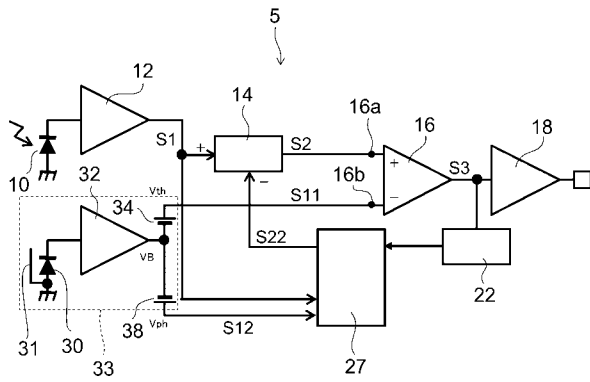
30

【 符号の説明 】

【 0 0 5 5 】

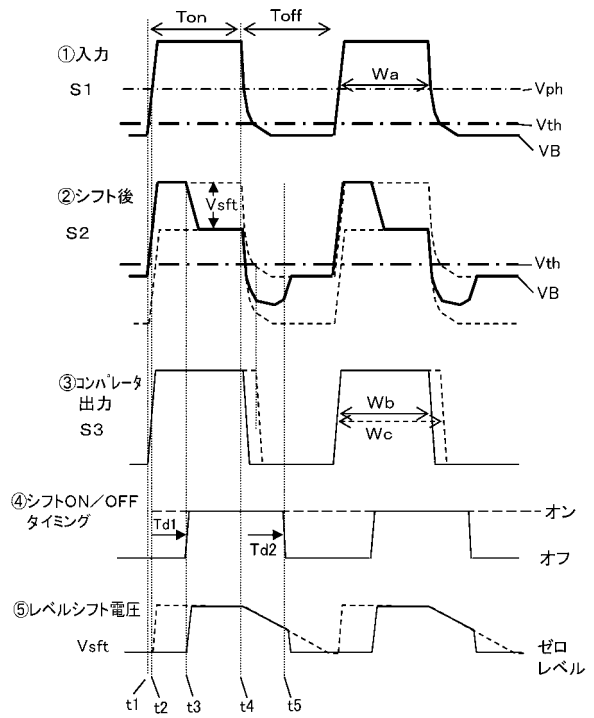
5 光受信回路、1 0 第 1 の受光素子、1 2 第 1 の T I A、1 4 レベルシフト回路、1 6 コンパレータ、2 4 遅延手段、2 6 検出部、2 7 制御部、3 0 第 2 の受光素子、3 2 第 2 の T I A、3 3 基準電圧生成回路、5 0 発光素子、S 1 第 1 の電圧信号、S 2 L S 回路の出力 (電圧信号)、S 3 (コンパレータ) 出力電圧信号、V t h スレッシユホールド電圧、V p h 基準電圧、T d 1、T d 2 遅延時間

【図1】



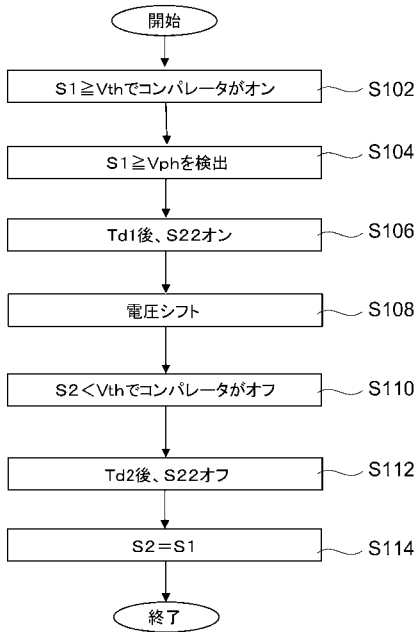
5: 光受信回路 10: 第1の受光素子 12: 第1のTIA
 14: レベルシフト回路(LS回路) 16: コンパレータ 18: 出力回路
 22: 出力検出部 27: 制御部 30: 第2の受光素子 31: 遮光部
 32: 第2のTIA 33: 基準電圧生成回路 34: 第1の電源 38: 第2の電源
 S1: 第1の電圧信号 S11: 第2の電圧信号 S12: 第3の電圧信号
 S2: LS回路出力電圧信号 S3: 出力電圧信号

【図2】

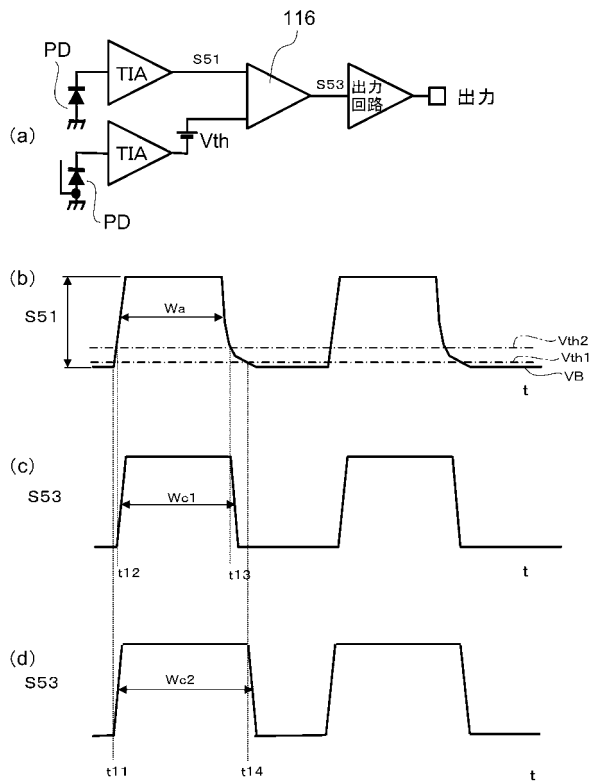


Vth: スレッショールド電圧 Vph: 基準電圧 VB: バイアスレベル Vsft: シフト電圧
 Td1: 立上り遅延時間 Wa, Wb, Wc: パルス幅 Td2: 立下り遅延時間
 S22: シフト制御信号

【図3】

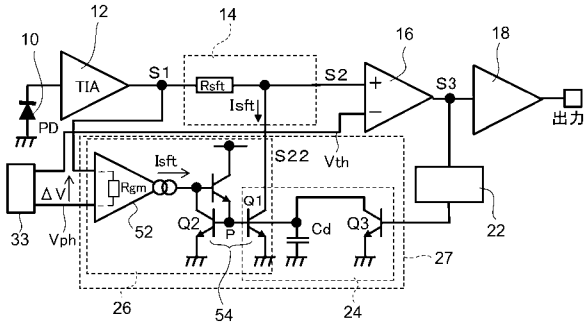


【図4】



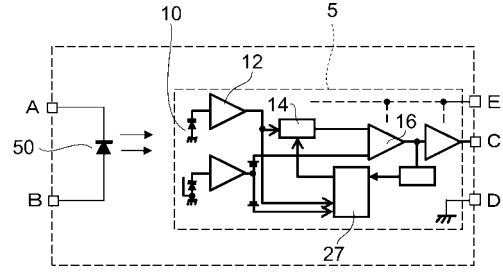
116: コンパレータ

【図5】



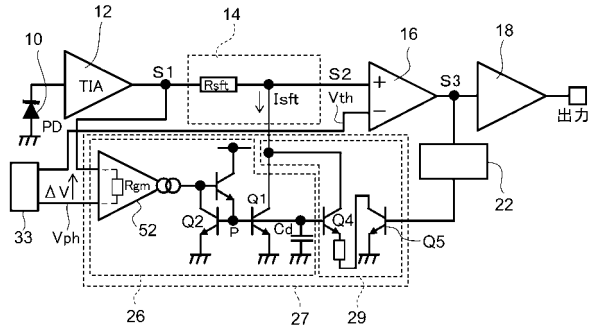
24: 遅延手段 26: 検出部 52: トランスコンダクタンスアンプ
 54: カレントミラー回路 Q1, Q2, Q3: トランジスタ Rsf: 抵抗
 Cd: キャパシタ Isft: 電流

【図6】



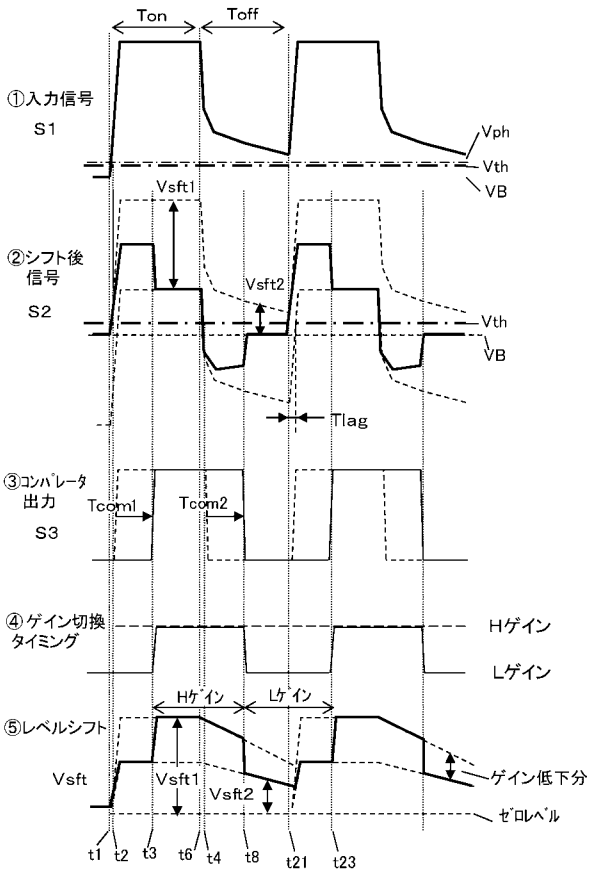
50: 発光素子 A,B: 入力端子 C,D: 出力端子 E: 電源端子

【図7】

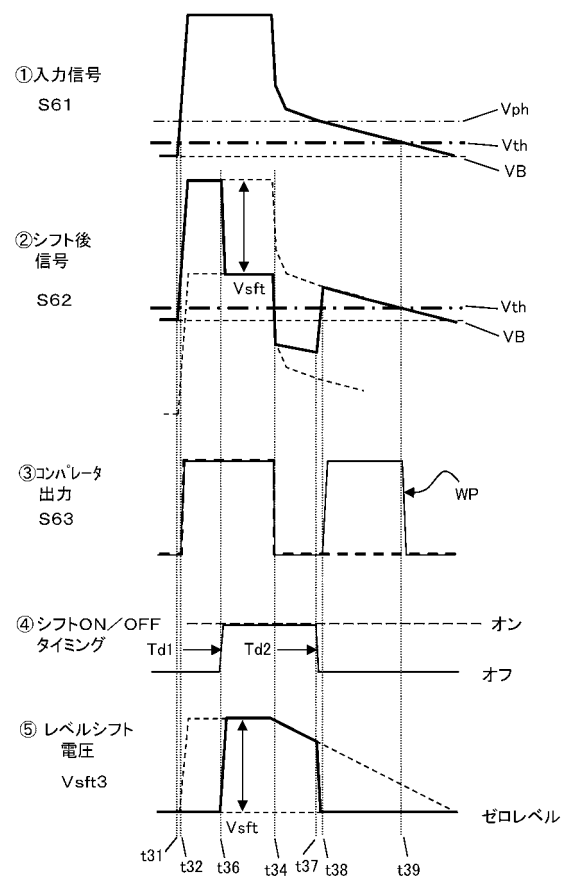


29: ゲイン切換回路

【図8】



【図9】



フロントページの続き

- (56)参考文献 特開平8 - 223228 (JP, A)
特開2004 - 72710 (JP, A)
特開2002 - 368542 (JP, A)
特開2002 - 141956 (JP, A)
特開2008 - 236392 (JP, A)
特開2008 - 182529 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/08
H04B 10/40
H04B 10/50
H04B 10/60