

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年2月15日(2018.2.15)

【公表番号】特表2017-507568(P2017-507568A)

【公表日】平成29年3月16日(2017.3.16)

【年通号数】公開・登録公報2017-011

【出願番号】特願2016-548641(P2016-548641)

【国際特許分類】

H 03C 3/00 (2006.01)

【F I】

H 03C 3/00 Z

【手続補正書】

【提出日】平成30年1月5日(2018.1.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のクロック信号および第1のベースバンド信号を受信し、前記第1のベースバンド信号に少なくとも部分的に基づいて第1の遅延されたクロック信号を生成するように構成された第1の構成可能遅延ユニットと、

前記第1のクロック信号および前記第1のベースバンド信号を受信し、前記第1のベースバンド信号に少なくとも部分的に基づいて第2の遅延されたクロック信号を生成するように構成された第2の構成可能遅延ユニットと、ここにおいて、前記第2の遅延されたクロック信号は前記第1の遅延されたクロック信号と異なる、

変調されたクロック信号を生成するために、前記第1の遅延されたクロック信号と前記第2の遅延されたクロック信号とを合成するように構成された合成器とを備えるデバイス。

【請求項2】

前記第1の構成可能遅延ユニットは、前記第1の遅延されたクロック信号を生成するために、第1の遅延量だけ前記第1のクロック信号を遅延させるようにさらに構成され、前記第1の遅延量は、前記第1のベースバンド信号に少なくとも部分的に基づく、請求項1に記載のデバイス。

【請求項3】

前記第2の構成可能遅延ユニットは、前記第2の遅延されたクロック信号を生成するために、第2の遅延量だけ前記第1のクロック信号を遅延させるようにさらに構成され、前記第2の遅延量は、前記第1のベースバンド信号に少なくとも部分的に基づく、請求項1または請求項2に記載のデバイス。

【請求項4】

前記合成器は、前記第1のベースバンド信号に少なくとも部分的に基づくパルス幅を有するパルスを含む前記変調されたクロック信号を生成するようにさらに構成される、請求項1に記載のデバイス。

【請求項5】

前記パルス幅は、第1の遅延量と第2の遅延量との和に少なくとも部分的に基づき、前記第1の遅延量および前記第2の遅延量は、前記第1のベースバンド信号に少なくとも部分的に基づく、請求項4に記載のデバイス。

【請求項 6】

前記第1の遅延されたクロック信号を受信し、第1の増幅された遅延されたクロック信号を生成するように構成された第1のドライバと、

前記第2の遅延されたクロック信号を受信し、第2の増幅された遅延されたクロック信号を生成するように構成された第2のドライバと
をさらに備え、

前記合成器は、前記変調されたクロック信号を生成するために、前記第1の増幅された遅延されたクロック信号と前記第2の増幅された遅延されたクロック信号とを合成するようにさらに構成される、請求項1に記載のデバイス。

【請求項 7】

前記第1の構成可能遅延ユニットと結合されたデジタルアナログ変換器をさらに備え、前記デジタルアナログ変換器は、前記第1のベースバンド信号を受信し、前記第1の構成可能遅延ユニットにアナログ信号を与えるように構成され、前記第1の構成可能遅延ユニットは、前記アナログ信号に少なくとも部分的に基づいて前記第1の遅延されたクロック信号を生成するようにさらに構成される、請求項1に記載のデバイス。

【請求項 8】

前記合成器が、前記変調されたクロック信号を生成するために、前記第2の遅延されたクロック信号から前記第1の遅延されたクロック信号を減算することによって前記第1の遅延されたクロック信号と前記第2の遅延されたクロック信号とを合成するようにさらに構成される、請求項1に記載のデバイス。

【請求項 9】

第2のクロック信号および第2のベースバンド信号を受信し、前記第2のベースバンド信号に少なくとも部分的に基づいて第3の遅延されたクロック信号を生成するように構成された第3の構成可能遅延ユニットと、

前記第2のクロック信号および前記第2のベースバンド信号を受信し、前記第2のベースバンド信号に少なくとも部分的に基づいて第4の遅延されたクロック信号を生成するように構成された第4の構成可能遅延ユニットと
をさらに備え、

前記合成器は、前記変調されたクロック信号を生成するために、前記第1の遅延されたクロック信号と、前記第2の遅延されたクロック信号と、前記第3の遅延されたクロック信号と、前記第4の遅延されたクロック信号とを合成するようにさらに構成される、請求項1に記載のデバイス。

【請求項 10】

方法であつて、

第1のクロック信号を受信することと、

第1のベースバンド信号を受信することと、

前記第1のベースバンド信号と前記第1のクロック信号とに少なくとも部分的に基づいて第1の遅延されたクロック信号を生成することと、

前記第1のベースバンド信号と前記第1のクロック信号とに少なくとも部分的に基づいて第2の遅延されたクロック信号を生成することと、ここにおいて、前記第1の遅延されたクロック信号は前記第2の遅延されたクロック信号と異なる、

変調されたクロック信号を生成するために、前記第1の遅延されたクロック信号と前記第2の遅延されたクロック信号とを合成することと
を備える方法。

【請求項 11】

前記変調されたクロック信号は、前記第1のベースバンド信号に少なくとも部分的に基づくパルス幅を有するパルスを含む、請求項10に記載の方法。

【請求項 12】

前記合成することは、前記変調されたクロック信号を生成するために、前記第2の遅延されたクロック信号から前記第1の遅延されたクロック信号を減算することをさらに備え

る、請求項10に記載の方法。

【請求項13】

第2のクロック信号を受信することと、

第2のベースバンド信号を受信することと、

前記第2のベースバンド信号と前記第2のクロック信号とに少なくとも部分的に基づいて第3の遅延されたクロック信号を生成することと、

前記第2のベースバンド信号と前記第2のクロック信号とに少なくとも部分的に基づいて第4の遅延されたクロック信号を生成することと

をさらに備え、

前記合成することは、前記変調されたクロック信号を生成するために、前記第1の遅延されたクロック信号と、前記第2の遅延されたクロック信号と、前記第3の遅延されたクロック信号と、前記第4の遅延されたクロック信号とを合成することをさらに備える、請求項10に記載の方法。

【請求項14】

変調されたクロック信号を生成するための変調器を備えるシステムであって、前記変調器は、請求項1～請求項9のうちのいずれか一項に記載のデバイスの特徴を備える、システム。

【請求項15】

コンピュータシステム上で実行されると、前記コンピュータシステムに、請求項10～請求項13のいずれか一項に記載のステップを実行させるための命令を備える、コンピュータプログラム。