

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成19年2月22日(2007.2.22)

【公開番号】特開2004-222286(P2004-222286A)

【公開日】平成16年8月5日(2004.8.5)

【年通号数】公開・登録公報2004-030

【出願番号】特願2004-5891(P2004-5891)

【国際特許分類】

H 0 4 N 5/335 (2006.01)

H 0 1 L 27/146 (2006.01)

【F I】

H 0 4 N 5/335 P

H 0 1 L 27/14 A

【手続補正書】

【提出日】平成19年1月10日(2007.1.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の単位画素を具備した能動画素センサ配列と、
前記能動画素センサ配列で少なくとも1つの行ラインを選択するための行駆動器と、
少なくとも2つのアナログ-デジタル変換器ブロックと、
少なくとも1つの列ラインと前記少なくとも2つのアナログ-デジタル変換器ブロックのうちの一つとの間の連結を設定するためのスイッチング素子とを具備し、
前記少なくとも2つのアナログ-デジタル変換器ブロックのうちの少なくとも1つは、
前記複数の単位画素の少なくとも2つの列に対して連結が設定されることを特徴とする撮像素子。

【請求項2】

前記能動画素センサ配列のすべてのレッド及びブルー画素は、前記少なくとも2つのアナログ-デジタル変換器ブロックのうちのいずれか一つによって処理され、前記能動画素センサ配列のすべてのグリーン画素は、前記少なくとも2つのアナログ-デジタル変換器ブロックのうちの他の一つによって処理されることを特徴とする請求項1に記載の撮像素子。

【請求項3】

前記少なくとも2つのアナログ-デジタル変換器ブロックにより実行される処理は、サンプリング、増幅及び変換処理を含むことを特徴とする請求項2に記載の撮像素子。

【請求項4】

前記スイッチング素子は、少なくとも2セットのスイッチを含み、前記少なくとも2セットのスイッチは、第1セットのスイッチは、前記少なくとも2つのアナログ-デジタル変換器ブロックのうちのいずれか一つを前記能動画素センサ配列に連結し、第2セットのスイッチは、前記少なくとも2つのアナログ-デジタル変換器ブロックのうちの他の一つを前記能動画素センサ配列に連結することを特徴とする請求項1に記載の撮像素子。

【請求項5】

前記スイッチング素子は、少なくとも2セットのマルチプレクサを含み、第1セットのマルチプレクサは、前記少なくとも2つのアナログ-デジタル変換器ブロックのうちのい

ずれか一つを前記能動画素センサ配列に連結し、第2セットのマルチプレクサは、前記少なくとも2つのアナログ-デジタル変換器ブロックのうちの他の一つを前記能動画素センサ配列に連結することを特徴とする請求項1に記載の撮像素子。

【請求項6】

前記少なくとも2つのアナログ-デジタル変換器ブロックの各々は、
画像サンプルを保持するための相関二重サンプリングブロックと、
前記画像サンプルを増幅するための増幅器と、
入力されたアナログサンプルをデジタル信号に変換するためのアナログ-デジタル変換器と、

前記アナログ-デジタル変換器から提供された前記デジタル信号をラッチするためのラッチブロックと、

選択信号に従って直列に信号を出力するためのデータ選択器とを含むことを特徴とする請求項1に記載の撮像素子。

【請求項7】

前記ラッチブロックから提供された信号を出力するためのマルチプレクサをさらに含むことを特徴とする請求項6に記載の撮像素子。

【請求項8】

前記少なくとも1つの列ライン及び前記少なくとも2つのアナログ-デジタル変換器ブロックのうちのいずれか1つの間の前記連結は、タイミング発生器及びアドレス発生器のうちのいずれかの一つから提供された信号に応答して設定されることを特徴とする請求項1に記載の撮像素子。

【請求項9】

前記信号は、奇数/偶数信号及び選択信号のうちのいずれか一つであることを特徴とする請求項8に記載の撮像素子。

【請求項10】

前記複数の単位画素の各々は、光感知器及び処理回路を含み、前記処理回路は、リセットレベル信号を発生するためのリセット回路及び前記光感知器及びリセットレベル信号から提供された信号を増幅するための増幅回路を含むことを特徴とする請求項9に記載の撮像素子。

【請求項11】

前記処理回路は、複数のトランジスタを含むことを特徴とする請求項10に記載の撮像素子。

【請求項12】

複数の単位画素を具備した能動画素センサ配列と、
前記能動画素センサ配列で少なくとも1つの行ラインを選択するための行駆動器と、
少なくとも2つのアナログ-デジタル変換器ブロックと、
少なくとも1つの列ラインと前記少なくとも2つのアナログ-デジタル変換器ブロックのうち一つとの間の連結を設定するスイッチング手段とを具備し、

前記少なくとも2つのアナログ-デジタル変換器ブロックのうちの少なくとも1つは、前記複数の単位画素の少なくとも2つの列に対して連結が設定されることを特徴とする撮像素子。

【請求項13】

前記能動画素センサ配列のすべてのレッド及びブルー画素は、前記少なくとも2つのアナログ-デジタル変換器ブロックのうちのいずれか一つによって処理され、前記能動画素センサ配列のすべてのグリーン画素は、前記少なくとも2つのアナログ-デジタル変換器ブロックのうちの他の一つによって処理されることを特徴とする請求項12に記載の撮像素子。

【請求項14】

前記少なくとも2つのアナログ-デジタル変換器ブロックにより実行される処理は、サンプリング、増幅及び変換処理を含むことを特徴とする請求項13に記載の撮像素子。

【請求項 15】

前記スイッチング手段は、少なくとも2セットのスイッチを含み、第1セットのスイッチは、前記少なくとも2つのアナログ - デジタル変換器ブロックのうちのいずれか一つを前記能動画素センサ配列に連結し、第2セットのスイッチは、前記少なくとも2つのアナログ - デジタル変換器ブロックのうちの他の一つを前記能動画素センサ配列に連結することを特徴とする請求項12に記載の撮像素子。

【請求項 16】

前記スイッチング手段は、少なくとも2セットのマルチプレクサを含み、第1セットのマルチプレクサは、前記少なくとも2つのアナログ - デジタル変換器ブロックのうちのいずれか一つを前記能動画素センサ配列に連結し、第2セットのマルチプレクサは、前記少なくとも2つのアナログ - デジタル変換器ブロックのうちの他の一つを前記能動画素センサ配列に連結することを特徴とする請求項12に記載の撮像素子。

【請求項 17】

前記少なくとも2つのアナログ - デジタル変換器ブロックの各々は、
画像サンプルを保持するための相関二重サンプリングブロックと、
前記画像サンプルを増幅するための増幅器と、
入力されたアナログサンプルをデジタル信号に変換するためのアナログ - デジタル変換器と、

前記アナログ - デジタル変換器から提供された前記デジタル信号をラッチするためのラッチブロックと、

選択信号に従って直列に信号を出力するためのデータ選択器とを含むことを特徴とする請求項12に記載の撮像素子。

【請求項 18】

前記ラッチブロックから提供された信号を出力するためのマルチプレクサをさらに含むことを特徴とする請求項17に記載の撮像素子。

【請求項 19】

前記少なくとも1つの列ラインと前記少なくとも2つのアナログ - デジタル変換器ブロックのうちのいずれか一つとの間の前記連結は、タイミング発生器及びアドレス発生器のうちのいずれか一つから提供された信号に応答して設定されることを特徴とする請求項12に記載の撮像素子。

【請求項 20】

前記信号は、奇数 / 偶数信号及び選択信号のうちのいずれか一つであることを特徴とする請求項19に記載の撮像素子。

【請求項 21】

前記複数の単位画素の各々は、光ダイオード及び処理回路を含み、前記処理回路は、リセットレベル信号を発生するためのリセット回路及び前記光ダイオード及びリセットレベル信号から提供された信号を増幅するための増幅回路を含むことを特徴とする請求項12に記載の撮像素子。

【請求項 22】

前記処理回路は、複数のトランジスタを含むことを特徴とする請求項21に記載の撮像素子。

【請求項 23】

複数の単位画素を具備する能動画素センサ配列の行ラインを選択するための行駆動器と、
スイッチング素子とを含み、

前記スイッチング素子は、

選択される行ラインが奇数行であれば、前記能動画素センサ配列の奇数列ラインから提供された列出力を第1相関二重サンプリングブロックに連結し、前記能動画素センサ配列の偶数列ラインから提供された列出力を第2相関二重サンプリングブロックに連結し、

選択される行ラインが偶数行であれば、前記能動画素センサ配列の奇数列ラインから提

供された列出力を前記第2相関二重サンプリングブロックに連結し、前記能動画素センサ配列の偶数列ラインから提供された列出力を前記第1相関二重サンプリングブロックに連結することを特徴とする撮像素子。

【請求項24】

前記能動画素センサ配列のすべてのレッド及びブルー画素は、いずれか一つの相関二重サンプリングブロックによって処理され、前記能動画素センサ配列のすべてのグリーン画素は、他の一つの相関二重サンプリングブロックによって処理されることを特徴とする請求項23に記載の撮像素子。

【請求項25】

前記第1相関二重サンプリングブロック及び前記第2相関二重サンプリングブロック以後の処理は、増幅及び変換処理を含むことを特徴とする請求項23に記載の撮像素子。

【請求項26】

前記スイッチング素子は、少なくとも2セットのスイッチを含み、第1セットのスイッチは、前記相関二重サンプリングブロックのうちのいずれか一つを前記能動画素センサ配列に連結し、第2セットのスイッチは、前記相関二重サンプリングブロックのうちの他の一つを前記能動画素センサ配列に連結することを特徴とする請求項23に記載の撮像素子。

【請求項27】

前記スイッチング素子は、少なくとも2セットのマルチプレクサを含み、第1セットのマルチプレクサは、前記相関二重サンプリングブロックのうちのいずれか一つを前記能動画素センサ配列に連結し、第2セットのマルチプレクサは、前記相関二重サンプリングブロックのうちの他の一つを前記能動画素センサ配列に連結することを特徴とする請求項23に記載の撮像素子。

【請求項28】

前記第1及び第2相関二重サンプリングブロックの各々は、
画像サンプルを保持するための相関二重サンプリングブロックと、
前記画像サンプルを増幅するための増幅器と、
入力されたアナログサンプルをデジタル信号に変換するためのアナログ-デジタル変換器と、

前記アナログ-デジタル変換器から提供された前記デジタル信号をラッチするためのラッチブロックと、

選択信号に従って直列に信号を出力するデータ選択器とを含むことを特徴とする請求項23に記載の撮像素子。

【請求項29】

前記ラッチブロックから提供された信号を出力するためのマルチプレクサをさらに含むことを特徴とする請求項28に記載の撮像素子。

【請求項30】

前記列出力及び前記第1、第2相関二重サンプリングブロックの間の前記連結は、タイミング発生器及びアドレス発生器のうちのいずれか一つから提供された信号に応答して設定されることを特徴とする請求項23に記載の撮像素子。

【請求項31】

前記信号は、奇数/偶数信号及び選択信号のうちのいずれか一つであることを特徴とする請求項30に記載の撮像素子。

【請求項32】

前記複数の単位画素の各々は、光感知器及び処理回路を含み、前記処理回路は、リセットレベル信号を発生するためのリセット回路及び前記光感知器及びリセットレベル信号から提供された信号を増幅するための増幅回路を含むことを特徴とする請求項23に記載の撮像素子。

【請求項33】

前記処理回路は、複数のトランジスタを含むことを特徴とする請求項32に記載の撮像

素子。

【請求項 3 4】

複数の単位画素を具備する能動画素センサ配列と、
前記複数の単位画素の第1サブセットを第1相關二重サンプリングブロックに連結し、
前記複数の単位画素の第2サブセットを第2相關二重サンプリングブロックに連結するためのスイッチング素子とを含み、

前記複数の単位画素の第1サブセットはブルー及びレッド画素であり、前記複数の単位画素の第2サブセットはグリーン画素であることを特徴とする撮像素子。

【請求項 3 5】

前記第1相關二重サンプリングブロック及び第2相關二重サンプリングブロックの以後に実行される処理は、増幅及び変換処理であることを特徴とする請求項3 4に記載の撮像素子。

【請求項 3 6】

前記スイッチング素子は、少なくとも2セットのスイッチを含み、第1セットのスイッチは、前記相關二重サンプリングブロックのうちのいずれか一つを前記能動画素センサ配列に連結し、第2セットのスイッチは、前記相關二重サンプリングブロックのうちの他の一つを前記能動画素センサ配列に連結することを特徴とする請求項3 4に記載の撮像素子。

【請求項 3 7】

前記スイッチング素子は、少なくとも2セットのアナログマルチプレクサを含み、第1セットのアナログマルチプレクサは、前記相關二重サンプリングブロックのうちのいずれか一つを前記能動画素センサ配列に連結し、第2セットのアナログマルチプレクサは、前記相關二重サンプリングブロックのうちの他の一つを前記能動画素センサ配列に連結することを特徴とする請求項3 4に記載の撮像素子。

【請求項 3 8】

前記第1及び第2相關二重サンプリングブロックは、各々、
画像サンプルを保持するための相關二重サンプリングブロックと、
前記画像サンプルを増幅するための増幅器と、
入力されたアナログサンプルをデジタル信号に変換するためのアナログ - デジタル変換器と、

前記アナログ - デジタル変換器から提供された前記デジタル信号をラッチするためのラッチブロックと、

選択信号に従って直列に信号を出力するデータ選択器とを含むことを特徴とする請求項3 4に記載の撮像素子。

【請求項 3 9】

前記ラッチブロックから提供された信号を出力するためのマルチプレクサをさらに含むことを特徴とする請求項3 8に記載の撮像素子。

【請求項 4 0】

前記複数の単位画素及び前記相關二重サンプリングブロックの間の前記連結は、タイミング発生器及びアドレス発生器のうちのいずれか一つから提供された信号に応答して設定されることを特徴とする請求項3 4に記載の撮像素子。

【請求項 4 1】

前記信号は、奇数 / 偶数信号及び選択信号のうちのいずれか一つであることを特徴とする請求項4 0に記載の撮像素子。

【請求項 4 2】

前記複数の単位画素の各々は、光感知器及び処理回路を含み、前記処理回路は、リセットレベル信号を発生するためのリセット回路及び前記光感知器及びリセットレベル信号から提供された信号を増幅するための増幅回路を含むことを特徴とする請求項3 4に記載の撮像素子。

【請求項 4 3】

前記処理回路は、複数のトランジスタを含むことを特徴とする請求項42に記載の撮像素子。

【請求項44】

行列に配列された複数の単位画素を具備する能動画素センサ配列と、

少なくとも一つのアナログ・デジタル変換器を前記複数の単位画素の少なくとも2つの列に連結するスイッチング素子とを含むことを特徴とする撮像素子。

【請求項45】

前記能動画素センサ配列のすべてのレッド画素及びブルー画素は、一つのアナログ・デジタル変換器により処理され、前記能動画素センサ配列のすべてのグリーン画素は、他の一つのアナログ・デジタル変換器により処理されることを特徴とする請求項44に記載の撮像素子。

【請求項46】

前記スイッチング素子は、少なくとも2セットのスイッチを含み、第1セットのスイッチは、前記アナログ・デジタル変換器ブロックのうちの一つを前記能動画素センサ配列に連結し、第2セットのスイッチは、前記アナログ・デジタル変換器ブロックのうちの他の一つを前記能動画素センサ配列に連結することを特徴とする請求項45に記載の撮像素子。

【請求項47】

前記スイッチング素子は、少なくとも2セットのマルチプレクサを含み、第1セットのマルチプレクサは、前記アナログ・デジタル変換器ブロックのうちのいずれか一つを前記能動画素センサ配列に連結し、第2セットのマルチプレクサは、前記アナログ・デジタル変換器ブロックのうちの他の一つを前記能動画素センサ配列に連結することを特徴とする請求項45に記載の撮像素子。

【請求項48】

前記少なくとも1つのアナログ・デジタル変換器ブロック及び前記複数の単位画素の少なくとも2つの列の間の前記連結は、タイミング発生器及びアドレス発生器のうちのいずれか一つから提供された信号に応答して設定されることを特徴とする請求項44に記載の撮像素子。

【請求項49】

前記信号は、奇数／偶数信号及び選択信号のうちのいずれか一つであることを特徴とする請求項48に記載の撮像素子。

【請求項50】

前記複数の単位画素の各々は、光感知器及び処理回路を含み、前記処理回路は、リセットレベル信号を発生するためのリセット回路及び前記光感知器及びリセットレベル信号から提供された信号を増幅するための増幅回路を含むことを特徴とする請求項44に記載の撮像素子。

【請求項51】

前記処理回路は、複数のトランジスタを具備することを特徴とする請求項50に記載の撮像素子。

【請求項52】

複数の単位画素を具備する能動画素センサ配列から少なくとも一つの行ラインを選択し、
、
少なくとも一つの列と少なくとも2つのアナログ・デジタル変換器ブロックのうちの少なくとも一つとの間に連結を設定することを含み、

前記少なくとも2つのアナログ・デジタル変換器ブロックのうちの少なくとも1つは、前記複数の単位画素のうちの少なくとも2つの列に対して連結が設定されることを特徴とする固定パターン雑音低減方法。

【請求項53】

複数の単位画素を具備する能動画素センサ配列から少なくとも1つの行を選択し、
少なくとも1つの列と少なくとも1つのアナログ・デジタル変換器ブロックとの間に連

結を設定することを含み、

前記少なくとも1つのアナログ - デジタル変換器は、前記複数の単位画素の少なくとも2つの列に対して連結が設定されることを特徴とする固定パターン雑音低減方法。

【請求項 5 4】

複数の単位画素を具備する能動画素センサ配列を具備する撮像素子を提供し、

前記複数の単位画素の第1サブセットを第1相関二重サンプリングブロックに連結し、前記複数の単位画素の第2サブセットを第2相関二重サンプリングブロックに連結することを含み、

前記複数の単位画素の第1サブセットはブルー画素及びレッド画素であり、前記複数の単位画素の第2サブセットはグリーン画素であることを特徴とする固定パターン雑音低減方法。

【請求項 5 5】

行列に配列された複数の単位画素を具備する能動画素センサ配列を具備する撮像素子を提供し、

少なくとも一つのアナログ - デジタル変換器を前記複数の単位画素の少なくとも2つの列に連結することを含むことを特徴とする固定パターン雑音低減方法。

【請求項 5 6】

複数の単位画素を具備する能動画素センサ配列から一つの行ラインを選択し、

前記行ラインが奇数行であれば、前記能動画素センサ配列の奇数列ラインから提供された列出力を第1相関二重サンプリングブロックに連結し、前記能動画素センサ配列の偶数列ラインから提供された列出力を第2相関二重サンプリングブロックに連結し、

前記行ラインが偶数行であれば、前記能動画素センサ配列の奇数列ラインから提供された列出力を前記第2相関二重サンプリングブロックに連結し、前記能動画素センサ配列の偶数列ラインから提供された列出力を前記第1相関二重サンプリングブロックに連結し、

前記選択された行ラインを駆動し、前記第1相関二重サンプリングブロック及び第2相関二重サンプリングブロック全部で列出力信号をサンプリングし、

アナログ信号出力をデジタル信号に変換することを含むことを特徴とする固定パターン雑音低減方法。